

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 17 年 8 月 25 日 (2005.8.25)

【公開番号】特開 2001-67892 (P2001-67892A)  
 【公開日】平成 13 年 3 月 16 日 (2001.3.16)  
 【出願番号】特願 平 11-242371  
 【国際特許分類第 7 版】

G 1 1 C 29/00  
 G 1 1 C 11/407  
 G 1 1 C 11/401

【F I】

G 1 1 C 29/00 6 0 3 H  
 G 1 1 C 11/34 3 6 2 S  
 G 1 1 C 11/34 3 7 1 D

【手続補正書】

【提出日】平成 17 年 2 月 9 日 (2005.2.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

冗長回路をそれぞれが有する複数のメモリブロックと、

上記複数のメモリブロックのそれぞれに対応して設けられ、不良アドレス記憶素子に登録された不良アドレス信号と入力されたアドレス信号とを比較するアドレス比較回路と、

上記複数のメモリブロックのアドレス比較回路に共通に設けられた上記不良アドレス記憶素子とを有し、

上記複数のメモリブロックは、それぞれ異なるアドレスを与えることができる複数のアドレス供給部を有することを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 において、

上記複数のメモリブロックは、奇数アドレスが割り当てられた第 1 メモリブロックと、偶数アドレスが割り当てられた第 2 メモリブロックからなり、

上記第 1 と第 2 のメモリブロックを同時に選択して複数ビットからなるメモリセルを選択し、

上記選択されたメモリセルに対応する複数ビットのデータは、読み出し動作のときには上記第 1 メモリブロックと第 2 メモリブロックにおいてパラレル / シリアル変換され、かつ、交互に共通の出力回路を通して出力され、書き込み動作のときには上記共通の入力回路を通して入力されたデータが交互に振り分けられてシリアル / パラレル変換されて、かつ、第 1 と第 2 のメモリブロックの選択されたメモリセルにパラレルに書き込まれることを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 において、

上記第 1 と第 2 のメモリブロックは、

複数からなるダイナミック型メモリセルのアドレス選択端子がそれぞれに接続されてなる複数のワード線と、

複数からなるダイナミック型メモリセルがそれぞれに接続されてなる複数対の相補

ビット線対と、

動作タイミング信号に対応して動作電圧が与えられ、上記相補ビット線対の信号をそれぞれ増幅する複数からなるラッチ回路からなるセンスアンプと、

上記ワード線と相補ビット線を選択し、センスアンプを動作させるアドレス選択回路を備え、

上記共通の入力及び出力回路を通して交互に入力又は出力されるデータは、外部端子から供給されたクロック信号の立ち上がりと立ち下がりに対応して入力又は出力されるものであることを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 において、

上記不良アドレス記憶素子に記憶された不良アドレスは、上記複数のメモリブロックの上記アドレス比較回路に対して共通に供給されて、それぞれ対応する冗長回路に置き換えられることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 において、

上記不良アドレス記憶素子に記憶れた不良アドレスは、上記複数のメモリブロックの上記アドレス比較回路に対して共通に供給され、

上記各メモリブロックに設けられたアドレス比較回路には、上記不良アドレスを有効とするか無効とするかの情報ビットを記憶する記憶素子が割り当てられてなることを特徴とする半導体記憶装置。

【請求項 6】

請求項 4 ないし 5 のいずれかにおいて、

上記冗長回路は、ビット線不良を救済するものであることを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 において、

複数のメモリブロックは、同時に並行したメモリアクセスが可能とされるメモリバンクを構成するものであることを特徴とする半導体記憶装置。

【請求項 8】

請求項 7 において、

上記不良アドレス記憶素子に記憶された不良アドレスは、上記複数のメモリバンクの上記アドレス比較回路に対して共通に供給されて、それぞれ対応する冗長回路に置き換えられることを特徴とする半導体記憶装置。

【請求項 9】

請求項 7 において、

上記不良アドレス記憶素子に記憶れた不良アドレスは、上記複数のメモリバンクの上記アドレス比較回路に対して共通に供給され、

上記各メモリバンクに設けられたアドレス比較回路には、上記不良アドレスを有効とするか無効とするかの情報ビットを記憶する記憶素子が割り当てられてなることを特徴とする半導体記憶装置。

【請求項 10】

請求項 8 又は 9 において、

上記冗長回路は、ワード線不良を救済するものを含むことを特徴とする半導体記憶装置。

【請求項 11】

請求項 10 において、

上記複数のメモリバンクのそれぞれは、奇数アドレスが割り当てられた第 1 メモリブロックと、偶数アドレスが割り当てられた第 2 メモリブロックを備え、

上記第 1 と第 2 のメモリブロックは、それぞれがビット線不良を救済する冗長回路を備え、

上記複数のメモリバンクは、上記第 1 と第 2 のメモリブロックを同時に選択して複数ビットからなるメモリセルを選択し、

共通の入力回路及び出力回路でのメモリバンク間のデータの衝突が無いことを条件として、上記選択されたメモリセルに対応する複数ビットのデータを、読み出し動作のときには上記第 1 メモリブロックと第 2 メモリブロックにおいてパラレル/シリアル変換され、かつ、交互に共通の出力回路を通して出力し、書き込み動作のときには上記共通の入力回路を通して入力されたデータが交互に振り分けられてシリアル/パラレル変換されて、かつ、第 1 と第 2 のメモリブロックの選択されたメモリセルにパラレルに書き込まれることを特徴とする半導体記憶装置。

【請求項 1 2】

複数の第 1 線と、上記複数の第 1 線に結合された複数の第 1 メモリセルと、第 1 冗長線と、上記第 1 冗長線に結合された複数の第 1 冗長メモリセルとを含む第 1 メモリブロックと、

複数の第 2 線と、上記複数の第 2 線に結合された複数の第 2 メモリセルと、第 2 冗長線と、上記第 2 冗長線に結合された複数の第 2 冗長メモリセルとを含む第 2 メモリブロックと、

第 1 アドレス信号と第 2 アドレス信号とを受け、上記第 1 アドレス信号と上記第 2 アドレス信号とが不一致の場合、上記第 2 アドレス信号に従って上記複数の第 1 線のうちの 1 つを選択し、上記第 1 アドレス信号と上記第 2 アドレス信号とが一致した場合、上記第 1 冗長線を選択する第 1 回路と、

上記第 1 アドレス信号と第 3 アドレス信号とを受け、上記第 1 アドレス信号と上記第 3 アドレス信号とが不一致の場合、上記第 3 アドレス信号に従って上記複数の第 2 線のうちの 1 つを選択し、上記第 1 アドレス信号と上記第 3 アドレス信号とが一致した場合、上記第 2 冗長線を選択する第 2 回路と、

上記第 1 及び第 2 回路に与えられる上記第 1 アドレス信号を保持する共通の記憶回路とを含むことを特徴とする半導体装置。

【請求項 1 3】

請求項 1 2 において、

上記複数の第 1 線及び上記複数の第 2 線は、ビット線であり、

上記記憶回路は、不良アドレス信号記憶回路であり、

上記第 1 アドレス信号は、不良アドレス信号であり、

上記不良アドレス信号と上記第 2 アドレス信号とが不一致の場合、上記第 1 冗長線は非選択とされ、上記不良アドレス信号と上記第 2 アドレス信号とが一致した場合、上記複数の第 1 線は非選択とされ、

上記不良アドレス信号と上記第 3 アドレス信号とが不一致の場合、上記第 2 冗長線は非選択とされ、上記不良アドレス信号と上記第 3 アドレス信号とが一致した場合、上記複数の第 2 線は非選択とされることを特徴とする半導体装置。