(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3936750号

(P3936750)

(45)発行日　平成19年6月27日(2007.6.27)　(24)登録日　平成19年3月30日(2007.3.30)

(51)Int.Cl.			F I		
H03L	7/12	(2006.01)	H03L	7/12	Z
H03L	7/14	(2006.01)	H03L	7/14	A
H03L	7/095	(2006.01)	H03L	7/08	B
H03L	7/099	(2006.01)	H03L	7/08	F
H04L	7/033	(2006.01)	H04L	7/02	B

請求項の数 6　(全 15 頁)

(21)出願番号　特願平6-193537
(22)出願日　平成6年7月26日(1994.7.26)
(65)公開番号　特開平7-95064
(43)公開日　平成7年4月7日(1995.4.7)
審査請求日　平成13年7月11日(2001.7.11)
(31)優先権主張番号　097,688
(32)優先日　平成5年7月26日(1993.7.26)
(33)優先権主張国　米国(US)

(73)特許権者　506076606
アバゴ・テクノロジーズ・ジェネラル・アイピー（シンガポール）プライベート・リミテッド
シンガポール国シンガポール７６８９２３，イーシュン・アベニュー・７・ナンバー１
(74)代理人　100087642
弁理士　古谷　聡
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100121061
弁理士　西山　清春

最終頁に続く

(54)【発明の名称】クロック回復装置

(57)【特許請求の範囲】

【請求項１】

クロック回復装置において、

データ遷移を含む２進データの発信手段と、

下限から上限までの所定のクロック周波数範囲にわたって変化するクロック信号を発生するための電圧制御発振器と、

前記データ遷移と前記クロック信号とに応動して、前記データ遷移が位相上前記クロック信号に先行する場合は第１の値を有し、前記データ遷移が位相上前記クロック信号より遅延する場合は第２の値を有する２進エラー信号を発生する位相検出器と、

前記２進エラー信号に応動して、前記クロック信号の周波数に僅かな所定の修正変更を行って前記データ遷移へと位相同期するための第１手段と、

前記２進エラー信号を積分するとともに、積分された信号に応動して前記クロック信号の周波数に大きい可変修正変更を生ぜしめるよう前記発振器を制御する第２手段と、

Ｄ入力、クロック入力、及びＱ出力を有するＤフリップフロップと、

２進データを前記フリップフロップの前記クロック入力に結合し、且つ前記クロック信号を前記フリップフロップの前記Ｄ入力に結合するようにし、前記クロック信号が前記データ遷移に位相ロックされる間に、前記フリップフロップの前記Ｑ出力が不変となるように相互に位相相関され、前記クロック信号が位相ロック外れされる間に、前記フリップフロップの前記Ｑ出力がロック外れの状態を示すよう状態を変化させるようにする手段と、

前記フリップフロップの前記Ｑ出力に応動して周波数範囲掃引信号を発生する装置と、

前記第２手段と協働し、前記周波数範囲掃引信号と前記積分された信号とを結合して、結合された信号により前記発振器を制御するようにし、前記クロック周波数範囲全体にわたって前記クロック信号の周波数を掃引することによって、ロック状態を復旧する手段と、
から構成されたことを特徴とするクロック回復装置。
【請求項２】
前記発振器は、動作可能な前記クロック周波数範囲を含み、前記周波数範囲掃引信号を発生する装置によって前記周波数範囲を掃引できるようにし、最初に、周波数を前記発振器の前記周波数範囲の一方の制限値へと調整するよう一つの方向に周波数を掃引し、その後、周波数を発振器の周波数範囲の他方の制限値へと調整するよう他の方向に周波数を掃引することを特徴とする、請求項１に記載のクロック回復装置。
【請求項３】
実際のデータ遷移がなく、ロック外れ状態が検知されないときに、シミュレートされたデータ遷移を発生する手段と、
前記実際のデータ遷移がないときに、前記位相検出器に前記シミュレートされたデータ遷移を適用して、前記位相検出器が前記シミュレートされたデータ遷移に応動するようにする手段と、を更に有することを特徴とする、請求項１に記載のクロック回復装置。
【請求項４】
前記データ遷移が規準周期で出現し、前記クロック信号が前記規準周期よりも短い所定の時間だけ遅れて前記フリップフロップの前記Ｄ入力に結合し、前記フリップフロップの前記Ｑ出力でロック外れ信号を発生することを特徴とする、請求項１に記載のクロック回復装置。
【請求項５】
前記発振器が環状に接続された複数の遅延段を備え、前記段の一つが第１入力に供給された信号の２進値に応じて２進遅延を生ぜしめ、別の段が第２入力に供給された信号に応じてアナログ遅延を生ぜしめ、残りの段が第３入力に供給された信号に応じてアナログ遅延信号を生ぜしめ、更に、２進値を有する前記信号を第１入力に結合する装置と、積分された信号を第３入力に結合する装置と、前記残りの段によって生ぜしめられた遅延の温度に応じた変化を補償する温度準拠信号を第２入力に供給する装置、とを備えたことを特徴とする、請求項１に記載のクロック回復装置。
【請求項６】
前記フリップフロップの前記Ｑ出力を積分する手段を更に有し、これにより、前記フリップフロップの積分されたＱ出力が所定の値に達した後に、前記周波数範囲掃引信号が発生することを特徴とする、請求項１に記載のクロック回復装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は２進データのデコードもしくは周期の再調整（retiming）を行うクロック回復装置に関し、特にクロック回復のための位相ロックループの改良に関する。
【０００２】
【従来の技術】
米国特許明細書第５，０１２，４９４号はクロック回復及びＮＲＺデータの周期再調整のための位相ロックループの構成を開示している。電圧制御発振器（ＶＣＯ）によって発生されたクロック信号は周波数／位相検出器内でＮＲＺデータと比較される。周波数／位相検出器は位相ロックループ用のエラー信号として機能する２進出力を有している。周波数／位相検出器の出力は、データ遷移がクロック信号に先行する場合は第１の値を有する２進エラー信号を発生し、データ遷移がクロック信号より遅延する場合は第２の値を有する２進エラー信号を発生する。周波数／位相検出器の出力はその位相で第１の僅かな順序修正を行うためにＶＣＯに直接接続され、周波数に対してより大きい第２の順序修正を行うために積分器を経てＶＣＯに接続される。周波数捕捉モードでは、第２の順序修正によ

ってクロック信号は周波数同期化され、データ遷移を伴って位相ロックされる。位相ロック・モードでは、第１の順序修正によってクロック信号の周波数はデータ遷移の周波数の周辺で僅かに前後にシフトし、すなわちトグルし、それによって位相ロックを保持する。

【０００３】

前述の位相ロックループ構造は、データ遷移がある場合だけしかクロック信号の周波数と位相を修正しない。従って、同じ２進値を有する長いデータ・ストリングの期間中、クロック信号がドリフトして、パターンに応じたジッタが生ずる場合がある。

【０００４】

更に、前述の位相ロックループでは、データ遷移とクロック信号周波数とが部分的な関連しかない場合には偽りロック状態（擬似ロック状態）が生ずることがある。このような場合は、データと、数クロック周期毎に同相であるデータ遷移とクロック信号との間に正しい位相ロックがないにも関わらず、位相ロック回路が、正しい位相ロック状態にあると“考える”ように“騙す”ことがある。

【０００５】

前掲の特許では、ＶＣＯは環状に接続された複数の遅延段を備えている。一つの段は、周波数／位相検出器から直接供給された信号の２進値に応じて２進遅延を生ぜしめる。周波数／位相検出器の出力が状態を変える毎に、２進遅延は変化し、ＶＣＯの周波数は２つの値の間を前後にトグルする。残りの段は各々、ループが位相ロックに近づくと、積分器の出力に応じてアナログ遅延を生ぜしめる。温度によって異なるアナログ遅延が遅延段によって生ぜしめられ、そのためＶＣＯの周波数範囲は温度の関数として感知できる程度に変化する。それによって位相ロックループは不適切に動作することがある。

【０００６】

【発明の目的】

本発明は、クロック信号を発生する電圧制御発振器を備えた位相ロックループにおいて、位相ロック外れを検出してこれを復旧させるための装置を提供することを目的とする。

【０００７】

【発明の概要】

本発明の一側面に従って、ロック外れ状態は、前記の位相ロックループ構造に基づいて、クロック回復装置の遷移規準によってデータ遷移において検知される。ロック外れ状態が検知されると、周波数範囲掃引信号が発生され、積分器からの信号と合計されて、ＶＣＯの周波数範囲にわたるクロック信号の周波数が掃引される。積分器からの出力信号は、位相ロックが近づくと周波数範囲掃引信号よりも強いので、クロック周波数がデータ遷移の周波数を越えて掃引されると、位相ロックが復旧される。

【０００８】

本発明の別の側面においても、ロック外れ状態は前記の位相ロックループ構造に基づいて、クロック回復装置の遷移規準によってデータ遷移において検知される。ロック外れ状態がない場合、すなわちＶＣＯが位相ロックされている場合は、周波数／位相検出器内でシミュレートされたデータ遷移が生成される。その結果、ロック外れ状態がない場合、位相検出器は実際のデータ遷移がない場合でも変化する２進信号を継続して発生し、クロック信号は最前に出現したデータ遷移に同相でロックされ、パターンに応じたジッタは実質的に去される。

【０００９】

本発明の別の側面では、前述の位相ロックループ構造に基づいたクロック回復装置内のロック外れ状態はＤフリップフロップによって検知される。データがフリップフロップのクロック入力と結合され、クロック信号は規準周期の一部だけ遅延され、フリップフロップのＤ入力に結合される。フリップフロップのＱ出力の状態はロック外れ状態を示す。

【００１０】

本発明の別の側面では、前述の位相ロックループ構造に基づいたクロック回復装置は温度補償機能を備えたＶＣＯを有している。複数の遅延段が環状に接続されている。第１段は２進エラー信号の値に応じて２進遅延を生ぜしめる。第２段は段の温度に応じてアナロ

グ遅延を生ぜしめる。残りの段は積分器の出力に応じてアナログ遅延を生ぜしめる。第２段によって生ぜしめられた遅延は、残りの段によって生ぜしめられた遅延の、温度に応じた変化を補償し、且つ埋め合わせる。

【００１１】

【実施例】

図１では、２進データ発信器からのデータ信号が周波数／位相検出器１０の一つの入力に結合される。一例として、２進データは毎秒６２２メガビットのＮＲＺ様式で符号化できよう。電圧制御発振器（ＶＣＯ）１２からのクロック信号は周波数／位相検出器１０の別の入力に結合される。周波数／位相検出器１０はその出力で、データ信号の遷移と、クロック信号との間の位相関係に応じた２進エラー信号を発生する。例えば、データ遷移が同相のクロック信号に先行する場合は、２進エラー信号は高レベルにあり、データ遷移が同相のクロック信号から遅延する場合は、２進エラー信号は低レベルにある。周波数／位相検出器１０の出力はＶＣＯ１２の制御入力１１に直接接続され、又、出力コンデンサ１６を含む積分器１４の入力に接続されている。２進エラー信号が高レベルである場合は、積分器１４はコンデンサ１６を一方向で充電する電流を発生する。積分器１４の出力はＶＣＯ１２の制御入力に接続されている。データ信号とクロック信号とはデータ・デコーダ１８に結合され、このデータ・デコーダはデータ信号を２進数の１又は０にデコードし、又はデータ信号の周期を再調整し、又はデータ信号を再発生する。これらの部品は、本明細書に参考文献として全て組み入れられている米国特許明細書第５，０１２，４９４号に詳細に記載されている。

【００１２】

ＶＣＯ１２の入力１１に供給される２進エラー信号はクロック信号の周波数に僅かな、固定された修正変更を生ぜしめる。２進エラー信号の値が変化すると、固定された修正周波数は２つの周波数値の間を前後にトグルする。これによって第１の順序の修正ループが構成される。積分器１４からの出力信号は出力信号のアナログ値に応じて、クロック信号の周波数に大きい可変修正変更を生ぜしめる。これによって第２の順序の修正ループが構成される。捕捉モードでは、ＶＣＯ１２の周波数がクロック信号をデータ遷移へと周波数ロックするので、積分器１４の出力の影響は制御機能を支配する。位相ロック・モードでは、積分器１４の出力（コンデンサ１６での電圧）は零出力であり、ＶＣＯ１２の周波数をデータ遷移とともに位相ロック状態に保持するために、２進エラー信号が制御機能を支配する。

【００１３】

本発明の一側面では、クロック信号とデータ信号とはロック外れ検出器２０に供給される。この検出器は図２との関連で後に詳述する。ロック外れ検出器２０はデータ遷移においてデータ遷移規準でデータ信号とクロック信号とを比較する。ロック外れが検知されると、ワンショット２１がトリガされて、電流コンバータ２２への電圧を起動させる。コンバータ２２は充電電流をコンデンサ１６を跨ぐ二次ループに送り込み、これがロック外れ動作を遮断し、ＶＣＯ１２の周波数を先ずＶＣＯの周波数範囲の一つの限界、例えば下限の方向に掃引し、次に別の限界、例えば上限の方向に掃引する。コンバータ２２は、その充電電流が、位相ロックの近くで積分器１４によってコンデンサ１６に供給される充電電流よりも小さくなるように設計されている。ＶＣＯがクロック信号の周波数を越えて周波数掃引すると、この周波数に対して前述のように位相ロックする。その理由は、積分器１４からの充電電流が位相ロックの近くではコンバータ２２からの充電電流よりも強いからである。ＶＣＯ１２の周波数を掃引するのに要する期間中に、ワンショット２１はタイムアウトになり、従ってロック外れ検出器２０からのそれ以上の信号を無視する。それによってＶＣＯ１２は、新たなロック外れ信号によって中断されることなく、双方向に周波数範囲全体にわたって掃引することが可能になる。上記の回路は好適に単一の集積回路チップに組み込まれている。

【００１４】

図２に示したように、ロック外れ検出器２０は遅延増幅器２３とＤフリップフロップ２

４とを備えている。クロック信号は遅延増幅器２３の入力に供給され、この遅延増幅器２３は、データ遷移がクロックの周知の状態、例えばその規準周期の3/4 、もしくは１．２ナノセカンドに位置合わせされるように（即ち、1/4の遅延を生じるように）クロック信号を遅延せしめる。遅延増幅器２３の出力はフリップフロップ２４のＤ入力に供給される。したがって、遅延されたクロック信号はフリップフロップ２４のＤ入力に供給される。フリップフロップ２４のＱ出力はワンショット２１内のＮＯＲゲート２５の一つの入力に接続される。

【００１５】

図３では、波形Ａはデータ遷移を表す。波形Ｂはクロック信号を表す。図３の始めに示すようにクロック信号とデータ遷移とが位相ロック状態にある場合は、クロック信号のエッジの一つ、すなわち高レベルから低レベルへの遷移は、データ遷移と位置合わせされる。波形Ｃは増幅器２３によって遅延されたクロック信号を表す。遅延されたクロック信号は遷移規準によってデータ遷移においてフリップフロップ２４によりサンプリングされる。クロック信号とデータ遷移との間に真の位相ロックがある場合は、サンプリングされた値は全て高レベルにあり、フリップフロップ２４のＱ出力も高レベルにある。一方、フリップフロップ２４のＱ出力が波形Ｂの終端に示すように低レベルの状態では、真の位相ロックは消失している。

【００１６】

ワンショット２１では、ＮＯＲゲート２５の出力がトランジスタ２６のベースに接続されている。トランジスタ２６のコレクタはアースされ、トランジスタ２６のエミッタは抵抗２７を経てノードＶc に接続される。コンデンサ２８はノードＶc とアースとの間に接続され、給電源２９はノードＶc と電源ＶEEとの間に接続されている。ノードＶc はバッファ増幅器３０によってシュミット・トリガ３１と比較器３２とに接続されている。シュミット・トリガ３１は出力端子Ｍと、ＮＯＲゲート２５の別の入力とに接続された非反転出力を有している。シュミット・トリガ３１は更にＯＲゲート３３の一つの入力に接続された反転出力も有している。図示のように、比較器３２への入力信号は基準電圧ＶREF と比較される。入力信号が基準信号よりも大きい場合は、比較器３２の出力は高レベルにある。入力信号が基準信号よりも低い場合は、比較器３２の出力は低レベルにある。基準信号はシュミット・トリガ３１に結合されて、そのしきい値を基準電圧の上下に対称に設定するようにされている。

【００１７】

クロック信号がロック外れ状態になると、図４の波形Ｑに示すように、フリップフロップ２４のＱ出力が低レベルになる。そこでＮＯＲゲート２５の出力が高レベルになり、トランジスタ２６をターンオンする。コンデンサ２８は、図４の波形Ｖc に示すように、トランジスタ２６を経て急速にポイントａからポイントｃまで充電される。ポイントａ及びｃはシュミット・トリガ３１の２つのしきい値を表す。コンデンサ２８が波形Ｖc のポイントｂで基準電圧を超えると、図４の波形Ｒで示すように、比較器３２の出力は高レベルになる。コンデンサ２８は波形Ｖc のポイントｃで示すように、シュミット・トリガ３１の高レベルのしきい値まで充電される。この時点で、シュミット・トリガ３１の状態は変化し、図４の波形Ｍのポイントｃで示すように、出力端子Ｍは高レベルになる。ＯＲゲート２５に接続されていることにより、これはフリップフロップ２４のＱ出力でのそれ以上のエラーの影響を遮断することに役立つ。その理由は、トランジスタ２６がターンオフし、フリップフロップ２４のＱ出力の状態に関わりなくターンオフ状態に留まるからである。コンデンサ２８が再びポイントｂで基準電圧を超えると、比較器３２の出力は波形Ｒに示すように低レベルになり、シュミット・トリガ３１の反転出力は図４の波形＊Ｍに示すように低レベルに留まり、出力端子Ｌは波形Ｌに示すように低レベルになる。コンデンサ２８はノードＶc での電圧が波形Ｖc のポイントａに示すように、シュミット・トリガ３１の低レベルのしきい値に達するまで放電を継続する。この時点で、シュミット・トリガ３１の状態は変化し、Ｍ出力は図４の波形Ｍに示すように低レベルになり、出力端子Ｌは図４の波形Ｌに示すように高レベルになる。その後、前述の周期はロック外れ状態が続く

限り反復される。

【００１８】

ミリ秒単位である各周期中、波形Ｖｃ に示すように、コンデンサ２８の充電期間は短く、放電期間は長い。波形Ｖｃ のポイントａとｃの間の短い充電期間中、実際に多くのデータ遷移が出現する。フリップフロップ２４のＱ出力がこの充電期間中に高レベルになるたびに、充電は中断される。その結果、ポイントｃに達するために、フリップフロップ２４のＱ出力はある速度で高レベルから低レベルへと遷移しなければならず、それによってワンショット２１は遷移状態であるためにトリガせず、従って定常動作を保持することが保証される。コンデンサ２８の長い放電期間が始まると、フリップフロップ２４によって検知されたそれ以上のエラーは、放電が終了するまで、すなわち波形Ｖｃ が再びポイントａに達するまで無視、すなわち遮蔽される。それによって、ＶＣＯ１２が前述のようにその周波数範囲の掃引を開始すると、電流コンバータ２２への電圧が遮断されないことが保証される。

【００１９】

位相ロックループはシングルエンデッド・ループとして図示してあるが、例えばエミッタ結合論理回路のような適宜の差動回路として実施してもよい。その結果、積分器１４は実際に２つの充電コンデンサを有することができる。その一つはアースに対して正の極性で充電し、もう一つはアースに対して負の極性で充電し、更に積分器１４及び電流コンバータ２２への電圧からＶＣＯ１２まで、信号の各々の極性ごとの２つの結線がある。あるいは、単一の差動コンデンサを使用することもできよう。

【００２０】

図５に示すように、電流コンバータ２２への電圧はそれぞれが差動出力端子８８及び８９に接続されたコレクタを有する差動式に接続されたトランジスタ８６及び８７を備えている。トランジスタ９０のコレクタからエミッタへの回路と抵抗９１はトランジスタ８６と８７のエミッタを電源ＶEEに接続する。トランジスタ９２のコレクタからエミッタへの回路、すなわちレベルシフト・ダイオード９３と、トランジスタ９４のコレクタからエミッタへの回路とはアースと電源ＶEEとの間に直列接続されている。出力端子Ｌ（図２）はトランジスタ９２のベースに接続されている。トランジスタ９４のコレクタは抵抗９５によってトランジスタ８６のベースに接続されている。トランジスタ９６のコレクタからエミッタへの回路、すなわちレベルシフト・ダイオード９７及び９８と、トランジスタ９９のコレクタからエミッタへの回路とは、アースと電源ＶEEとの間に直列接続されている。端子Ｌに印加される高レベルと低レベルの電圧の中間のレベルにある固定バイアスＶBBはトランジスタ９６のベースに接続されている。トランジスタ１００のコレクタからエミッタへの回路、すなわちレベルシフト・ダイオード１０１及び１０２と、トランジスタ１０３のコレクタからエミッタへの回路とはアースと電源ＶEEとの間に直列接続されている。出力端子Ｍ（図２）はトランジスタ１００のベースに接続されている。コレクタ抵抗１０４と、トランジスタ１０５のコレクタからエミッタへの回路はアースと電源ＶEEとの間に直列接続されている。トランジスタ１０５のコレクタはとそのベースに直接接続され、ダイオードを形成する。トランジスタ１０６のコレクタからエミッタへの回路はアースとトランジスタ９０のコレクタとの間に直列接続されている。抵抗１０７と、トランジスタ１０８のコレクタからエミッタへの回路と、トランジスタ１０９のコレクタからエミッタへの回路とはトランジスタ９６のエミッタと、ダイオード９７の接合部と、電源ＶEEとの間に直列接続されている。トランジスタ１０６のベースはトランジスタ１０８のコレクタに接続されている。トランジスタ１１０のコレクタからエミッタへの回路は、トランジスタ９６のコレクタとダイオード９７との接合部と、トランジスタ１０９のコレクタとの間に接続されている。トランジスタ１１０のベースはトランジスタ９９のコレクタに接続されている。トランジスタ８７のベースは抵抗１１１によってダイオード９７と９８の接合部に接続されている。抵抗１０４とトランジスタ１０５とはトランジスタ９０，９４，９９，１０３及び１０９のベースにバイアス電圧を供給し、これらのバイアス電圧は接続されるトランジスタをバイアスするための電源として機能する。トランジスタ８６，８７及び

１０６は差動トランジスタ段としての役割を果たし、どの段が最高のベース電圧を有しているかに応じて一時にその一つだけがターンオンされる。トランジスタ１０６はバイアスされるので、そのベース電圧はトランジスタ８６又は８７のいずれかのベース電圧よりも低い低レベルと、トランジスタ８６又は８７のいずれかのベース電圧よりも高い高レベルとの間で揺れ動く。

【００２１】

動作時には、ワンショット２１がタイムアウトしている間、端子Ｍは低レベルにあり、トランジスタ１０８はターンオフされ、差動トランジスタ８６と８７とは定常動作を行う。出力端子Ｌが高レベルにある場合は、トランジスタ８７はターンオンされ、トランジスタ８６はターンオフされる。その結果、コンデンサ充電電流が出力端子８９に供給される。このようにして、電流が位相ロックループに送り込まれ、ＶＣＯ１２の周波数を先ず一つの限界、すなわち周波数の下限の方向に、次に別の限界、すなわち周波数の上限の方向にドリフトせしめる。

【００２２】

出力端子Ｍが低レベルになると、差動トランジスタ８６と８７との動作は自動的に遮断される。トランジスタ１０８はターンオフされ、トランジスタ１１０はターンオンされることによって、トランジスタ１０６のベースでの電圧は上昇する。それによってトランジスタ１０６はトランジスタ８６及び８７を支配し、それによって双方の出力端子８８及び８９への充電電流が遮断される。

【００２３】

前述の装置は偽りの位相ロック動作を遮断し、ロック外れが検出されるとＶＣＯ１２の周波数範囲全体を掃引することによって、周波数の捕捉を助ける。ロック外れ検出器２０とワンショット２１とは２つの機能を果たす。第１にこれらは前述のように、ロック外れ又は偽りロック状態が出現すると、位相ロックループの動作を遮断する。第２に、真のロック状態の間、データ遷移がない場合でも２進エラー信号の値が変化することを保証する。これによって、データ信号の２進値が長期間にわたって同じ値に留まる場合にＶＣＯ１２の周波数がドリフトすることが防止される。

【００２４】

ワンショット２１の出力端子＊Ｍは更に、位相ロック中にデータ遷移がない場合にデータ遷移をシミュレートするように周波数／位相検出器１０に接続されている。図６は特許第５，０１２，４９４号の図６に示した状態論理装置の修正形である。修正された状態論理装置は入力Ｔ，Ａ，Ｂ，Ｆ（ｎ）と、＊Ｍとを有している。入力Ａは排他的ＮＯＲゲート３４及び３６に接続されている。入力Ｔはゲート３４に接続され、入力Ｂはゲート３６に接続されている。入力Ｆ（ｎ）と＊Ｍは排他的ＯＲゲート３８に接続されている。ゲート３４は遅延段４０によってＮＡＮＤゲート４２に結合されている。排他的ＮＯＲゲート３６と排他的ＯＲゲート３８とはＮＡＮＤゲート４４によってＮＡＮＤゲート４２に結合されている。入力Ｆ（ｎ）を直接ＮＡＮＤゲート４４に接続するのではなく、入力Ｆ（ｎ）と＊Ｍは排他的ＯＲゲート３８によってＮＡＮＤゲート４４に結合されている。

【００２５】

下記の表１は入力＊Ｍが低レベルにあり、ロック外れ状態にあることを示した状態の組み合わせの論理表である。

【００２６】

【表１】

＊M	A	T	B	F(n)	F(n+1)	摘 要
0	0	0	0	0	0	そのまま
0	0	0	0	1	1	そのまま
0	0	0	1	0	0	クロックがはやい
0	0	0	1	1	0	クロックがはやい
0	0	1	0	0	1	fc ＜ fd
0	0	1	0	1	1	fc ＜ fd
0	0	1	1	0	1	クロックがおそい
0	0	1	1	1	1	クロックがおそい
0	1	0	0	0	1	クロックがおそい
0	1	0	0	1	1	クロックがおそい
0	1	0	1	0	1	fc ＜ fd
0	1	0	1	1	1	fc ＜ fd
0	1	1	0	0	0	クロックがはやい
0	1	1	0	1	0	クロックがはやい
0	1	1	1	0	0	そのまま
0	1	1	1	1	1	そのまま

【００２７】
入力＊Ｍが低レベルである場合は、入力Ｆ（ｎ）での信号は不変のままに排他的ＮＯＲゲート３８を通過し、回路は特許第５，０１２，４９４号に記載の態様で動作する。。
【００２８】
表２は真の位相ロック状態を示す、入力Ｍが高レベルにある場合の状態の組み合わの論理表である。
【００２９】
【表２】

＊M	A	T	B	F（n）	F（n+1）	摘 要
1	0	0	0	0	1	トグル
1	0	0	0	1	0	トグル
1	0	0	1	0	0	クロックがはやい
1	0	0	1	1	0	クロックがはやい
1	0	1	0	0	1	fc ＜ fd
1	0	1	0	1	1	fc ＜ fd
1	0	1	1	0	1	クロックがおそい
1	0	1	1	1	1	クロックがおそい
1	1	0	0	0	1	クロックがおそい
1	1	0	0	1	1	クロックがおそい
1	1	0	1	0	1	fc ＜ fd
1	1	0	1	1	1	fc ＜ fd
1	1	1	0	0	0	クロックがはやい
1	1	1	0	1	0	クロックがはやい
1	1	1	1	0	1	トグル
1	1	1	1	1	0	トグル

【００３０】

入力＊Ｍが高レベルにある場合、排他的ＯＲゲート３８は入力Ｆ（ｎ）で進行を反転し、それによって実際のデータ遷移がない場合に最前に出現したデータ遷移と同相のデータ遷移をシミュレートする役割を果たす。表１及び表２によれば、入力＊Ｍが低レベルにある場合は＊Ｍ＝０であり、入力＊Ｍが高レベルにある場合は＊Ｍ＝１であり、データ遷移がない場合はＡ＝Ｔ＝Ｂである。

【００３１】

表１に示したように、入力＊Ｍが低レベルにあり、データ遷移がない場合は、周波数／位相検出器１０の出力の最後の２進値Ｆ（ｎ）と、周波数／位相検出器１０の出力の現在の２進値Ｆ（ｎ＋１）とは同一のままに留まる。この論理は米国特許明細書第５，０１２，４９４号に記載されているように、固有に周波数成分を有しており、ＶＣＯが周波数ロックすることを補助する。捕獲モード中にＶＣＯ１２がトグルすると、検出器の周波数成分は使用不能になり、周波数ロックの達成を抑止するであろう。このため、シミュレートされたデータ遷移は捕獲モードでは生成されず、装置は“そのまま”の状態にある。これは周波数／位相検出器１０の出力でのエラー信号の状態が、実際のデータ遷移がない場合には変化しないことを意味する。

【００３２】

表２に示したように、入力＊Ｍが高レベルにあり、データ遷移がない場合は、周波数／位相検出器１０の出力の最後の２進値Ｆ（ｎ）と、周波数／位相検出器１０の出力の現在の２進値Ｆ（ｎ＋１）とは排他的ＯＲゲート３８の論理によって異なる。その結果、ＶＣＯ１２の周波数は最前の実際のデータ遷移の時点でＶＣＯの周波数の周辺を前後にトグルする。

【００３３】

図７に示すように、ＶＣＯ１２は直列に接続された奇数個の反転、可変遅延段４４，４６及び４８を備えている。段４８の出力は２進遅延セル５０の入力に接続され、この遅延セルによって、状態が高レベルか低レベルかに応じて、周波数／位相検出器１０の出力で２進エラー信号の２つの遅延のうちのいずれか一方を生ぜしめる。このように、段４４及び４８はループにアナログ遅延を生ぜしめ、セル５０は一つの値、又は別の値の２進遅延をループ内に生ぜしめる。クロック信号として機能する２進遅延セル５０の出力は、段４４の入力にフィードバックされて、可変遅延リングを形成する。成分器１４の出力は入力１７として機能する段４４及び４６の遅延制御入力に供給されて、コンデンサ１６への充電に応じてループ内にアナログ遅延を生ぜしめる。後に詳述する温度補償回路５２は、温度に応じてループ内にアナログ遅延を生ぜしめるために段４８の遅延制御入力に接続されている。前述の回路は単一の集積回路チップ上にパッケージされているので、段４４，４６及び４８の温度は全て同一である。段４４及び４６によって誘発された遅延が温度によって変化、例えば増大すると、段４８によって誘発された遅延はこれを補償するために別の方向に、すなわち減少するように変化する。その結果、ＶＣＯ１２の周波数範囲の限界の変化は最小限に留められる。

【００３４】

図８に示したように、温度補償回路５２はアースと電源ＶEEとの間に差動増幅器として接続されたトランジスタ５４及び５６を備えている。コレクタ抵抗５８と、トランジスタ５４のコレクタからエミッタへの回路と、エミッタ抵抗６０と、トランジスタ６２のコレクタからエミッタへの回路と、エミッタ抵抗６４とはアースと電源ＶEEとの間に直列接続されている。所定の温度係数を有する抵抗７０はアースとトランジスタ５４のベースとの間に接続されている。トランジスタ７２のコレクタからエミッタへの回路と、エミッタ抵抗７４とはトランジスタ５４のベースと電源ＶEEとの間に直列に接続されている。ダイオード接続されたトランジスタ７６と７８とはアースとトランジスタ５６のベースとの間に直列接続されている。トランジスタ８０のコレクタからエミッタへの回路と、エミッタ抵抗８２とはトランジスタ５６のベースと電源ＶEEとの間に直列に接続されている。トランジスタ６２，７２及び８０は差動トランジスタ５４及び５６をバイアスするための一定の電源としての役割を果たす。バイアス電圧源ＶBIASは前記トランジスタのベースに接続されている。出力端子ＶOPはトランジスタ５４のコレクタに接続されている。出力端子ＶOMはトランジスタ５６のコレクタに接続されている。周囲温度が変化すると、出力端子ＶOPとＶOMとにかかる差動電圧も変化する。出力端子ＶOPとＶOMとは段４８の差動制御入力（第７図）に接続され、従ってこの段によって誘発された遅延を変化させる。段４４と４６とによって誘発された遅延が温度と共に増大するものと想定すると、段４８によって誘発された遅延は温度と共に減少して、ＶＣＯ１２での同じ周波数範囲の制御状態を維持する

。

【００３５】

これまで説明してきた本発明の実施例は本発明の構想の推奨実施例をレンジしたものであるにすぎず、本発明の範囲はこのような実施例によって限定されるものではない。本発明の趣旨と範囲を離れることなく多様な別の構成が専門家には可能であろう。

【００３６】

以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

【実施例１】

クロック回復装置において、データ遷移を含む２進データの送信器と、周波数の範囲にわたって変化するクロック信号を発生するための電圧制御発振器と、データ遷移とクロック信号とに応動して、データ遷移がクロック信号に先行する場合は第１の値を有する２進エラー信号を発生し、データ遷移がクロック信号より遅延する場合は第２の値を有する２進エラー信号を発生する位相検出器と、２進エラー信号に応動して、クロック信号の周波数に僅かな所定の修正変更を行ってデータ遷移へと位相同期するための装置と、２進エラー信号を積分する装置と、積分された信号に応動してクロック信号の周波数に大きい可変修正変更を生ぜしめる装置と、データ遷移とクロック信号とに応動してロック外れ状態を検知する装置と、前記検知装置に応動して周波数範囲掃引信号を発生する装置と、周波数範囲掃引信号と積分信号を加算して、周波数範囲全体にわたるクロック信号の周波数を掃引することによって、ロック状態を復旧する装置、とから構成されたことを特徴とするクロック回復装置。

【実施例２】

前記周波数範囲掃引信号発生装置が最初に周波数を発振器の周波数範囲の一つの限界へと調整するのに充分な期間だけ一つの方向に周波数を掃引し、次に周波数を発振器の周波数範囲の別の限界へと調整するのに充分な期間だけ別の方向に周波数を掃引する周波数範囲掃引信号を発生することを特徴とする実施例１記載の装置。

【実施例３】

前記検知装置に応動して、ロック外れ状態がない場合には位相検出器内のデータ遷移をシミュレートする装置を更に備えたことを特徴とする実施例１又は２に記載の装置。

【実施例４】

前記シミュレート装置が最前に出現したデータ遷移と同相のデータ遷移をシミュレートすることを特徴とする実施例３記載の装置。

【実施例５】

データが標準の周期で出現し、検知装置がＤ入力と、クロック入力と、Ｑ出力とを有するＤフリップフロップと、２進データをフリップフロップのクロック入力に結合し、且つクロック信号を標準周期の一部だけ遅延したフリップフロップのＤ入力に結合して、フリップフロップのＱ出力でロック外れ信号を発生する装置とを備えたことを特徴とする実施例１、２、３又は４に記載の装置。

【実施例６】

発振器が環状に接続された複数の遅延段を備え、前記段の一つが第１入力に供給された信号の２進値に応じて２進遅延を生ぜしめ、別の段が第２入力に供給された信号に応じてアナログ遅延を生ぜしめ、残りの段が第３入力に供給された信号に応じてアナログ遅延信号を生ぜしめ、更に、２進信号を第１入力に結合する装置と、積分された信号を第２入力に結合する装置と、前記残りの段によって生ぜしめられた遅延の温度に応じた変化を補償する温度準拠信号を第２入力に供給する装置、とを備えたことを特徴とする実施例１、２、３、４又は５に記載の装置。

【実施例７】

クロック回復装置において、データ遷移を含む２進データの送信器と、周波数の範囲にわたって変化するクロック信号を発生するための電圧制御発振器と、データ遷移とクロック信号とに応動して、データ遷移がクロック信号に先行する場合は第１の値を有する２進エラー信号を発生し、データ遷移がクロック信号より遅延する場合は第２の値を有する２

進エラー信号を発生する位相検出器と、２進エラー信号に応動して、クロック信号の周波数に僅かな所定の修正変更を行ってデータ遷移へと位相同期するための装置と、２進エラー信号を積分する装置と、積分された信号に応動してクロック信号の周波数に大きい可変修正変更を生ぜしめる装置と、データ遷移とクロック信号とに応動してロック外れ状態を検知する装置と、検知装置に応動して位相検出器内のデータ遷移をシミュレートし、ロック外れ状態とデータ遷移とがない場合は２進エラー信号の値を変更する装置、とから構成されたことを特徴とするクロック回復装置。

【実施例８】

前記シミュレート装置が最前に出現したデータ遷移と同相のデータ遷移をシミュレートすることを特徴とする実施例７記載の装置。

【実施例９】

クロック回復装置において、所定の規準周期で出現するデータ遷移を含む２進データの送信器と、周波数の範囲にわたって変化するクロック信号を発生するための電圧制御発振器と、データ遷移とクロック信号とに応動して、データ遷移がクロック信号に先行する場合は第１の値を有する２進エラー信号を発生し、データ遷移がクロック信号より遅延する場合は第２の値を有する２進エラー信号を発生する位相検出器と、２進エラー信号に応動して、クロック信号の周波数に僅かな所定の修正変更を行ってデータ遷移へと位相同期するための装置と、Ｄ入力と、クロック入力と、Ｑ出力とを有するＤフリップフロップと、２進データをフリップフロップのクロック入力に結合し、且つクロック信号を標準周期の一部だけ遅延したフリップフロップのＤ入力に結合して、フリップフロップのＱ出力でロック外れ信号を発生する装置、とから構成されたことを特徴とするクロック回復装置。

【実施例１０】

クロック回復装置において、所定の規準周期で出現するデータ遷移を含む２進データの送信器と、周波数範囲にわたって変化可能なクロック信号を発生するための電圧制御発振器であって、環状に接続された複数の遅延段を備え、前記段の一つが第１入力に供給された信号の２進値に応じて２進遅延を生ぜしめ、別の段が第２入力に供給された信号に応じてアナログ遅延を生ぜしめ、残りの段が第３入力に供給された信号に応じてアナログ遅延信号を生ぜしめる構成の発振器と、データ遷移とクロック信号とに応動して、データ遷移がクロック信号に先行する場合は第１の値を有する２進エラー信号を発生し、データ遷移がクロック信号より遅延する場合は第２の値を有する２進エラー信号を発生する位相検出器と、２進エラー信号を積分する装置と、２進エラー信号を第１入力に結合して、クロック信号の周波数に僅かな所定の修正変更を行ってデータ遷移へと位相同期するための装置と、積分された信号を第３入力に結合して、クロック信号の周波数に大きい可変修正変更を生ぜしめる装置と、残りの段によって生ぜしめられた遅延の温度に応じた変化を補償する温度準拠信号を第２入力に供給する装置、とから構成されたことを特徴とする装置。

【００３７】

【発明の効果】

以上述べたように、本発明を用いることにより、位相ロック外れを検出してこれを復旧させることができる。

【図面の簡単な説明】

【図１】本発明の原理を採用したクロック回復装置の概略構成図である。

【図２】図１の偽りロック検出器とワンショットの概略回路図である。

【図３】図２の偽りロック検出器の動作を表す波形図である。

【図４】図２のワンショットの動作を表す波形図である。

【図５】図１の電流コンバータへの電圧の流れを示した概略回路図である。

【図６】図１の位相／周波数検出器の一部の概略論理図である。

【図７】図１の電圧制御発振器の概略構成図である。

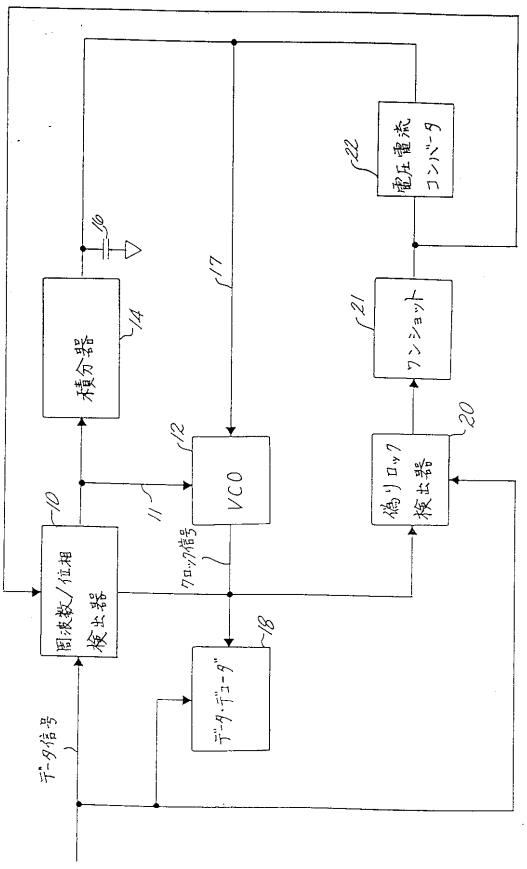
【図８】図５の温度補償回路の概略回路図である。

【符号の説明】

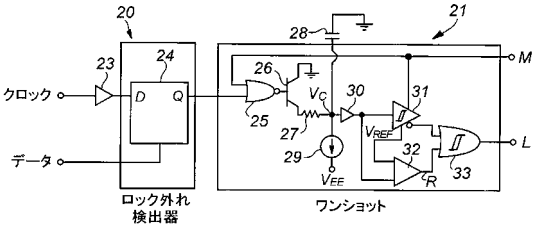
１０：周波数／位相検出器

１２：電圧制御発振器
１４：積分器
１６：コンデンサ
１８：データ・デコーダ
２０：偽りロック検出器
２１：ワンショット
２２：コンバータ

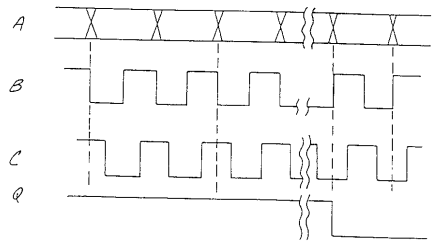
【図１】



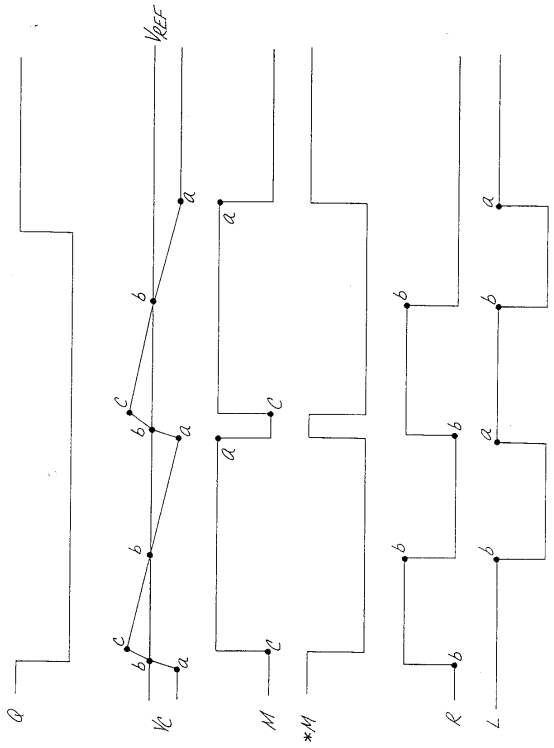
【図２】



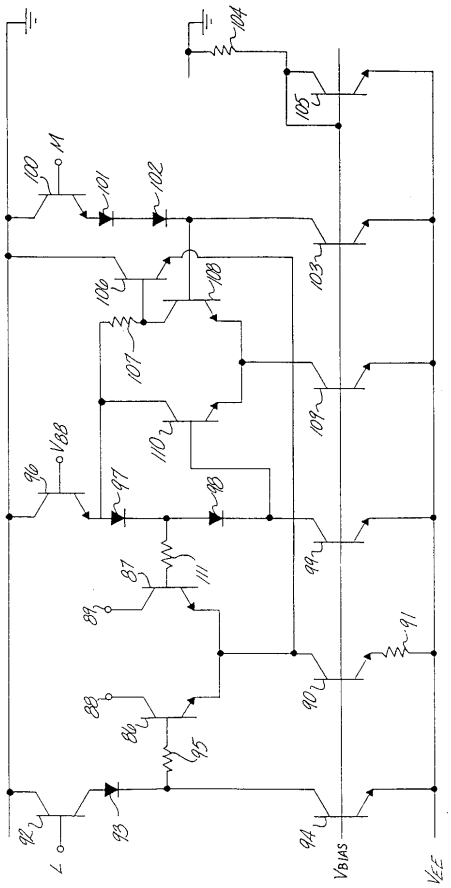
【図３】



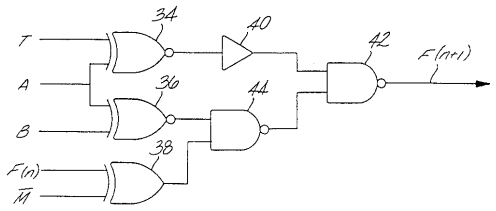
【図４】


VREF
Q
VC
M1
*M1
R
L

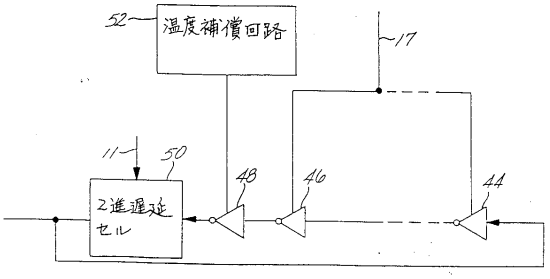
【図５】


M1
VBB
VBIAS
VEE

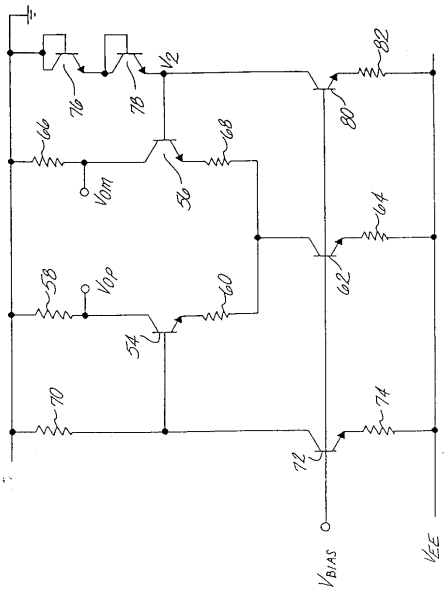
【図６】


T
A
B
F(n)
M
F(n+1)

【図７】


温度補償回路
2進遅延セル

【図８】


VOM
VOP
VBIAS
VEE

フロントページの続き

(72)発明者　ドナルド・マコト・リー
アメリカ合衆国カリフォルニア州サンホセ、ノースキャピトルアヴェニュー　１０５５－７２
(72)発明者　ベニー・ウィング・ハング・ライ
アメリカ合衆国カリフォルニア州サンホセ、フリントフィールドドライブ　２０８５

審査官　甲斐　哲雄

(56)参考文献　米国特許第５０１２４９４（ＵＳ，Ａ）
特開昭５９－１９８０２８（ＪＰ，Ａ）
特開昭４８－０５６０４７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03L 7/06-7/14
H04L 7/02-7/033
H03K 5/04
H03K 5/13