



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년05월17일  
(11) 등록번호 10-1034909  
(24) 등록일자 2011년05월06일

(51) Int. Cl.

G11C 5/14 (2006.01)

(21) 출원번호 10-2006-7004730

(22) 출원일자(국제출원일자) 2004년09월14일

실사 청구일자 2009년09월08일

(85) 범역문제총81기 2006년03월08일

(65) 고향번호 10-2006-0073052

(83) 동개면호 10-2006-007395  
(43) 고개면호 2006년 06월 20일

(43) 종개일자 2006년06월29일  
(44) 그 외 일자 2007/06/29~2008/06/29

(86) 국제출원번호 PCI/US2004/029935

(87) 국제공개번호 WO 2005/034189

국제공개일자 2005년04월14일

(30) 우선권주장

10/675,005 2003년09월30일 미국(US)

## (56) 선행기술조사문현

US6208171 A

전체 청구항 수 : 총 5 항

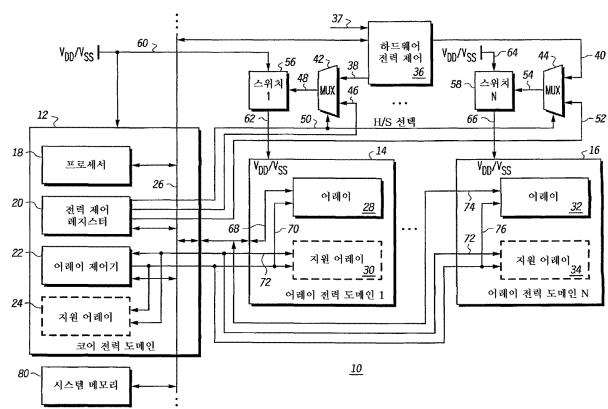
심사관 : 윤진훈

(54) 회로 어레이에서 누설 전류를 줄이기 위한 집적 회로 전력관리 및 방법

### (57) 요약

메모리 어레이와 인터페이스하는 프로세서(18)를 구비한 처리 시스템(12)의 저전력 모드 동안 메모리 어레이(28)에서 누설 전류가 제거된다. 2개의 전력 평면이 생성되므로, 프로세서(18)는 메모리 어레이가 과워 다운될 때 메모리 어레이(28)를 바이패스하면서 시스템 메모리(80)를 이용하여 명령의 실행을 계속할 수 있다. 스위치가 명령의 실행으로부터, 또는 시스템에서 프로세서 외 어디에선가 발생하는 소스로부터 결과된 프로세서 개시 제어에 응답하여 전원 단자에 대한 전기적 접속을 선택적으로 제거한다. 메모리 어레이(28)에 대한 전력의 복구시, 메모리 어레이에 대한 2 전력 평면 지원 어레이들 중 어느 지원 어레이가 지정되는지에 따라 데이터가 사용 불능으로 표시되거나 표시될 필요가 없다. 전력 복구의 타이밍을 제어하기 위하여 소정의 기준이 이용될 수 있다. 누설 전류를 독립적으로 줄이도록 다수의 어레이가 구현될 수 있다.

## 대 표 도



(72) 발명자

쿠레시, 카디르 에이.

미국 78620 텍사스주 드리핑 스프링스 스텀보트 크  
로싱 394

바길카, 존 제이.

미국 78745 텍사스주 오스틴 크리크 뷰 드라이브  
10622

---

## 특허청구의 범위

### 청구항 1

전력 관리 기능을 구비한 집적 회로로서,  
명령을 실행하기 위한 처리 회로;  
상기 처리 회로에 결합되어, 상기 처리 회로에 데이터를 제공하기 위한 적어도 하나의 메모리 어레이; 및  
상기 적어도 하나의 메모리 어레이에 결합되는 제어 회로  
를 포함하고,

상기 제어 회로는 상기 적어도 하나의 메모리 어레이에서 누설 전류를 줄이기 위하여 먼저 상기 적어도 하나의 메모리 어레이에 대한 모든 액세스를 불가능하게 하고 이어서 상기 적어도 하나의 메모리 어레이의 모두에 대한 전력을 제거함으로써 전원 단자에 대한 상기 적어도 하나의 메모리 어레이의 전기적 접속을 제거하는 집적 회로.

### 청구항 2

제1항에 있어서,  
상기 하나 이상의 메모리 어레이에 결합되는 하나 이상의 지원 메모리 어레이  
를 더 포함하고,

상기 하나 이상의 지원 메모리 어레이는 상기 적어도 하나의 메모리 어레이를 동작시키기 위한 지원 기능을 제공하며, 상기 제어 회로는 상기 적어도 하나의 메모리 어레이 내의 모든 데이터가 상기 적어도 하나의 메모리 어레이에 대한 전력 복구시에 사용 불능으로 표시되어야 하는지의 여부에 따라 상기 적어도 하나의 메모리 어레이의 모두에 대해 전력이 제거될 때 상기 하나 이상의 지원 메모리 어레이가 선택적으로 파워 업되게 유지하는 집적 회로.

### 청구항 3

제1항에 있어서,  
상기 제어 회로는 상기 전원 단자에 결합되는 제1 단자 및 상기 적어도 하나의 메모리 어레이의 전력 평면 단자에 결합되는 제2 단자를 구비한 스위치를 더 포함하고,  
상기 스위치는 상기 스위치가 언제 도통되는지를 결정하는 제어 신호를 수신하기 위한 제어 단자를 더 포함하는 집적 회로.

### 청구항 4

전력 관리 기능을 구비한 집적 회로로서,  
명령을 실행하기 위한 처리 회로;  
메모리 어레이 내에 포함되고, 전원 단자에 결합되어 제1 전력 평면을 구성하는 다수의 메모리 비트 셀;  
상기 다수의 메모리 비트 셀의 주변에 위치하고, 상기 전원 단자에 선택적으로 결합되어 상기 제1 전력 평면과 독립된 제2 전력 평면을 구성하는 메모리 어레이 주변 회로; 및  
상기 다수의 메모리 비트 셀의 주변에 위치하는 상기 메모리 어레이 주변 회로에 결합되는 제어 회로  
를 포함하고,  
상기 제어 회로는 상기 다수의 메모리 비트 셀의 주변에 위치하는 상기 메모리 어레이 주변 회로의 상기 전원 단자에 대한 전기적 접속을 선택적으로 제거하는 집적 회로.

### 청구항 5

삭제

**청구항 6**

집적 회로에서 누설 전류를 줄이기 위한 방법으로서, 메모리 셀들의 어레이를 포함하는 제1 회로 전력 평면을 제공하는 단계; 및 프로세서 및 제어 회로를 포함하는 제2 회로 전력 평면을 제공하는 단계를 포함하고,

상기 제어 회로는 상기 메모리 셀들의 어레이에서 누설 전류를 줄이기 위하여 먼저 상기 메모리 셀들의 어레이에 대한 모든 액세스를 불가능하게 하고 이어서 상기 메모리 셀들의 어레이의 모두에 대한 전력을 제거함으로써 전원 단자에 대한 상기 메모리 셀들의 어레이의 전기적 접속을 제거하는 방법.

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**명세서****기술 분야**

[0001]

본 발명은 집적 회로 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 집적 회로에서 누설 전류를 줄이기 위한 집적 회로 전력 관리 및 방법에 관한 것이다.

**배경 기술**

[0002]

셀 전화, 개인 휴대 단말기, 핸드헬드 컴퓨팅 장치 및 다른 유사한 형태의 무선 및/또는 이동 전자 장치와 같이 집적 회로를 구비한 배터리 급전 장치들은 전력 소모에 매우 민감하다. 90nm 이하 프로세스 기술로 진행함에 따라, 배터리 급전 장치의 집적 회로 내의 누설 전류는 장치에 급전은 되지만 능동적으로 사용되지는 않을 때와 관련하여 주요 관심사가 되고 있다.

[0003]

따라서, 개량된 집적 회로 및 그 제조 방법이 요망된다.

[0004]

<발명의 요약>

[0005]

일 실시예에 따르면, 집적 회로는 처리 회로, 적어도 하나의 메모리 어레이 및 제어 회로를 포함한다. 처리 회로는 명령을 실행한다. 적어도 하나의 메모리 어레이는 처리 회로에 결합되어 처리 회로에 데이터를 제공한다. 마지막으로, 제어 회로는 적어도 하나의 메모리 어레이에 결합되는데, 제어 회로는 적어도 하나의 메모리 어레이에서 누설 전류를 줄이기 위하여 먼저 적어도 하나의 메모리 어레이에 대한 모든 액세스를 불가능하게 하고 이어서 적어도 하나의 메모리 어레이의 모두에 대한 전기적 접속을 제거함으로써 전원 단자에 대한 적어도 하나의 메모리 어레이의 전기적 접속을 제거한다.

**발명의 상세한 설명**

[0014]

본 발명의 실시예들에 따른 저전력 모드 동안의 집적 회로의 메모리 어레이의 파워 오프는 상당한 누설 전류를 줄일 수 있다. 본 발명의 한 응용례는 온칩 캐시 메모리 및 다른 메모리 어레이의 데이터 어레이의 파워 오프이다. 본 발명의 실시예들에 따르면, 메모리 어레이의 파워 오프는 기능의 손실을 발생시키지 않는다. 메모리

어레이의 파워 오프는 약간의 성능 저하만을 일으킨다. 성능 저하는 메모리 어레이의 파워 오프 전 메모리 어레이 플러시의 필요성, 메모리 어레이가 파워 백업될 때 모든 엔트리가 무효임을 보장해야 할 필요성, 및 파워 다운 전과 유사한 레벨로의 파워 업 후 메모리 어레이의 리ップ플레이션 중 하나 이상에 기인한다.

[0015] 본 발명의 실시예들은 캐시 메모리 어레이와 같은 메모리 어레이에 대한 파워 다운 시퀀스를 달성하기 위한 방법들의 하드웨어 및 소프트웨어 요건들에 대한 상세를 포함한다. 이 방법들은 임의의 캐시 레벨에 동일하게 적용할 수 있다. 그러나, 이 방법들은 제어 관점에서 다른데, 하나는 소프트웨어로 제어되고, 다른 하나는 하드웨어로 제어된다. 또한, 이 방법들은 최대의 유연성을 허용하도록 동시에 지원될 수 있다.

[0016] 일 실시예에서, 이 방법은 저전력 모드 동안, 또는 극히 낮은 처리 요건, 비활성, 제한된 비활성의 긴 기간 동안 데이터 어레이가 파워 오프되는 것을 허용한다. 장치에 대한 극히 낮은 처리 요건의 일례는 유휴 셀 전화에 대한 처리 요건을 포함할 수 있다. 본 발명의 실시예들의 독특성은 부분적으로는 캐시 어레이가 대응하는 처리 코어에 대한 전력의 파워 오프 없이도 상태의 저장 및 복원을 수반하면서 파워 오프된다는 사실에 있다. 일 실시예에서, 이 방법은 단일 트랜지스터를 이용한 전 캐시 바이패스 및 어레이 전력 제어를 포함한다. 일 실시예에서, 전 캐시 전력 제어는 매우 적은 하드웨어 오버헤드로 누설 절감 최적화를 제공하며, 더욱이 명시적인 소프트웨어 제어를 허용함으로써 결정론적 거동을 허용한다.

[0017] 이제, 도 1을 참조하면, 이 도면은 본 발명의 일 실시예에 따라 회로 어레이에서 누설 전류를 줄이기 위한 전력 관리 기능을 가진 집적 회로(10)의 블록도이다. 집적 회로(10)는 코어 전력 도메인(12) 및 예를 들어 도 1에 참조 번호 14 및 16으로 표시된 바와 같은 하나 이상의 어레이 전력 도메인(1 내지 N, 여기서 N은 정수)을 포함한다. 코어 전력 도메인(12)은 프로세서(또는 처리 회로)(18), 전력 제어 레지스터(20) 및 어레이 제어기(22)를 포함한다. 코어 전력 도메인(12)은 또한 하나 이상의 지원 어레이, 예를 들어 태그 어레이, 더티(dirty) 어레이, 유효 어레이 또는 이들의 조합(들)을 포함한다. 시스템 버스(26)는 프로세서(18), 전력 제어 레지스터(20), 어레이 제어기(22), 및 하드웨어 전력 제어(36), 시스템 메모리(80), 기타 등등(도시되지 않음)과 같은 다른 시스템 장치 또는 기능을 결합시킨다.

[0018] 어레이 전력 도메인(14)은 하나 이상의 어레이(들)(28)를 포함하며, 하나 이상의 지원 어레이(들)(30), 예를 들어 태그 어레이, 더티 어레이, 유효 어레이 또는 이들의 조합(들)을 포함할 수도 있다. 어레이 전력 도메인(16)은 하나 이상의 어레이(32)를 포함하며, 하나 이상의 지원 어레이(들)(34), 예를 들어 태그 어레이, 더티 어레이, 유효 어레이 또는 이들의 조합(들)을 포함할 수도 있다.

[0019] 집적 회로(10)는 하드웨어 전력 제어(36)를 더 포함한다. 하드웨어 전력 제어(36)는 적어도 최대 N개의 하드웨어 전력 제어 출력, 예를 들어 하드웨어 전력 제어 출력들(38, 40)을 제공한다. 하드웨어 전력 제어(36)는 또한 하나 이상의 전력 제어 신호(들)를 수신하도록 구성된 제어 입력(37)을 포함한다.

[0020] 또한, 집적 회로(10)는 적어도 최대 N개의 전력 스위치 제어 멀티플렉서(MUX), 예를 들어 MUX(42) 및 MUX(44)를 포함한다. 일 실시예에서, MUX(42)는 입력들(38, 46) 및 출력(48)을 가진 2:1 멀티플렉서를 포함한다. 전력 제어 레지스터(20)의 출력에 의해 구동되는 선택 입력(50)이 입력들 중 어느 입력(38 또는 46)이 MUX(42)의 출력(48)을 통과하는지를 제어한다. 일 실시예에서, 입력(38)은 하드웨어 전력 제어(36)의 한 출력에 대응하고, 입력(46)은 전력 제어 레지스터(20)의 한 출력에 대응한다. MUX(44)는 입력들(40, 52) 및 출력(54)을 가진 2:1 멀티플렉서를 포함한다. 전력 제어 레지스터(20)의 출력에 의해 구동되는 선택 입력(50)이 입력들 중 어느 입력(40 또는 52)이 MUX(44)의 출력(54)을 통과하는지를 제어한다. 일 실시예에서, 입력(40)은 하드웨어 전력 제어(36)의 다른 출력에 대응하고, 입력(52)은 전력 제어 레지스터(20)의 다른 출력에 대응한다.

[0021] 또한, 집적 회로는 적어도 최대 N개의 스위치, 예를 들어 스위치(56) 및 스위치(58)도 포함한다. 일 실시예에서, 스위치들(56, 58)은 PFET들, NFET들 또는 다른 적당한 트랜지스터 스위칭 장치들을 포함할 수 있다. 스위치(56)는 입력(60) 및 출력(62)을 갖는데, 입력에서 출력으로의 접속은 MUX(42)의 출력(48)에 의해 제어된다. 마찬가지로, 스위치(58)는 입력(64)과 출력(66)을 가지며, 입력에서 출력으로의 접속은 MUX(44)의 출력(54)에 의해 제어된다. 전원 단자가 코어 전력 도메인(12)에, 그리고 예를 들어 스위치(56)의 입력(60) 및 스위치(58)의 입력(64)에 대응하는 N개의 스위치에 전압  $V_{DD}$  또는  $V_{SS}$ 를 제공한다. 스위치(56)의 스위치 출력(62)은 어레이 전력 도메인(14)의 전력 평면 단자  $V_{DD}/V_{SS}$ 에 결합된다. 유사하게, 스위치 출력(66)은 어레이 전력 도메인(16)의 전력 평면 단자  $V_{DD}/V_{SS}$ 에 결합된다.

[0022] 설명의 명료화를 위해, 코어 전력 도메인(12)은 프로세서(18), 전력 제어 레지스터(20), 어레이 제어기(22) 및 지원 어레이(들)(24)를 포함하는 것으로 도시되었다. 그러나, 하드웨어 전력 제어(36), MUX(42, 44), 스위치

(56, 58) 및 시스템 메모리(80)도 코어 전력 도메인(12)에 포함되거나 포함되지 않을 수 있다.

[0023] 도 1을 계속 참조하면, 어레이 전력 도메인(14)의 어레이(들)(28)는 데이터 라인(68)을 통해 시스템 버스(26)를 거쳐 데이터를 수신 및/또는 전송한다. 어레이 제어기(22)는 신호 라인(70)을 통해 어레이(들)(28) 및/또는 지원 어레이(들)(30)에 대한 어드레스 및 제어 신호를 제공한다. 또한, 지원 어레이(들)(30)는 신호 라인(72)을 통해 어레이 제어기(22)에 대해 데이터를 수신 및/또는 전송한다. 신호 라인(72)은 특정 접속 회로 구현을 위해 필요할 수 있는 하나 이상의 버스를 포함한다. 또한, 어레이 전력 도메인(16)의 어레이(들)(32)는 데이터 라인(74)을 통해 시스템 버스(26)를 거쳐 데이터를 송수신한다. 어레이 제어기(22)는 신호 라인(76)을 통해 어레이(32) 및/또는 지원 어레이(34)에 대한 어드레스 및 제어 신호를 제공한다. 또한, 지원 어레이(들)(34)는 신호 라인(72)을 통해 어레이 제어기(22)에 대해 데이터를 수신 및/또는 전송한다.

[0024] 도 2는 본 발명의 일 실시예에 따른 소프트웨어 제어하의 어레이 파워 다운 시퀀스(82)의 흐름도이다. 어레이 파워 다운 시퀀스(82)는 접속 회로(10)의 동작 동안 프로세서(18)가 명령을 실행할 수 있는 시간이면 언제라도 실행될 수 있다. 타겟 어레이 또는 어레이들은 접속 회로(10)의 전체 누설 전류의 바람직한 감소를 달성하기 위해 파워 다운되어야 하는 어레이/어레이들이다. 타겟 어레이 또는 어레이들은 하나 이상의 어레이(28, 32), 하나 이상의 지원 어레이(30, 34) 또는 이들의 조합을 포함할 수 있다. 타겟 어레이(들)의 실제 선택은 누설 절감에 관련한 선택 기준 및 특정 접속 회로 구현에 있어서의 어레이(들)의 성능 영향에 기초한다. 시퀀스(82)의 단계 84에서, 프로세서(18)는 시스템 메모리(80)를 타겟 어레이(들)의 내용들로 동기시킨다. 일 실시예에서, 시스템 메모리의 동기화는 캐시 메모리의 플러싱을 유발할 수 있다. 캐시 메모리는 L1, L2, L3 또는 다른 유사한 형태의 메모리를 포함할 수 있다. 시스템 메모리의 동기화에 이어서, 단계 86에서 프로세서(18)는 어레이 제어 레지스터(22)를 통해 타겟 어레이(들)에 대한 액세스를 불가능하게 한다. 캐시 어레이를 이용하는 일 실시예에서, 액세스의 불능화는 캐시 어레이를 바이패스 모드에 있게 하는 것을 포함할 수 있는데, 이 모드에서 모든 후속 캐시 메모리 요구는 메모리의 다음 레벨로 전달된다.

[0025] 마지막으로, 단계 88에서, 프로세서(18)는 전력 제어 레지스터(20)에 기입하여 전력 제어 레지스터(20)가 타겟 어레이(들)의 하나 이상의 대응하는 소프트웨어 전력 제어 신호들을 역표명(de-assert)하도록 명령함으로써 바람직한 누설 전류 감소의 기능으로서 타겟 어레이(들)에 대한 전력을 제거한다. 결과적으로, 하나 이상의 대응 스위치의 접속은 인터럽트된다. 예를 들어, 도 1에서, 타겟 어레이가 어레이 전력 도메인(14) 내의 하나 이상의 어레이(들)를 포함하는 경우, 프로세서(18)는 하드웨어/소프트웨어 선택 라인(50)을 소프트웨어 선택 상태로 구동하면서 전력 제어 레지스터(20)가 소프트웨어 전력 제어 신호(46)를 역표명하도록 명령하여, 스위치(56)의 입력과 출력 사이의 접속이 인터럽트되게 한다.

[0026] 도 3은 도 2에 대응하는 실시예에 따른 소프트웨어 제어하의 어레이 파워 업 시퀀스(90)의 흐름도이다. 어레이 파워 업 시퀀스(90)는 접속 회로(10)의 동작 동안 프로세서(18)가 명령을 실행할 수 있는 시간이면 언제라도 실행될 수 있다. 파워 업 시퀀스(90)에서, 타겟 어레이 또는 어레이들은 능동 동작 모드로 파워 업 되어야 하는 어레이/어레이들이다. 타겟 어레이 또는 어레이들은 하나 이상의 어레이(28, 32), 하나 이상의 지원 어레이(30, 34) 또는 이들의 임의의 조합을 포함할 수 있다.

[0027] 단계 92에서, 프로세서(18)는 전력 제어 레지스터(20)에 기입하여 전력 제어 레지스터(20)가 타겟 어레이(들)의 하나 이상의 대응하는 소프트웨어 전력 제어 신호를 표명하도록 명령함으로써 타겟 어레이에 대한 전력을 복구한다. 결과적으로, 하나 이상의 대응 스위치의 접속이 설정된다. 예를 들어, 도 1에서, 타겟 어레이가 어레이 전력 도메인(14) 내의 하나 이상의 어레이를 포함하는 경우, 프로세서(18)는 하드웨어/소프트웨어 선택 라인(50)을 소프트웨어 선택 상태로 구동하면서 전력 제어 레지스터(20)가 소프트웨어 전력 제어 신호(46)를 표명하도록 명령하여, 스위치(56)의 입력과 출력 사이의 접속이 설정되게 한다.

[0028] 시퀀스(90)의 단계 94에서, 프로세서(18)는 타겟 어레이(들) 내의 모든 데이터를 어레이 제어기(22)를 통해 사용 불능 상태로 표시하는데, 이는 타겟 어레이(들)의 내용들이 알려지지 않으며, 따라서 사용 불가능하기 때문이다. 일 실시예에서, 타겟 어레이 내의 모든 데이터를 사용 불능으로 표시하는 것은 캐시 메모리의 내용들의 무효화를 유발할 수 있다. 전술한 바와 같이, 캐시 메모리는 L1, L2, L3 또는 다른 유사한 형태의 메모리를 포함할 수 있다. 데이터를 사용 불능으로 표시한 후, 단계 96에서, 프로세서(18)는 어레이 제어 레지스터(22)를 통해 타겟 어레이(들)에 대한 액세스를 가능하게 한다. 캐시 어레이를 이용하는 일 실시예에서, 액세스의 가능화는 캐시 어레이를 동작 모드로 하는 것을 포함하는데, 이 모드에서 모든 후속 캐시 메모리 요구는 캐시 메모리의 현재 내용에 따라 서비스할 수 있도록 캐시 메모리에 의해 평가된다.

[0029] 도 4는 본 발명의 또 다른 실시예에 따른 하드웨어 제어하의 어레이 파워 다운 시퀀스(98)의 흐름도이다. 시퀀

스(98)의 실행에 앞서, 프로세서(18)는 하드웨어 전력 제어에 대응하는 전력 제어 MUX를 구성한다. 예를 들어, 도 1에서, 타겟 어레이(들)가 어레이 전력 도메인(14)의 일부이었던 경우, 프로세서(18)는 전력 제어 레지스터(20)가 하드웨어/소프트웨어 선택 라인(50)을 하드웨어 선택 상태로 구동하도록 명령한다. 따라서, 입력(38)은 MUX(42)의 출력(48)으로 전달된다.

[0030] 어레이 파워 다운 시퀀스(98)는 집적 회로 시스템 또는 서브 시스템이 본 실시예들의 범위 외인 절전 모드로 들어가게 하기 위한 집적 회로 시스템 전체, 또는 서브 시스템 전체의 저전력 모드 진입 시퀀스의 일부로서 실행된다. 타겟 어레이 또는 어레이들은 집적 회로(10)의 전체 누설 전류의 바람직한 감소를 달성하기 위해 파워 다운되어야 할 어레이/어레이들이다. 타겟 어레이 또는 어레이들은 하나 이상의 어레이(28, 32), 하나 이상의 지원 어레이(30, 34) 또는 이들의 임의의 조합을 포함할 수 있다. 타겟 어레이(들)에 대한 선택 기준은 전술한 바와 유사하다.

[0031] 시퀀스(98)의 단계 100에서, 프로세서(18)는 시스템 메모리(80)를 타겟 어레이(들)의 내용들로 동기시킨다. 일 실시예에서, 시스템 메모리의 동기화는 캐시 메모리의 플러싱을 유발할 수 있다. 캐시 메모리는 L1, L2, L3 또는 다른 유사한 형태의 메모리를 포함할 수 있다. 시스템 메모리의 동기화 후, 단계 102에서, 프로세서(18)는 선택적으로, 어레이 제어기(22)를 통해 타겟 어레이(들) 내의 모든 데이터를 사용 불능으로 표시한다. 일 실시예에서, 타겟 어레이(들) 내의 모든 데이터를 사용 불능으로 표시하는 것은 캐시 메모리의 내용들의 무효화를 초래할 수 있다. 전술한 바와 같이, 캐시 메모리는 L1, L2, L3 또는 다른 유사한 형태의 메모리를 포함할 수 있다. 데이터를 사용 불능으로 표시한 후 소정 기간 후에 프로세서(18)는 적당한 명령의 실행에 의해 중지된다.

[0032] 단계 106에서, 전력 하드웨어 제어(36)는 타겟 어레이(들)의 하나 이상의 대응하는 하드웨어 전력 제어 신호를 역표명함으로써 바람직한 누설 전류 감소의 기능으로서 타겟 어레이(들)에 대한 전력을 제거한다. 결과적으로, 하나 이상의 대응하는 스위치의 접속이 인터럽트된다. 예를 들어, 도 1에서, 타겟 어레이가 어레이 전력 도메인(14) 내의 하나 이상의 어레이를 포함하는 경우, 하드웨어 전력 제어(36)는 하드웨어 전력 제어 신호(38)를 역표명하여 스위치(56)의 입력과 출력 간의 접속이 인터럽트되게 한다. 이어서, 이러한 시스템 또는 서브 시스템 절전 모드 진입 시퀀스의 어레이 파워 다운 시퀀스 부분이 종료된다.

[0033] 도 5는 도 4에 대응하는 실시예에 따른 하드웨어 제어하의 어레이 파워 업 시퀀스(108)의 흐름도이다. 시퀀스(108)의 실행에 앞서, 프로세서(18)는 하드웨어 전력 제어에 대응하는 전력 제어 MUX를 구성한다. 예컨대, 도 1에서, 타겟 어레이(들)가 어레이 전력 도메인(14)의 일부였던 경우, 프로세서(18)는 전력 제어 레지스터(20)가 하드웨어/소프트웨어 선택 라인(50)을 하드웨어 선택 상태로 구동하도록 명령한다. 따라서, 입력(38)은 MUX(42)의 출력(48)으로 전달된다.

[0034] 어레이 파워 업 시퀀스(108)는 집적 회로 시스템 또는 서브 시스템이 본 실시예들의 범위 외인 절전 모드에서 나오게 하기 위한 집적 회로 시스템 전체, 또는 서브 시스템 전체의 저전력 모드 이탈 시퀀스의 일부로서 실행된다. 파워 업 시퀀스(108)에서, 타겟 어레이 또는 어레이들은 능동 동작 모드로 파워 업되어야 하는 어레이/어레이들이다. 타겟 어레이 또는 어레이들은 하나 이상의 어레이(28, 32), 하나 이상의 지원 어레이(30, 34) 또는 이들의 임의의 조합을 포함할 수 있다.

[0035] 단계 110에서, 하드웨어 전력 제어(36)는 타겟 어레이(들)의 하나 이상의 대응하는 하드웨어 전력 제어 신호를 표명함으로써 타겟 어레이(들)에 대한 전력을 복구한다. 결과적으로, 하나 이상의 대응하는 스위치의 접속이 설정된다. 예를 들어, 도 1에서, 타겟 어레이가 어레이 전력 도메인(14) 내의 하나 이상의 어레이를 포함하는 경우, 하드웨어 전력 제어(36)는 하드웨어 전력 제어 신호(38)를 표명하여 스위치(56)의 입력과 출력 사이의 접속이 설정되게 한다.

[0036] 타겟 어레이(들)에 대한 전력 복구에 이어서, 시퀀스(108)의 단계 112에서, 무효화 하드웨어는 선택적으로, 타겟 어레이(들) 내의 모든 데이터를 사용 불능으로 표시한다. 일 실시예에서, 무효화 하드웨어는 도 6을 참조하여 후술하는 바와 같이 제로화 입력을 가진, 캐시 유효 어레이와 같은 지원 어레이를 포함한다. 제로화 입력은 대응하는 지원 어레이 내의 모든 비트의 상태를 공지 값으로 리셋하도록 동작하며, 이 상태에서 하드웨어 전력 제어(36)는 제로화 입력을 구동한다.

[0037] 데이터를 사용 불능으로 표시한 후, 단계 114에서, 하드웨어 전력 제어(36) 또는 본 명세서에서 구체적으로 설명되지 않는 다른 하드웨어 전력 제어 요소는 프로세서(18)를 재시동한다. 캐시 어레이를 이용하는 일 실시예에서, 프로세서(18)에 의한 모든 후속 액세스는 캐시 메모리의 현재 내용에 따라 서비스하기 위해 캐시 메모리

에 의해 평가된다.

[0038] 도 6은 본 발명의 또 다른 실시예에 따른 도 1의 집적 회로(10)의 일부의 상세 블록도이다. 예를 들어, 하나 이상의 어레이(28, 30, 32, 34)는 대응 어레이 주변 회로(124) 및 대응 비트 셀(126) 각각에 대한 개별 전력 단자(120, 122) 및/또는 제로화 입력(128)을 갖춘 어레이(118)를 구비한 구성(116)을 포함할 수 있다. 이러한 구성에서, 비트 셀(126)은 급전 상태로 유지되며, 어레이 주변회로(124)에 대한 전력은 스위치(130)에 의해, 또한 MUX(42, 44) 또는 다른 전력 스위치 제어 MUX와 같은 대응 전력 스위치 제어 MUX로부터의 신호(132)에 의해 제어되는 바와 같이 스위칭된다.

[0039] 위의 설명에 더하여, 일 실시예에서, 전력 관리 기능을 가진 집적 회로는 처리 회로, 적어도 하나의 메모리 어레이, 및 제어 회로를 포함한다. 처리 회로는 명령을 실행한다. 적어도 하나의 메모리 어레이는 처리 회로에 결합되어 데이터를 처리 회로에 제공한다. 마지막으로, 제어 회로는 적어도 하나의 메모리 어레이에 결합되며, 제어 회로는 적어도 하나의 메모리 어레이에서 누설 전류를 줄이기 위하여 먼저 적어도 하나의 메모리 어레이에 대한 모든 액세스를 불가능하게 한 후 적어도 하나의 메모리 어레이에 대한 전력을 제거함으로써 전원 단자에 대한 적어도 하나의 메모리 어레이의 전기적 접속을 제거한다.

[0040] 집적 회로는 적어도 하나의 메모리 어레이에 결합된 하나 이상의 지원 메모리 어레이를 더 포함할 수 있다. 하나 이상의 지원 메모리 어레이는 적어도 하나의 메모리 어레이 중 대응하는 어레이를 동작시키기 위하여 지원 기능을 제공한다. 또한, 일 실시예에 따르면, 제어 회로는 적어도 하나의 메모리 어레이에 대한 전력 복구시 적어도 하나의 메모리 어레이 내의 모든 데이터가 사용 불능으로 표시되어야 하는지에 따라 적어도 하나의 메모리 어레이 모두에 대해 전력이 제거될 때 하나 이상의 지원 메모리 어레이가 선택적으로 파워 업되도록 유지한다.

[0041] 다른 실시예에서, 집적 회로는 전술한 것과 유사하며, 제어 회로는 전원 단자에 결합되는 제1 단자 및 적어도 하나의 메모리 어레이의 전력 평면 단자에 결합되는 제2 단자를 더 포함한다. 스위치는 또한 스위치가 언제 도통하는지를 결정하는 제어 신호를 수신하기 위한 제어 단자를 포함한다. 제어 신호는 처리 회로에 의한 적어도 하나의 명령의 실행 또는 파워 다운 신호의 처리 회로에 의한 수신에 응답하여 제공될 수 있다. 또한, 구성 레지스터는 제어 신호가 적어도 하나의 명령의 실행 또는 파워 다운 신호에 응답하여 제공되는지를 결정하는 제어 신호를 저장한다.

[0042] 또 다른 실시예에서, 집적 회로는 전술한 것과 유사하며, 집적 회로는 복수의 메모리 어레이를 더 포함하는데, 복수의 메모리 어레이 각각은 제어 회로에 결합되며, 트랜지스터 누설 전류를 줄이도록 독립적으로 완전히 파워 오프될 수 있다.

[0043] 또 다른 실시예에서, 집적 회로는 전술한 것과 유사하며, 집적 회로는 처리 회로에 결합되는 시스템 메모리를 더 포함하고, 제어 회로는 데이터가 저장된 적어도 하나의 메모리 어레이를 플러싱함으로써 시스템 메모리를 동기화하며, 적어도 하나의 메모리 어레이에 대한 전력 제거 전에 처리 회로를 물리적으로 중지시킨다.

[0044] 또 다른 실시예에서, 집적 회로는 전술한 것과 유사하며, 집적 회로는 처리 회로에 결합되는 시스템 메모리를 더 포함하고, 적어도 하나의 메모리 어레이의 내용들은 시스템 메모리와 동기화되며, 적어도 하나의 메모리 어레이는 직접 기록 캐시(write-through cache)로서 구성되는 재기록 캐시(copy-back cache)를 포함하고, 따라서 적어도 하나의 메모리 어레이의 내용은 항상 시스템 메모리와 동기화된다.

[0045] 또 다른 실시예에서, 집적 회로는 전술한 것과 유사하며, 집적 회로는 처리 회로에 결합되는 시스템 메모리를 더 포함하고, 제어 회로는 명령을 실행하고 적어도 하나의 메모리 어레이에 대한 전력을 제거하기 위한 처리 회로의 제어하에 적어도 하나의 메모리 어레이에 대한 액세스를 불가능하게 하기 전에 데이터가 저장된 적어도 하나의 메모리 어레이를 플러싱함으로써 시스템 메모리를 동기화한다. 또한, 집적 회로는 적어도 하나의 메모리 어레이에 결합되는 제어 레지스터를 더 포함한다. 제어 레지스터는 처리 회로에 의해 제공되는 명령 신호를 저장하도록 구성된다. 명령 신호는 적어도 하나의 메모리 어레이에 대한 액세스를 불가능하게 한다.

[0046] 또 다른 실시예에서, 집적 회로는 전술한 것과 유사하며, 집적 회로는 제어 회로 내에 제어 레지스터를 더 포함한다. 제어 레지스터는 적어도 하나의 메모리 어레이에 대한 전력을 복구하도록 기능하는 명령 신호를 처리 회로로부터 수신하여 저장한다. 제어 회로는 어레이 제어기를 더 포함하는데, 어레이 제어기는 적어도 하나의 메모리 어레이에 대한 액세스를 가능하게 하기 전에 소정의 비트 값을 가진 적어도 하나의 메모리 어레이 내의 모든 데이터 엔트리를 표시한다.

[0047] 또 다른 실시예에서, 집적 회로는 전술한 것과 유사하며, 제어 회로는 파워 업 신호에 응답하여 적어도 하나의

메모리 어레이에 대한 전력을 복구하고, 명령을 실행하기 위한 회로를 재시동하기 전에 적어도 하나의 메모리 어레이 내의 모든 데이터 엔트리를 사용 불능으로 표시한다.

[0048] 제어 회로는 적어도 하나의 메모리 어레이 모두에 대한 전력을 제거하는 동안 적어도 하나의 메모리 어레이의 메모리 액세스를 관측하는 모니터링 로직을 더 포함할 수 있다. 모니터링 로직은 소정의 기준이 만족될 때까지 하나 이상의 메모리 요구에 응답하여 적어도 하나의 메모리 어레이의 파워 업을 제한한다. 또한, 모니터링 로직은 처리 회로에 의해 실행되는 명령 시퀀스에 따라 소정의 상이한 기준을 이용하도록 구성된다.

[0049] 또 다른 실시예에 따르면, 전력 관리 기능을 가진 집적 회로는 처리 회로, 메모리 어레이 내에 포함된 다수의 메모리 비트 셀, 메모리 어레이 주변 회로, 및 제어 회로를 포함한다. 처리 회로는 명령을 실행하도록 구성된다. 메모리 어레이 내에 포함된 다수의 메모리 비트 셀은 전원 단자에 결합되어 제1 전력 평면을 형성한다. 메모리 어레이 주변 회로는 다수의 메모리 비트 셀의 주변에 위치하며, 메모리 어레이 주변 회로는 전원 단자에 선택적으로 결합되어 제1 전력 평면과 독립적인 제2 전력 평면을 형성한다. 마지막으로, 제어 회로는 다수의 메모리 비트 셀의 주변에 위치하는 메모리 어레이 주변 회로에 결합되며, 제어 회로는 다수의 메모리 비트 셀의 주변에 위치하는 메모리 어레이 주변 회로의 전원 단자에 대한 전기적 접속을 선택적으로 제거하도록 구성된다.

[0050] 또 다른 실시예에서, 제어 회로는 전기적 접속을 선택적으로 제거하기 위한 제어 신호를 제공하는데, 제어 신호는 처리 회로에 의한 적어도 하나의 명령의 실행 또는 처리 회로에 의한 파워 다운 신호의 수신에 응답하여 제공된다. 또 다른 실시예에서, 제어 회로는 전원 단자로부터 전력을 제거하기 전에 처리 회로를 중지시킨다. 또한, 또 다른 실시예에서, 제어 회로는 다수의 메모리 비트 셀의 주변에 위치하는 메모리 어레이 주변 회로의 전원 단자에 대한 전기적 접속을 제거하기 전에 다수의 메모리 비트 셀에 대한 액세스를 불가능하게 한다.

[0051] 또 다른 실시예에서, 집적 회로는 전술한 것과 유사한데, 집적 회로는 모니터링 로직을 더 포함한다. 모니터링 로직은 메모리 어레이 모두에 대한 전력을 제거하는 동안에 메모리 어레이의 메모리 액세스를 관측하도록 구성된다. 모니터링 로직은 또한 소정의 기준이 만족될 때까지 하나 이상의 메모리 요구에 응답하여 메모리 어레이의 파워 업을 제한하도록 구성된다. 또한, 모니터링 로직은 처리 회로에 의해 실행되는 명령 시퀀스에 따라 소정의 상이한 기준을 이용한다.

[0052] 또 다른 실시예에 따르면, 집적 회로에서 누설 전류를 줄이기 위한 방법은 메모리 셀들의 어레이를 포함하는 제1 회로 전력 평면을 제공하는 단계; 및 프로세서 및 제어 회로를 포함하는 제2 회로 전력 평면을 제공하는 단계를 포함한다. 제어 회로는 메모리 셀 어레이에서 누설 전류를 줄이기 위하여 먼저 메모리 셀 어레이에 대한 모든 액세스를 불가능하게 한 후 메모리 셀 어레이 모두에 대한 전력을 제거함으로써 전원 단자에 대한 메모리 셀 어레이의 전기적 접속을 제거한다.

[0053] 이 방법은 메모리 셀 어레이에 지원 기능을 제공하기 위해 제1 회로 전력 평면 또는 제2 회로 전력 평면에 적어도 하나의 지원 메모리 셀 어레이를 제공하는 단계를 더 포함할 수 있다. 일 실시예에서, 적어도 하나의 지원 메모리 셀 어레이가 제1 회로 전력 평면에 있을 때, 지원 메모리 셀 어레이는 제2 회로 전력 평면이 파워 다운될 때 파워 다운되지 않음으로써 메모리 셀 어레이 내의 비트들의 유효성 상태의 기록을 유지하게 된다.

[0054] 이 방법은 제1 회로 전력 평면에 결합되는 하나 이상의 추가 회로 전력 평면을 제공하는 단계를 더 포함할 수 있다. 하나 이상의 추가 회로 전력 평면은 추가 메모리 셀 어레이들을 포함할 수 있는데, 각각의 추가 어레이는 제2 회로 전력 평면이 급전되는지에 관계없이 개별적으로 완전히 파워 다운될 수 있다.

[0055] 또 다른 실시예에 따르면, 집적 회로의 전력 관리 방법은 프로세서로 명령을 실행하는 단계 및 메모리 어레이에 포함된 다수의 메모리 비트 셀을 제공하는 단계를 포함한다. 다수의 메모리 비트 셀은 전원 단자에 결합되어 제1 전력 평면을 형성한다. 이 방법은 다수의 메모리 비트 셀의 주변에 위치하는 메모리 어레이 주변 회로를 제공하는 단계, 메모리 어레이 주변 회로를 전원 단자에 선택적으로 결합하여 제1 전력 평면과 독립적인 제2 전력 평면을 형성하는 단계를 더 포함한다. 이 방법은 제어 회로를 다수의 메모리 비트 셀에 대한 메모리 어레이 주변 회로에 결합시키는 단계를 더 포함한다. 마지막으로, 이 방법은 다수의 메모리 비트 셀에 대한 메모리 어레이 주변 회로의 전원 단자에 대한 전기적 접속을 선택적으로 제거하는 단계를 포함한다.

[0056] 이 방법은 다수의 메모리 비트 셀 모두에 대한 전력의 제거 동안 다수의 메모리 비트 셀의 메모리 액세스를 관측하는 단계를 더 포함할 수 있다. 또한, 이 방법은 소정의 기준이 만족될 때까지 하나 이상의 메모리 요구에 응답하여 다수의 메모리 비트 셀의 파워 업을 제한하는 단계를 포함한다. 프로세서에 의해 실행되는 명령 시퀀스에 따라 소정의 상이한 기준이 이용될 수 있다.

[0057] 본 명세서에서 전술한 바와 같이 이 방법들의 다양한 기능 및/또는 기능성을 수행하기 위한 프로세서 또는 처리

회로에 의해 처리될 명령들의 프로그래밍은 당업계에 공지된 프로그래밍 기술을 이용하여 수행될 수 있다. 예를 들어, 프로그래밍은 본 실시예들의 목적 회로를 포함하는 장치의 저전력 모드 진입/이탈 루틴에 대한 소프트웨어 수정 및/또는 그에 대한 소프트웨어 제어 코드의 추가를 포함한다.

[0058] 전술한 명세서에서, 본 발명은 다양한 실시예를 참조하여 설명되었다. 그러나, 아래의 청구범위에서 설명되는 바와 같이 본 실시예들의 범위로부터 벗어나지 않고 다양한 수정 및 변경이 이루어질 수 있다는 것을 이 분야에 통상의 지식을 가진 자들은 이해할 것이다. 따라서, 명세서 및 도면은 제한적인 것이 아니라 예시적인 것으로 간주되어야 하며, 이러한 모든 수정은 본 실시예들의 범위 내에 포함되는 것으로 의도된다.

[0059] 이익, 다른 장점, 및 문제 해결책들이 특정 실시예들과 관련하여 설명되었다. 그러나, 이익, 장점, 문제 해결책, 및 임의의 이익, 장점 또는 해결책이 발생하거나 더 명백해지게 할 수 있는 임의의 요소(들)는 중요하거나, 필요하거나 필수적인 임의의 또는 모든 청구범위의 특징 또는 요소로서 해석되지 말아야 한다. 본 명세서에서 사용되는 "포함한다", "포함하는" 또는 이에 대한 임의의 다른 변형은 배타적이 아닌 포함을 커버하는 것으로 의도되며, 따라서 요소들의 리스트를 포함하는 프로세스, 방법, 물품 또는 장치는 이들 요소를 포함할 뿐만 아니라, 명백하게 나열되지 않았거나 이러한 프로세스, 방법, 물품 또는 장치에 고유한 다른 요소들을 포함할 수 있다.

### 도면의 간단한 설명

[0006] 본 발명의 실시예들은 예시적으로 도시된 것이며, 동일 부호가 동일 요소를 지시하는 첨부 도면들에 의해 제한되지 않는다.

[0007] 도 1은 본 발명의 일 실시예에 따라 회로 어레이에서 누설 전류를 줄이기 위한 전력 관리 기능을 구비한 목적 회로의 블록도.

[0008] 도 2는 본 발명의 다른 실시예에 따른 소프트웨어 제어하의 어레이 파워 다운 시퀀스의 흐름도.

[0009] 도 3은 도 2에 대응하는 실시예에 따른 소프트웨어 제어하의 어레이 파워 업 시퀀스의 흐름도.

[0010] 도 4는 본 발명의 또 다른 실시예에 따른 하드웨어 제어하의 어레이 파워 다운 시퀀스의 흐름도.

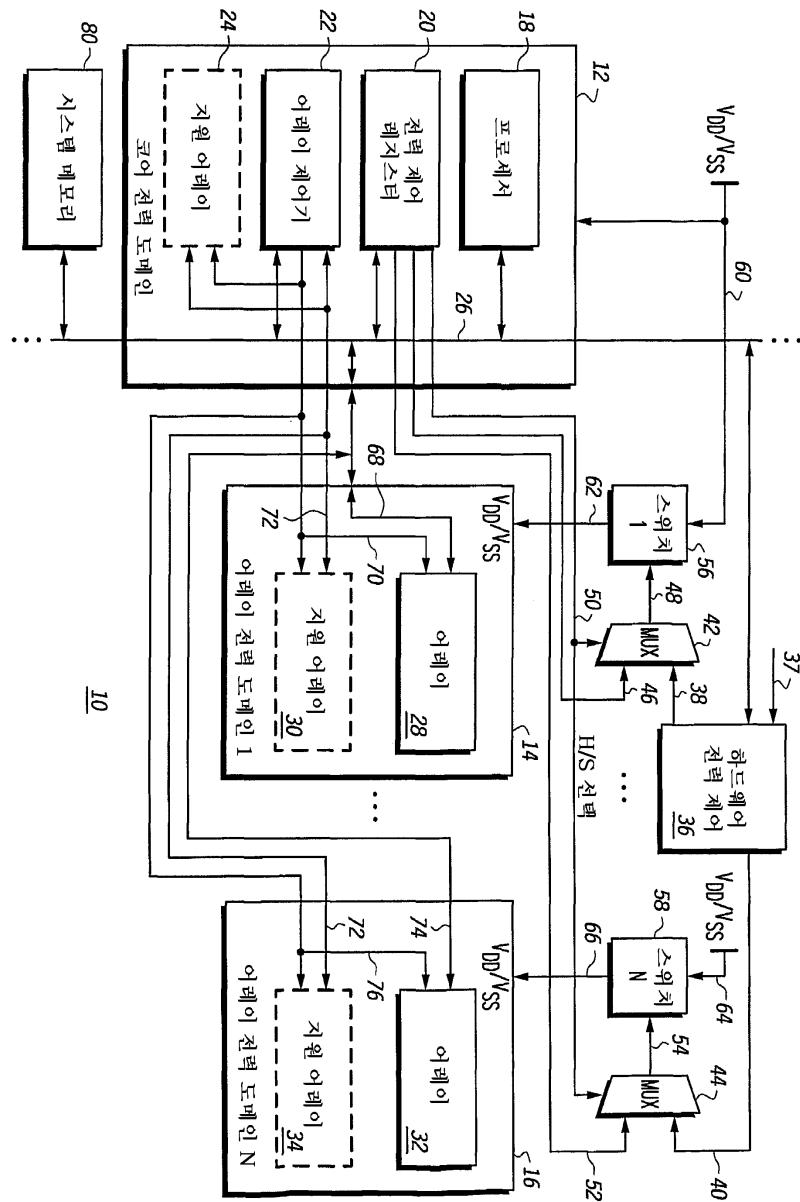
[0011] 도 5는 도 4에 대응하는 실시예에 따른 하드웨어 제어하의 어레이 파워 업 시퀀스의 흐름도.

[0012] 도 6은 본 발명의 또 다른 실시예에 따라 도 1의 목적 회로의 일부를 더 상세히 나타낸 블록도.

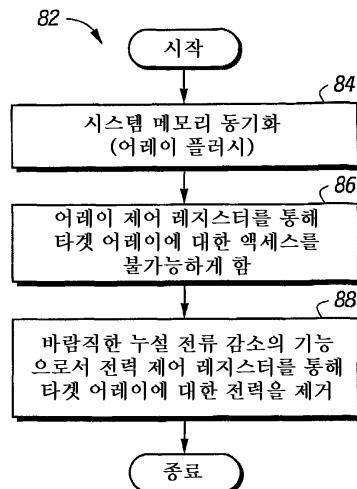
[0013] 도면의 요소들은 간명화를 위한 도시일 뿐, 반드시 축척된 것은 아니다. 예를 들어, 도면의 요소들의 일부의 치수는 본 발명의 실시예들의 이해 향상을 돋기 위해 다른 요소에 비해 확대될 수 있다.

도면

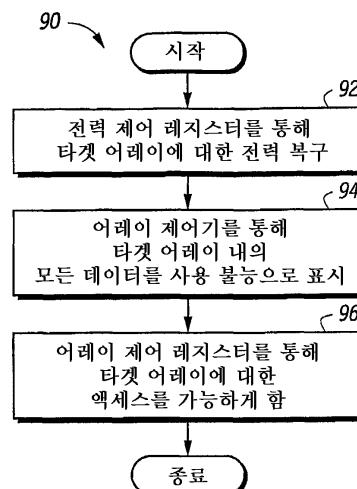
도면1



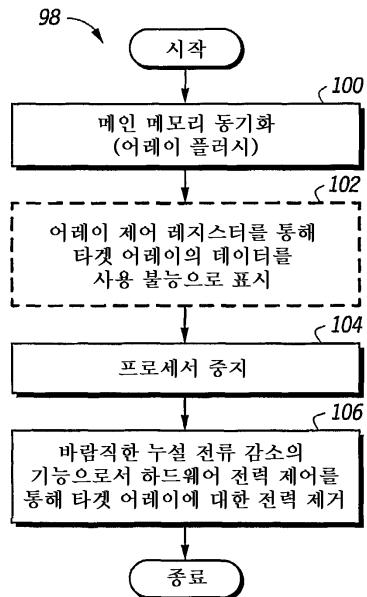
## 도면2



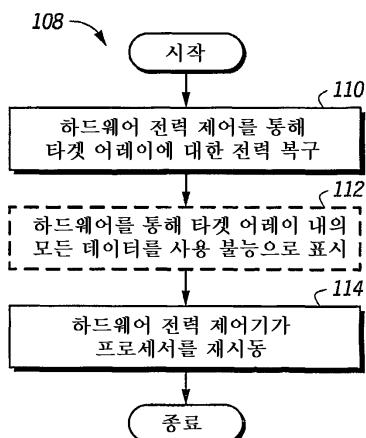
## 도면3



## 도면4



## 도면5



## 도면6

