



(12) 发明专利

(10) 授权公告号 CN 103729278 B

(45) 授权公告日 2015.04.01

(21) 申请号 201410009276.6

CN 103365757 A, 2013.10.23, 全文.

(22) 申请日 2014.01.09

CN 201859389 U, 2011.06.08, 全文.

(73) 专利权人 福州瑞芯微电子有限公司

审查员 孙丹

地址 350000 福建省福州市鼓楼区软件大道
89号18号楼

(72) 发明人 廖裕民

(74) 专利代理机构 福州市景弘专利代理事务所

(普通合伙) 35219

代理人 林祥翔 吕元辉

(51) Int. Cl.

G06F 11/26(2006.01)

G06F 1/14(2006.01)

(56) 对比文件

US 2013/0024717 A1, 2013.01.24, 全文.

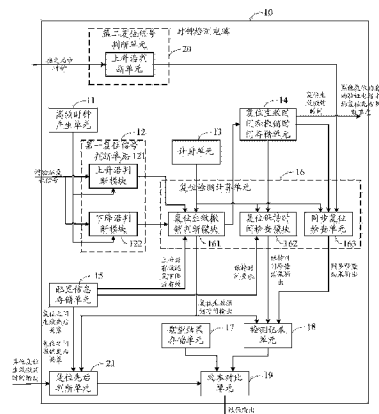
权利要求书2页 说明书5页 附图2页

(54) 发明名称

SOC 芯片复位信号检测电路

(57) 摘要

本发明提供一种 SOC 芯片的复位信号检测电路,包括第一复位信号判断单元、复位检测计算单元、复位先后判断单元和文本对比单元。复位检测计算单元根据第一复位信号判断单元确定的出现上升沿和 / 或下降沿时对应的发生点信息、计时单元产生的时间信息、配置信息存储单元中存储的配置信息计算复位生效时间和撤销时间、复位保持时间和指定同步时钟同步信息。文本对比单元根据复位先后判断单元的判断结果将期望结果存储单元中存储的期望文件与检测记录单元中存储的计算结果进行对比以输出自动验证结果。利用本发明,解决现有技术中复杂多时钟域 SOC 芯片采样传统方法耗费大量工作量而带来人工检测失误的技术问题。



1. 一种 SOC 芯片的复位信号检测电路, 将一待验证的复位信号和指定同步时钟信号与所述复位信号检测电路的输入端连接, 所述复位信号检测电路包括计时单元, 用于当所述复位信号检测电路工作时产生时间信息; 其特征在于, 还包括:

配置信息存储单元, 用于预先存储配置信息, 所述配置信息包括上升沿或下降沿有效信息、保持时间要求信息、复位之间的生效和撤销先后关系要求;

期望结果存储单元, 用于预先存储期望文件, 所述期望文件包括复位生效时间和撤销时间;

高频时钟产生单元, 用于产生高频时钟信号;

第一复位信号判断单元, 用于根据所述高频时钟信号判断待验证的复位信号是否出现上升沿和 / 或下降沿, 并确定出现上升沿和 / 或下降沿时对应的发生点信息;

第二复位信号判断单元, 用于根据所述输入的指定同步时钟产生并确定的上升沿有效信号的发生点信息;

复位检测计算单元, 用于根据所述第一复位信号判断单元确定的出现上升沿和 / 或下降沿时对应的发生点信息和所述计时单元产生的时间信息计算复位生效时间和撤销时间、根据所述计算的复位生效时间和撤销时间、所述配置信息存储单元中存储的配置信息以及所述第二复位信号判断单元确定的上升沿有效信号的发生点信息判断所述待验证的复位信号的复位保持时间是否满足预设值, 以及判断所述待验证的复位信号的撤销是否和所述指定的同步时钟同步;

检测记录单元, 用于存储所述复位检测计算单元的计算结果;

复位先后判断单元, 用于根据配置信息、以及两次复位的生效时间和撤销时间判断两次复位之间的生效时间先后和撤销先后是否满足配置的先后关系; 以及

文本对比单元, 用于根据所述复位先后判断单元的判断结果将所述期望结果存储单元中存储的期望文件与所述检测记录单元中存储的计算结果进行对比以输出自动验证结果。

2. 如权利要求 1 所述的 SOC 芯片的复位信号检测电路, 其特征在于, 所述第一复位信号判断单元包括上升沿判断模块和下降沿判断模块, 所述上升沿判断模块和下降沿判断模块均包括第一级寄存器、第二级寄存器以及判断器;

所述上升沿判断模块的第一级寄存器利用高频时钟产生单元产生的高频时钟信号两次激荡所述待验证的复位信号, 当所述上升沿判断模块的第一级寄存器的输出值为高、第二级寄存器的输出值为低时判断器确定复位信号出现上升沿;

所述下降沿判断模块的第一级寄存器利用高频时钟产生单元产生的高频时钟信号两次激荡所述待验证的复位信号, 当所述下降沿判断模块的第一级寄存器的输出值为低、第二级寄存器的输出值为高时判断器确定复位信号出现下降沿。

3. 如权利要求 2 所述的 SOC 芯片的复位信号检测电路, 其特征在于, 所述复位信号检测电路还包括复位生效时间和撤销时间存储单元, 所述复位检测计算单元包括:

复位生效撤销判断模块, 用于根据所述上升沿判断模块确定的上升沿发生点信息、下降沿判断模块确定的下降沿发生点信息、所述配置信息存储单元中存储的配置信息判断复位生效时间和撤销时间, 并把计算结果发送至所述复位生效时间和撤销时间存储单元、复位先后判断单元以及检测记录单元中进行存储;

复位保持时间检查模块, 用于根据所述复位生效时间和撤销时间存储单元中获取的复

位生效时间和撤销时间以及所述配置信息存储单元中存储的配置信息判断所述复位保持时间是否满足预设值,并把计算结果发送至所述检测记录单元存储;以及

同步复位检查模块,用于根据所述第二复位信号判断单元确定的上升沿有效信号的发生点信息、以及从所述复位生效时间和撤销时间存储单元中获取的复位撤销时间判断复位信号的撤销是否和指定同步时钟同步,并把判断结果发送至所述检测记录单元存储。

4. 如权利要求3所述的SOC芯片的复位信号检测电路,其特征在于,所述第二复位信号判断单元为上升沿判断单元。

5. 如权利要求3所述的SOC芯片的复位信号检测电路,其特征在于,所述文本对比单元根据所述检测记录单元中存储的计算结果判断是否有复位保持时间不满足信息、待验证复位信号和指定时钟不同步信息或者其他复位之间的先后关系不满足的信息出现,并当确定出现时输出的结果为错误;当确定没有出现时将所述期望文件与所述计算结果进行对比,当确定所述期望文件与所述计算结果一致时输出结果为仿真正确,当确定所述期望文件与所述计算结果不一致时输出结果为仿真错误。

SOC 芯片复位信号检测电路

技术领域

[0001] 本发明涉及芯片检测技术领域,尤其涉及一种 SOC 芯片的复位信号检测电路。

背景技术

[0002] 目前,SOC((System-on-a-Chip) 芯片的使用规模越来越大,复杂度越来越高,为了提高性能和降低芯片功耗,芯片中复位控制越来越复杂,相应的复位信号数量也越来越多。而传统的复位验证方法通常和普通信号验证类似,都是通过纯手工查看验证和人眼观测方法来验证复位的正确性。但是,随着复位数量的快速增多,传统方法已经很难快速准确的完成复位信号的功能验证,通常需要花大量时间去完成复位验证工作,同时还伴随着人工工作带来的人工错误风险。所以,如何快速且准确地验证大型 SOC 芯片中的复位信号成了一项亟待解决的技术问题。

[0003] 传统方法中,在对 SOC 芯片完成一个复位测试用例的仿真后,需要保存所有的波形文件,在仿真软件中打开仿真文件观测波形,需要手工找到所有的待验证复位信号,并把信号放入仿真波形观测窗口,通过手工的推拽和缩放来观测每个复位的每一次复位动作波形,同时观测每次复位过程中是否和期望的同步复位信号是同步撤销关系,同时观测复位长度是否满足最小复位时间要求。在只有少量复位信号的芯片中,传统方法还可以使用。但是,在复杂多时钟域 SOC 芯片中,传统方法会耗费大量工作量的带来一定的人工检测失误风险。

发明内容

[0004] 本发明实施方式所要解决的技术问题在于,提供一种 SOC 芯片的复位信号检测电路,以解决现有技术中复杂多时钟域 SOC 芯片采样传统方法耗费大量工作量而带来人工检测失误的技术问题。

[0005] 为解决上述技术问题,本发明提供一种 SOC 芯片的复位信号检测电路,将一待验证的复位信号和指定同步时钟信号与该复位信号检测电路的输入端连接,该复位信号检测电路包括计时单元,用于当该复位信号检测电路工作时产生时间信息。还包括:

[0006] 配置信息存储单元,用于预先存储配置信息,该配置信息包括上升沿或下降沿有效信息、保持时间要求信息、复位之间的生效和撤销先后关系要求。

[0007] 期望结果存储单元,用于预先存储期望文件,该期望文件包括复位生效时间和撤销时间。

[0008] 高频时钟产生单元,用于产生高频时钟信号。

[0009] 第一复位信号判断单元,用于根据该高频时钟信号判断待验证的复位信号是否出现上升沿和 / 或下降沿,并确定出现上升沿和 / 或下降沿时对应的发生点信息。

[0010] 第二复位信号判断单元,用于根据该输入的指定同步时钟产生并确定的上升沿有效信号的发生点信息。

[0011] 复位检测计算单元,用于根据该第一复位信号判断单元确定的出现上升沿和 / 或

下降沿时对应的发生点信息和该计时单元产生的时间信息计算复位生效时间和撤销时间、根据该计算的复位生效时间和撤销时间、该配置信息存储单元中存储的配置信息以及该第二复位信号判断单元确定的上升沿有效信号的发生点信息判断该待验证的复位信号的复位保持时间是否满足预设值,以及判断该待验证的复位信号的撤销是否和该指定的同步时钟同步。

[0012] 检测记录单元,用于存储该复位检测计算单元的计算结果。

[0013] 复位先后判断单元,用于根据配置信息、以及两次复位的生效时间和撤销时间判断两次复位之间的生效时间先后和撤销先后是否满足配置的先后关系。以及

[0014] 文本对比单元,用于根据该复位先后判断单元的判断结果将该期望结果存储单元中存储的期望文件与该检测记录单元中存储的计算结果进行对比以输出自动验证结果。

[0015] 本发明提供了一种 SOC 芯片的复位信号检测电路,通过设置的复位检测计算单元对待验证的复位信号进行复位生效时间和撤销时间、保持时间以及与指定时钟是否同步等参数进行计算,并由复位先后判断单元与文本对比单元根据期望结果与计算结果确定最终的仿真结果,使得所有事件都有时间记录,方便检查事件之间先后顺序和事件发生时间,并且可以不需要保存仿真的波形文件。从而,解决现有技术中复杂多时钟域 SOC 芯片采样传统方法耗费大量工作量而带来人工检测失误的技术问题。

附图说明

[0016] 图 1 为本发明实施方式中的 SOC 芯片的复位信号检测电路的电路结构示意图;

[0017] 图 2 为图 1 所示的 SOC 芯片的复位信号检测电路中的上升沿判断模块的结构图;

[0018] 图 3 为图 1 所示的 SOC 芯片的复位信号检测电路中的下降沿判断模块的结构图。

[0019] 标号说明:

[0020]	复位信号检测电路	10
[0021]	高频时钟产生单元	11
[0022]	第一复位信号判断单元	12
[0023]	上升沿判断模块	121
[0024]	下降沿判断模块	122
[0025]	计时单元	13
[0026]	复位生效时间和撤销时间存储单元	14
[0027]	配置信息存储单元	15
[0028]	复位检测计算单元	16
[0029]	复位生效撤销判断模块	161
[0030]	复位保持时间检查模块	162
[0031]	同步复位检查单元	163
[0032]	期望结果存储单元	17
[0033]	检测记录单元	18
[0034]	文本对比单元	19
[0035]	第二复位信号判断单元	20
[0036]	复位先后判断单元	21

具体实施方式

[0037] 为详细说明本发明的技术内容、构造特征、所实现目的及效果，以下结合实施方式并配合附图详予说明。

[0038] 请参阅图 1，本发明实施方式中的 SOC 芯片的复位信号检测电路 10 包括高频时钟产生单元 11、第一复位信号判断单元 12、计时单元 13、复位生效时间和撤销时间存储单元 14、配置信息存储单元 15、复位检测计算单元 16、期望结果存储单元 17、检测记录单元 18、文本对比单元 19、第二复位信号判断单元 20 以及复位先后判断单元 21。其中，该高频时钟产生单元 11、第一复位信号判断单元 12 以及复位检测计算单元 16 依次连接，该计时单元 13、复位生效时间和撤销时间存储单元 14、配置信息存储单元 15、检测记录单元 18 以及第二复位信号判断单元 20 均与该复位检测计算单元 16 连接，该期望结果存储单元 17、检测记录单元 18 以及复位先后判断单元 21 同时与该文本对比单元 19 连接。

[0039] 当利用该复位信号检测电路 10 开始进行复位信号检测验证之前，需要把待验证的复位信号和指定同步时钟信号连接到该复位信号检测电路 10 的输入端，使得该待验证的复位信号可以正确输入，以及将与该待验证复位信号有先后关系要求的其他复位自动验证电路中的其他复位生效撤销时间信号连接到该复位信号检测电路 10 的输入端。同时，该配置信息存储单元 15 预先存储配置信息，该配置信息包括上升沿或下降沿有效信息、保持时间要求信息、复位之间的生效和撤销先后关系要求。该期望结果存储单元 17 预先存储期望文件，该期望文件包括仿真用例中所期望的复位生效时间和撤销时间，用于和实际验证中的检测记录文件进行比较。

[0040] 当该复位信号检测电路 10 开始进行复位信号验证时，该高频时钟产生单元 11 用于产生高频时钟信号并输入该高频时钟信号至该第一复位信号判断单元 12，该第一复位信号判断单元 12 用于判断待验证的复位信号是否出现上升沿和 / 或下降沿，并当确定出现上升沿和 / 或下降沿时将对应的发生点信息发送至复位检测计算单元 16。

[0041] 在本实施方式中，该第一复位信号判断单元 12 包括上升沿判断模块 121 和下降沿判断模块 122。请同时参阅图 2 和图 3，分别为该上升沿判断模块 121 和下降沿判断模块 122 的结构示意图。该上升沿判断模块 121 包括第一级寄存器 D1、第二级寄存器 D2 以及上升沿判断器 D3，该第一级寄存器 D1 利用高频时钟产生单元 11 产生的高频时钟信号两次激荡该待验证的复位信号，若第一级寄存器 D1 的输出值为高并且第二级寄存器 D2 的输出值为低时，该上升沿判断器 D3 确定此时的复位信号出现上升沿。该下降沿判断模块 122 包括第一级寄存器 D4、第二级寄存器 D5 以及下降沿判断器 D6，同样，该第一级寄存器 D4 利用高频时钟产生单元 11 产生的高频时钟信号两次激荡该待观测复位信号，若第一级寄存器 D4 的输出值为低并且第二级寄存器 D5 的输出值为高时，该下降沿判断器 D6 确定此时的复位信号出现下降沿。

[0042] 该计时单元 13 由计时器构成，用于当该复位信号检测电路 10 工作时产生时间信息。该复位检测计算单元 16 根据该第一复位信号判断单元 12 确定的出现上升沿和 / 或下降沿时对应的发生点信息和该计时单元 13 产生的时间信息计算复位生效的时间和撤销的时间，并发送至该复位生效时间和撤销时间存储单元 14、复位先后判断单元 21 以及检测记录单元 18 进行存储。该复位检测计算单元 16 还用于根据确定的复位生效时间和撤销时间、

该配置信息存储单元 15 中存储的配置信息以及第二复位信号判断单元 29 根据该指定同步时钟产生的上升沿有效信号的发生点信息判断该待验证的复位信号的复位保持时间是否满足预设值,以及判断复位信号的撤销是否和指定同步时钟为同步关系,并将判读结果发送至该检测记录单元 18 进行存储。

[0043] 在本实施方式中,该复位检测计算单元 16 包括复位生效撤销判断模块 161、复位保持时间检查模块 162 以及同步复位检查单元 163。

[0044] 该复位生效撤销判断模块 161 根据该上升沿判断模块 121 确定的上升沿发生点信息、下降沿判断模块 122 确定的下降沿发生点信息、该配置信息存储单元 15 中存储的配置信息判断复位生效时间和撤销时间,并把计算结果发送至该复位生效时间和撤销时间存储单元 14、复位先后判断单元 21 以及检测记录单元 18 中进行存储。具体地,该复位生效撤销判断模块 161 根据配置信息中的上升沿有效还是下降沿有效信息判断复位生效的时间和撤销的时间。例如,当设定下降沿有效,则复位下降沿有效信息到来的时,该复位生效撤销判断模块 161 会把此时计时单元 13 的时间信息和复位生效动作发送至检测记录单元 18 进行保存,同时把生效时间发送至复位生效时间和撤销时间存储单元 14 进行保存。当接收到上升沿时,说明复位被撤销,此时同样会把计时单元 13 的时间信息和复位撤销动作发送至检测记录单元 18 进行保存,同时把撤销时间发送至复位生效时间和撤销时间存储单元 14 进行保存。

[0045] 该复位保持时间检查模块 162 根据该复位生效时间和撤销时间存储单元 14 中获取的复位生效时间和撤销时间以及该配置信息存储单元 15 中存储的配置信息判断该复位保持时间是否满足预设值,并把计算结果发送至该检测记录单元 18 存储。具体地,该复位保持时间检查模块 162 会一直检查复位生效时间和撤销时间存储单元 14 中复位撤销和复位生效之间的时间差,当时间差小于配置信息中的复位保持时间要求时把保持时间不满足信息和发生时间发送至检测记录单元 18 中保存。

[0046] 该同步复位检查模块 163 根据该第二复位信号判断单元 20 产生的上升沿或下降沿有效信号的发生点信息、以及从该复位生效时间和撤销时间存储单元 14 中获取的复位撤销时间判断复位信号的撤销是否和指定同步时钟是同步的关系,并把判断结果发送至该检测记录单元 18 存储。在本实施方式中,该第二复位信号判断单元 20 为上升沿判断单元,用于发送上升沿有效信号的发生点信息。具体地,该同步复位检查模块 163 会根据该第二复位信号判断单元 20 产生的同步时钟的上升沿时间和待验证复位信号的撤销时间进行比较,当时间一致时判断复位撤销和同步时钟是同步关系,当两者时间不一致时判断复位撤销和同步时钟不是同步关系,然后把待验证复位和指定时钟不同步信息和发生时间送往检测记录单元 18 中存储。

[0047] 该复位先后判断单元 21 根据复位间的先后关系和两个复位的生效和撤销时间信息判断两个复位之间的生效时间先后和撤销先后是否满足配置的先后关系,并把判断结果发送到文本对比单元 19。例如,配置信息中需要待验证复位生效时间要晚于其他复生效时间,该复位先后判断单元 21 判断待验证复位信号的生效时间是否大于其他复位的生效时间,并当确定大于其他复位的生效时间时满足要求,否则不满足要求。相同的检查方法也用于复位撤销的先后关系检查。

[0048] 该文本对比单元 19 将该期望结果存储单元 17 中存储的期望文件与该检测记录单

元 18 中存储的该复位检测计算单元 16 计算的检测记录文件进行对比以输出自动验证结果。具体地,该文本对比单元 19 根据该检测记录单元 18 中存储的检测记录文件判断是否有复位保持时间不满足信息、待验证复位信号和指定时钟不同步信息或者其他复位之间的先后关系不满足。如果有,则输出的结果为错误。如果没有,则将期望文件与检测记录文件进行对比,当确定期望文件与检测记录文件一致时则输出结果为仿真正确,当确定期望文件与检测记录文件不一致时则输出结果为仿真错误。

[0049] 本发明提供了一种 SOC 芯片的复位信号检测电路,通过设置的复位检测计算单元对待验证的复位信号进行复位生效时间和撤销时间、保持时间以及与指定时钟是否同步等参数进行计算,并由复位先后判断单元与文本对比单元根据期望结果与计算结果确定最终的仿真结果,使得所有事件都有时间记录,方便检查事件之间先后顺序和事件发生时间,并且可以不需要保存仿真的波形文件。从而,解决现有技术中复杂多时钟域 SOC 芯片采样传统方法耗费大量工作量而带来人工检测失误的技术问题。

[0050] 以上所述仅为本发明的实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

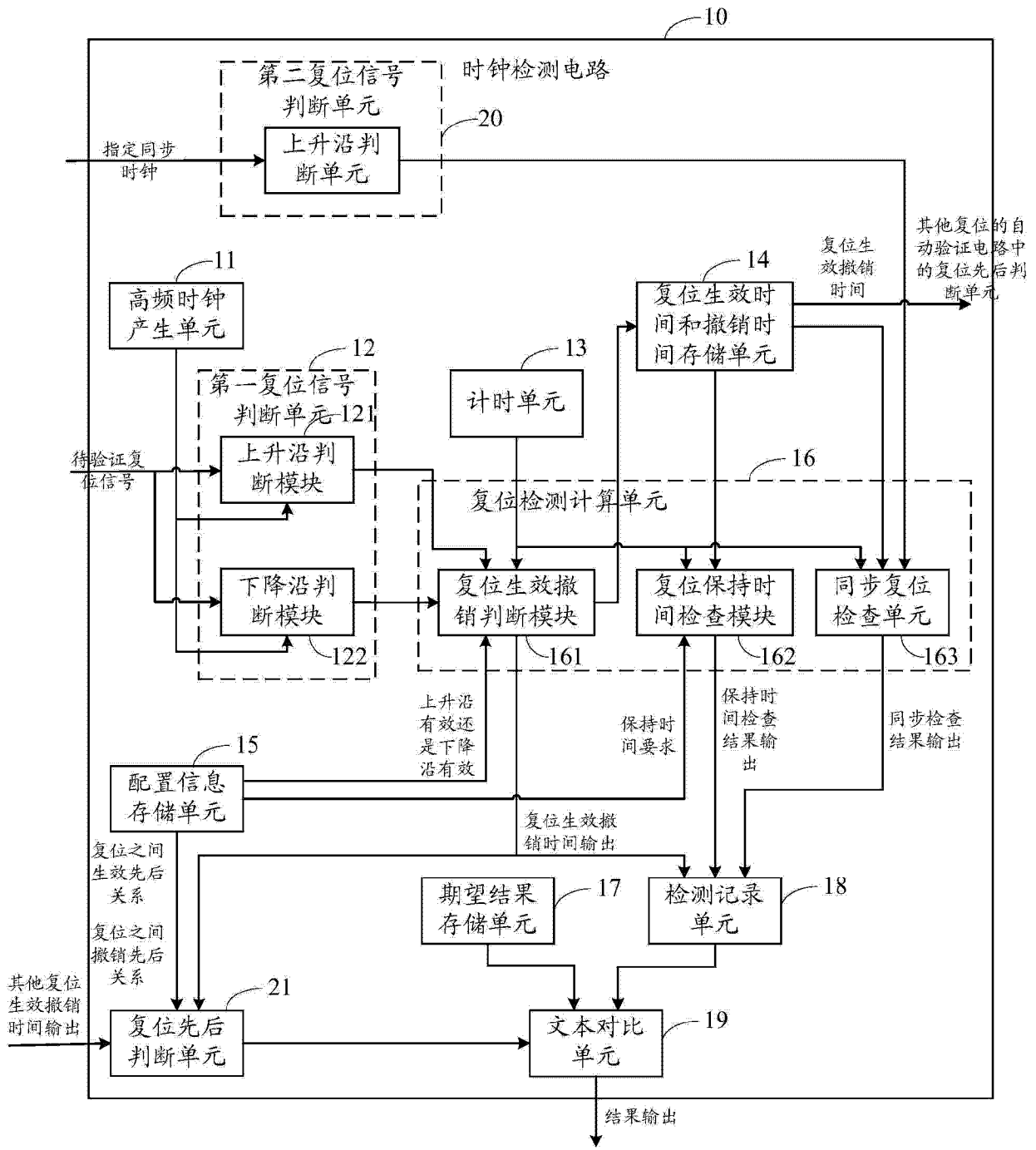


图 1

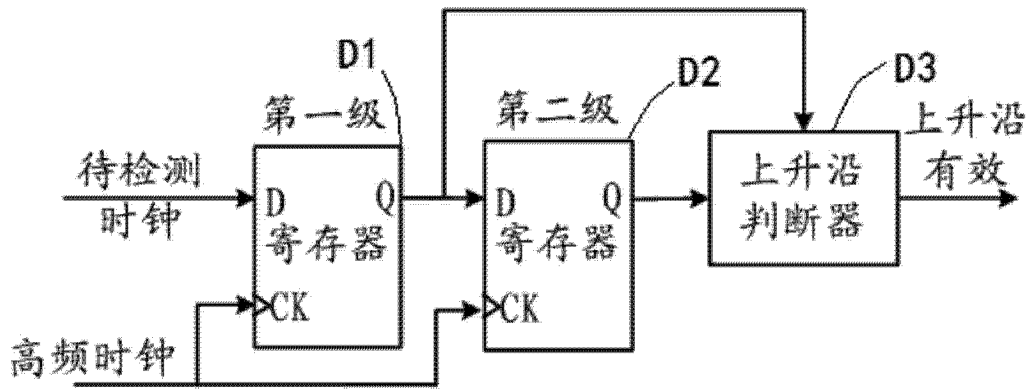


图 2

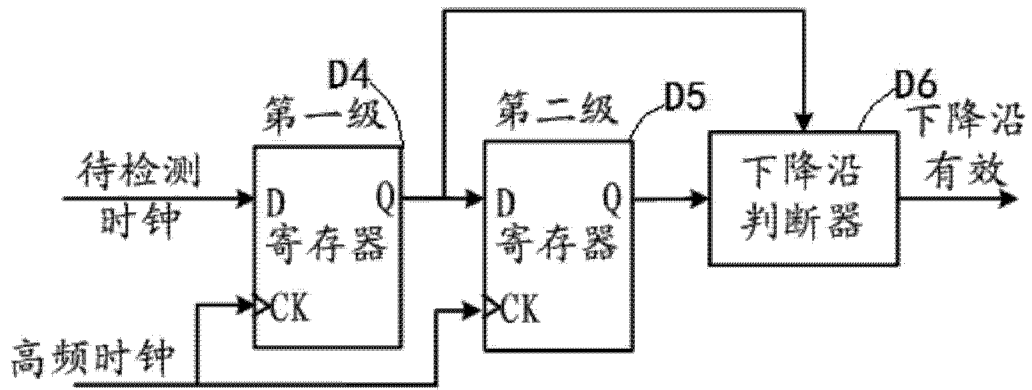


图 3