(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5676177号
(P5676177)
(45)発行日　平成27年2月25日(2015.2.25)　(24)登録日　平成27年1月9日(2015.1.9)

(51)Int.Cl.　F I
G11C 11/15 (2006.01)　G11C 11/15 116
G11C 11/15 140
G11C 11/15 150

請求項の数 3　外国語出願　(全 12 頁)

(21)出願番号　特願2010-184990 (P2010-184990)
(22)出願日　平成22年8月20日 (2010.8.20)
(65)公開番号　特開2011-100530 (P2011-100530A)
(43)公開日　平成23年5月19日 (2011.5.19)
審査請求日　平成25年8月20日 (2013.8.20)
(31)優先権主張番号　12/610,158
(32)優先日　平成21年10月30日 (2009.10.30)
(33)優先権主張国　米国(US)

(73)特許権者　500575824
ハネウェル・インターナショナル・インコーポレーテッド
アメリカ合衆国ニュージャージー州０７９６２－２２４５，モーリスタウン，コロンビア・ロード　１０１，ピー・オー・ボックス　２２４５
(74)代理人　100140109
弁理士　小野　新次郎
(74)代理人　100089705
弁理士　社本　一夫
(74)代理人　100075270
弁理士　小林　泰
(74)代理人　100080137
弁理士　千葉　昭男

最終頁に続く

(54)【発明の名称】回転－トルク転送磁気リード・アクセス・メモリのための選択デバイス

(57)【特許請求の範囲】
【請求項１】
第１の伝導体ラインと、
選択デバイスと、
第１の伝導体ラインと選択デバイスとの間に結合された磁気ビットと、
を有し、
前記選択デバイスが直列構成に配列された少なくとも第1のトランジスタ及び第２のトランジスタを包含し、
前記少なくとも第1のトランジスタ及び第２のトランジスタが第１の状態にあるとき、前記選択デバイスが、回転-トルク転送（ＳＴＴ）書き込みオペレーションのための磁気ビットを選択するように作用し、
前記第1の状態では、前記第1のトランジスタ及び第２のトランジスタが、完全に使用可能であり、
前記少なくとも第1のトランジスタ及び第２のトランジスタが第２の状態にあるとき、前記選択デバイスが、読み込みオペレーションのための磁気ビットを選択するように作用し、前記第２の状態において、前記第１のトランジスタが部分的に使用可能にされ、前記第２のトランジスタが完全に使用可能にされる、ことを特徴とする回転-トルク転送磁気ランダムアクセスメモリ(STT-MRAM)。
【請求項２】
前記選択デバイスが更に、

（ａ）少なくとも第1のトランジスタ及び第２のトランジスタが第１の状態にあるとき、書き込みアーキテクチャに第２のトランジスタのソースを結合させ、
（ｂ）少なくとも第1のトランジスタ及び第２のトランジスタが第２の状態にあるとき、読み込みアーキテクチャに第２のトランジスタのソースを結合させる
ように作用することを特徴とする請求項１に記載のSTT-MRAM。
【請求項３】
前記直列構成が、第１の直列構成に配列され、
前記選択デバイスが、
第２の直列構成に配列された第３のトランジスタおよび第４のトランジスタと、
を有し、前記第１の直列構成および前記第２の直列構成が、並列構成に配置されることを特徴とする請求項１に記載のSTT-MRAM。
【発明の詳細な説明】
【技術分野】
【０００１】
政府権利
米国政府は、海軍と契約番号N00030-08-C-0010に従って、本発明の特定の権利を得た。
【背景技術】
【０００２】
磁気リード・アクセス・メモリ（MRAM）は、コンピュータ市場で好評を博している不揮発性メモリ技術である。電荷または電流の流れとしてデータを格納する他のメモリ技術（例えばSRAM、DRAM、FLASH、ど）と異なって、MRAMは磁気抵抗記憶素子の磁気状態として、データを格納する。一般的に、磁気ビットは2つの強磁性層（または構造）を含み、それぞれは2つの可能な極性のうちの1つを有する磁場を占拠できる。磁気ビットの1つの普及している例は、参考のためにデータ記憶およびピンでとめられた磁性層のための自由な磁性層を含む磁気トンネル接合（MTJ）であり、トンネル電流が流れることができる薄い絶縁障壁層によって、切り離される。MTJの論理状態は、自由でピンでとめられた磁性層の相対的な極性に依存する。例えば、自由でピンでとめられた磁性層が同じ極性を有する場合、ＭＴＪは論理状態「０」をストアすることができる。別の例では、自由でピンでとめられた磁性層が反対極性を有する場合、MTJは論理状態「１」をストアすることができる。
【０００３】
ＭＲＡＭは、所定の磁気ビットを介して、リード電流を通すことにより所定の磁気ビットの論理状態を測定し（「リード（read）」し）、次いで、所定の磁気ビットの抵抗を決定し、それは自由でピンでとめられた磁性層の相対的な極性を示す（例えば、低い抵抗が典型的には、同じ相対的な極性を示し、高い抵抗が典型的には対向する相対的な極性を示す）。ある実施形態では、MRAMは所定の磁気ビットの一方に連結する導体（例えばビット線）による電流を送って、所定の磁気ビットの向こう側に連結する選択トランジスタのスイッチを入れることによって、読み込まれた電流を所定の磁気ビットに通すことができ、MRAMは結果として生じる電流および／または電圧を測定することによって、所定の磁気ビットの抵抗を決定できる。所定の磁気ビットを読み込むための他の実施形態が、同様に存在する。
【０００４】
MRAMは、異なる2、3の技術を使用して所定の磁気ビットに、データを格納（「書き込み（write）」）できる。ある技術によれば、MRAMは所定の磁気ビットの自由な磁気層に結合された磁場を適用することによって、所定の磁気ビットにデータを書くことができる。MRAMは、所定の磁気ビットの上下に配置される導体の中を走っている書き込み（write）電流を介して、これらの磁場を生成できる。ある例では、MRAMは、所定の磁気ビットより上に配列され、第一の方向に方位付けされた第一の書き込み（write）ラインと、所定の磁気ビットの下で配列されて、第1の方向に対して垂直である第２の方向に方位付けされた第２の書き込み（write）ラインとを含む。

【０００５】
回転-トルク転送（STT）として公知の他の技術によれば、MRAMは、所定の磁気ビットの自由層の極性を変えることができる所定の磁気ビットを介して回転-分極化電流をバイパスすることによって、データを所定の磁気ビットに書き込むことができる。この点で、回転-分極化電流の電子が所定の磁気ビットに入ると即座に、それらの回転を変えなければならない場合、それらの電子は、所定の磁気ビットの自由層の極性を変えるトルクを生成できる。ある例では、MRAMは、所定の磁気ビットの一方に連結する導体（例えばビット線）による電流を送り、所定の磁気ビットの他方に連結する選択トランジスタをスイッチすることによって、回転-分極化電流を所定の磁気ビットに通すことができる。一般的に、STTを使用しているMRAMは、所定の磁気ビットを読込み及び書込みを行うための同じ導体および選択トランジスタを使用する。
【０００６】
STT磁気ビットを有するMRAMは、他のMRAM（例えば、より高い磁気抵抗、より高い信号レベル、および、より低い書き込み電流など）の上のさまざまな利点を示すことができる。しかし、読込み及び書込みSTT磁気ビットのための改良型の構造は、望ましい。
【発明の概要】
【課題を解決するための手段】
【０００７】
明らかに、コンテキストにより示されない限り、本発明の異なる実施例は一緒に使うことができる。
少なくとも2つのトランジスタを含む選択デバイスと第1の導電性ラインとの間に結合された磁気ビットを含む回転-トルク転送磁気リード・アクセス・メモリ（STT-MRAM）を、本願明細書において開示する。選択デバイスは、(a) 少なくとも2つのトランジスタが第1の状態にあるとき、回転-トルク転送（STT）書き込みオペレーションのために磁気ビットを選択し、（b）少なくとも2つのトランジスタが第２の状態にあるとき、読み込みオペレーションのための磁気ビットを選択するように作動する。選択デバイスはまた、(a)少なくとも2つのトランジスタが第1の状態にあるとき、所定のトランジスタを書き込みアーキテクチャに結合させ、（b）少なくとも2つのトランジスタが第２の状態にあるとき、所定のトランジスタを読み込みアーキテクチャに連結するように作動する。選択デバイスは、シリコン－オン－絶縁物（SOI）相補型金属酸化物半導体（CMOS）技術で実装されることができ、トランジスタはボディタイを含むことができる。選択デバイスはまた、放射線硬化されてもよい。
【０００８】
ある態様では、選択デバイスは、並列構成にアレンジされた第1のトランジスタおよび第２のトランジスタを含む。この構成では、ある例では、第1のトランジスタが使用可能にされ、第２のトランジスタは第1の状態において不能であり、第1のトランジスタが不能であるとき、第２のトランジスタは第２の状態において、使用可能にされる。他の例では、第1のトランジスタおよび第２のトランジスタは第1の状態において、使用可能にされ、第1のトランジスタが不能であり、第２のトランジスタは第２の状態において、使用可能にされる。
【０００９】
別の態様では、選択デバイスは、直列構成にアレンジされた第1のトランジスタおよび第２のトランジスタを含む。この構成では、ある例では、第1のトランジスタおよび第２のトランジスタは第1の状態において、完全に使用可能であり、第1のトランジスタおよび第２のトランジスタは第２の状態において、部分的に使用可能にされる。他の例では、第1の状態では、第1のトランジスタおよび第２のトランジスタは完全に使用可能であり、第1のトランジスタが部分的に使用可能であり、第２の状態では、第２のトランジスタは完全に使用可能にされる。
【００１０】
さらに別の態様では、選択デバイスは、第1の直列構成にアレンジされた第1のトランジ

スタおよび第２のトランジスタと、第２の直列構成にアレンジされた第3のトランジスタおよび第4のトランジスタを含み、第1の直列構成および第２の直列構成は並列構成に配置される。この構成では、ある例では、第1のトランジスタおよび第２のトランジスタは完全に使用可能であり、第3のトランジスタおよび第4のトランジスタは第1の状態において不能であり、第1のトランジスタおよび第２のトランジスタが不能であり、第3のトランジスタおよび第4のトランジスタは第２の状態において、完全に使用可能である。他の例では、第1のトランジスタ、第２のトランジスタ、第3のトランジスタおよび第4のトランジスタは、第1の状態において、完全に使用可能であり、第1のトランジスタおよび第２のトランジスタは不能であり、第3のトランジスタおよび第4のトランジスタは第２の状態において、部分的に使用可能である。

【００１１】

また、並列構成に配置された第1のトランジスタおよび第２のトランジスタを含む選択デバイスと第1の導電性ラインとの間に結合された磁気ビットを含むSTT-MRAMを本願明細書において開示する。選択デバイスは、(a)第1のトランジスタが使用可能であり、第２のトランジスタが不能のとき、STT-書き込みオペレーションのための磁気ビットを選択し、（b）第1のトランジスタが不能であり、第２のトランジスタが使用可能であるとき、読み込みオペレーションのための磁気ビットを選択する、ように作動する。また、直列構成にアレンジされた第1のトランジスタおよび第２のトランジスタを含む選択デバイスと第1の導電性ラインのと間で連結される磁気ビットを含むSTT-MRAMを本願明細書に開示する。選択デバイスは、(a)第1のトランジスタおよび第２のトランジスタが完全に使用可能なとき、STT-書き込みオペレーションのための磁気ビットを選択し、（b）第1のトランジスタが部分的に使用可能であり、第２のトランジスタが少なくとも部分的に使用可能にされるときに、読み込みオペレーションのための磁気ビットを選択する、ように作動する。

【図面の簡単な説明】

【００１２】

【図１】図１は、例示の回転-トルク転送磁気ランダム・アクセス・メモリ（STT-MRAM）を示す。

【図２】図2は、典型的な例示のSTT-MRAMの選択デバイスを表す、

【図３】図３は、STT-MRAMの磁気ビット上のSTT-書き込みオペレーションを実行するための典型的なSTT-MRAMによって実行される方法を表す。

【図４】図4は、STT-MRAMの磁気ビット上の読み込みオペレーションを実行するための典型的なSTT-MRAMによって実行される方法を表す。

【発明を実施するための形態】

【００１３】

図面を参照すると、図1は、典型的な回転-トルク転送磁気ランダム・アクセス・メモリ（STT-MRAM）100を表す。示すように、STT-MRAM 100は、少なくとも2つのトランジスタを含む選択デバイス106と第1の導電性ライン104との間で連結したSTT磁気ビット102を含むことができる。しかし、本願明細書において、記載されているこれおよび他の構成が例示だけのために記載され、そして、STT-MRAM 100が追加的なエレメントを含むことは、理解されなければならない。例えば、STT-MRAM 100は、STT磁気ビット102と、実質的に類似している複数のSTT磁気ビットを含むことができ、これらのSTT磁気ビットはカラムおよびローに配置されることができる。他の実施例では、STT-MRAM 100は、図1に表されないさまざまな他の層を含み、第1の導電性ライン104または選択デバイス106とSTT磁気ビット102との間で連結されるバイア及び／又はメタル層を含む。さらに別の例として、STT-MRAM100は、STT磁気ビット上の書き込みオペレーションを容易にする書き込みアーキテクチャと、STT磁気ビット上の読み込みオペレーションを容易にする読み込みアーキテクチャとを含む。他の実施例は、同様に可能である。

【００１４】

STT磁気ビット102は、少なくともフリー磁気構造108、バリア構造110およびピンでとめられた磁気構造112を含むことができる。バリア構造110は、フリー磁気構造108とピンで

とめられた磁気構造112との間に連結され、そうすると、フリー磁気構造108はバリア構造110の第１の側に連結され、ピンでとめられた磁気構造112はバリア構造110の第２の側に連結される。

【００１５】

フリー磁気構造108は、回転-分極化電流に応答して、極性を変えることができる磁気モーメント・ベクトルを有する強磁性構造を含むことができる。ある例では、フリー磁気構造108は、約2ナノメートルの厚みを有するニッケル鉄コバルト（NiFeCo）の層のような単一の強磁性層であってもよい。別の例として、フリー磁気構造108は、多層構造、例えば2以上の反強磁性結合強磁性層を含む合成反強磁性構造（SAF）であってもよい。たとえば、フリー層構造108は、1ナノメートルの厚みを有するRuの層をはさんで、1ナノメートルの厚みを有するNiFeCoの2つの層から成っている三層構造であってもよい。フリー磁気構造108のための多くの他の例を、同様に使うことができる。

【００１６】

バリア構造110は、フリー磁気構造108およびピンでとめられた磁気構造112を分離する非磁性構造であってもよい。ある例として、バリア構造110はフリー磁気構造108とピンでとめられた磁気構造112との間の電荷キャリアのトンネリングを許すために十分に薄い電気絶縁層であってよく、このようにフリー磁気構造108とピンでとめられた磁気構造112との間の磁気トンネル接合（MTJ）を形成する。この点で、バリア構造110は、酸化アルミニウム（AlOx）または酸化マグネシウム（MgO）のような誘電体材料の層であってもよい。別の例として、バリア構造110は、多層構造であってもよい。バリア構造110のための多くの他の実施例を、同様に使うことができる。

【００１７】

ピンでとめられた磁気構造112は、磁気モーメント・ベクトルを周知の極性に取り付けるために磁気モーメント・ベクトルおよび反強磁性構造を有する強磁性構造を含むことができる。ある例では、ピンでとめられた磁気構造112は、ほぼ2ナノメートルの厚さを備えたNiFeCoの強磁性層と、約5-10ｎｍの厚みを有する鉄マンガン（FeMn）の反強磁性層を含むことができる。他の例では、ピンでとめられた磁気構造112の強磁性および／または反強磁性構造は、単一の層構造に対する多層構造であってもよい。たとえば、ピンでとめられた磁気構造108の強磁性構造は、フリー磁気構造108に関して上記したSAFのような多層SAFであってもよい。ピンでとめられた磁気構造112のための多くの他の実施例を、同様に使うことができる。

【００１８】

第1の導電性ライン104は、電流をSTT磁気ビット102へ担送できるいかなる線でもあってもよい。特に、第1の導電性ライン104は、読み込みオペレーション中、読み込み（read）電流をSTT磁気ビット102へ担送でき、STT-書き込みオペレーションの間、回転-分極化電流をSTT磁気ビット102に担送できるいかなる線でもあってもよい。ある例では、第1の導電性ライン104は、STT磁気ビット102と、実質的に類似している複数の他のSTT磁気ビットに連結できる。

【００１９】

選択デバイス106は、少なくとも2つのトランジスタを含み、それはさまざまな構成に配置されることができる。選択デバイス106は、(a)少なくとも2つのトランジスタが第1の状態のとき、STT-書き込みオペレーションのための磁気ビットを選択し、（b）少なくとも2つのトランジスタが第２の状態のとき、読み込みオペレーションのための磁気ビットを選択するように作動する。好適な例では、選択手段106は、シリコン－オン－絶縁体（SOI）相補形金属酸化膜半導体（CMOS）技術で実装される。この点で、SOI CMOS製造プロセスは、典型的なSTT-MRAM 100を形成するために磁性製造プロセスと統合されることができる。他の例では、選択手段106は、バルクCMOS技術で実装されることができる。いずれの実施例にもおいて、選択デバイス106は、放射線硬化され得る。

【００２０】

図2(a)は、平行した構成に配置される2つのトランジスタを有する第1の典型的な選択デ

バイス106を表す。示すように、第1の典型的な選択デバイス106は、（1）第1のゲートG202、第1のドレインD202および第1のソースS202を有する第1のトランジスタ202を含むことができ、（2）第２のゲートG204、第２のドレインD204および第2のソースS204を有する第２のトランジスタ204を包含する。第１および第２のトランジスタ202および204はまた、ボディタイ（図示せず）を有することができる。第1のゲートG202は、第1の選択線SL1に連結でき、第２のゲートG204は第２の選択線SL2に連結でき、ドレインD202およびD204は、STT磁気ビット102に結合され、ソースS202およびS204は、書き込みアーキテクチャ（例えば、グランド）、および／または、構成に依存して読み込みアーキテクチャ（例えば、グランドおよび／またはセンスアンプ）に結合される。図示はしていないが、第1のゲートG202はまた、第1のドレインD202および／または第1のソースS202に連結でき、第２のゲートG204はまた、第２のドレインD204および／または第2のソースS204に連結できる。他の接続は、同様に可能である。

【００２１】

ある構成では、第1のソースS202が書き込みアーキテクチャに結合され、および、第２のソースS204は、読み込みアーキテクチャに連結される。この構成の範囲内で、第1のトランジスタ202が使用可能にされ、第２のトランジスタ204が不能であるとき、選択デバイス106は第１の状態にあり、かくして、STT書き込みオペレーションのためのSTT磁気ビット102を選択する。たとえば、第1のゲートG202が第1の選択線SL1を介して高電圧にセットされ、第２のゲートG204が第２の選択線SL2を介して低電圧にセットされるとき、選択デバイス106は第1の状態にある。次に、第1のトランジスタ202が不能であり、第２のトランジスタ204が可能であるとき、選択デバイス106は、第２の状態にあり、かくして、STT磁気ビット102を選択する。たとえば、第1のゲートG202が、第1の選択線SL1を介して低電圧にセットされ、第２のゲートG204が第２の選択線SL2を介して高電圧にセットされるとき、選択デバイス106は、第２の状態にある。他の実施例は、同様に可能である。

【００２２】

他の構成では、第1のソースS202は、書き込みアーキテクチャに結合され、第２のソースS204は、選択デバイス106の状態に従い、書き込みアーキテクチャまたは読み込みアーキテクチャに結合される。この点で、選択デバイス106は、書き込みアーキテクチャまたは読み込みアーキテクチャに第２のソースS204の結合を容易にする制御スイッチ（例えば、選択線SL1およびSL2により制御されるデマルチプレクサ）を追加的に含むことができる。

【００２３】

この構成の範囲内で、第１および第２のトランジスタ202および204が、両方とも使用可能であり、第２のソースS204が書き込みアーキテクチャに結合されるとき、選択デバイス106は、第１の状態にあり、かくして、STT書き込みオペレーションのためのSTT磁気ビット102を選択する。たとえば、第１および第２のゲートG202およびG204がともに高電圧に対するセットであり、制御スイッチが書き込みアーキテクチャを選択するとき、選択デバイス106は、第1の状態にあることができる。次に、第1のトランジスタ202が不能であり、第２のトランジスタ204が使用可能であり、第２のソースS204が書き込みアーキテクチャに結合されるとき、選択デバイス106は、第２の状態にあり、かくして、読み込みオペレーションのためのSTT磁気ビット102を選択する。たとえば、第1のトランジスタのゲートG202が、第1の選択線SL1を介して低電圧にセットされ、第２のトランジスタのゲートG204が第２の選択線SL2を介して高電圧にセットされ、制御スイッチが読み込みアーキテクチャを選択するとき、選択デバイス106は、第２の状態にあることができる。他の例は、同様に可能である。

【００２４】

図2(b)は、直列構成に配置される2つのトランジスタを有する第２の典型的な選択デバイス106を表す。示すように、第２の典型的な選択デバイス106は、（1）第1のゲートG202、第1のドレインD202および第1のソースS202を有する第1のトランジスタ202を含み、（2）第２のゲートG204、第２のドレインD204および第２のソースS204を有する第２のトラン

ジスタ204を包含する。第１および第２のトランジスタ202および204はまた、ボディタイ（図示せず）を有することができる。第1のゲートG202は、第1の選択線SL1に連結でき、第２のゲートG204は第２の選択線SL2に連結でき、第1のドレインD202はSTT磁気ビット102に連結でき、第1のソースS202は第２のドレインD204に連結でき、第２のソースS204は、選択デバイス106の状態に従い、書き込みアーキテクチャまたは読み込みアーキテクチャに結合される。この点で、第２の典型的な選択デバイス106は、書き込みアーキテクチャまたは読み込みアーキテクチャに第２のソースS204の結合を容易にする制御スイッチを追加的に含むことができる。図示はしていないが、第1のゲートG202はまた、第1のドレインD202および／または第1のソースS202に連結され、第２のゲートG204はまた、第２のドレインD204および／または第２のソースS204に連結でき、第1のソースS202および第２のドレインD204はまた、第3の選択線SL3に連結できる。他の接続は、同様に可能である。この構成の範囲内で、第1のトランジスタ202および第２のトランジスタ204が両方とも完全に使用可能であり、第２のソースS204が書き込みアーキテクチャに結合されるとき、選択デバイス106は第１の状態にあり、かくして、STT書き込みオペレーションのためのSTT磁気ビット102を選択する。たとえば、第１および第２のゲートG202およびG204がともに高電圧に対するセットであり、制御スイッチが書き込みアーキテクチャを選択するとき、選択デバイス106は、第1の状態にあることができる。次に、第１および第２のトランジスタ202および204が、両方とも少なくとも部分的に使用可能ではあるが、両方とも完全には使用可能ではなく、第２のソースS204が読み込みアーキテクチャに結合されるとき、選択デバイス106は、第２の状態にあることができ、かくして、読み込みオペレーションのためのSTT磁気ビット102を選択する。たとえば、第1のゲートG202が、第1の選択線SL1を介して中間の電圧（すなわち、トランジスタの閾値電圧と高電圧との間の電圧値）にセットされ、第２のゲートG204が第２の選択線SL2を介して高電圧にセットされ、制御スイッチが読み込みアーキテクチャを選択するとき、選択デバイス106は、第２の状態にあることができる。別の実施形態では、第1のゲートG202が、第1の選択線SL1を介して高電圧にセットされ、第２のゲートG204が第２の選択線SL2を介して中間の電圧にセットされ、制御スイッチが読み込みアーキテクチャを選択するとき、選択デバイス106は第２の状態にあることができる。また別の実施形態では、第１および第２のゲートG202およびG204が、中間の電圧に対する両方のセットであり、制御スイッチが読み込みアーキテクチャを選択するとき、選択デバイス106は第２の状態にあることができる。他の実施例は、同様に可能である。

【００２５】

図2(c)は、第1直列構成に配置される2つのトランジスタ、および、第２の直列構成に配置される2つのトランジスタを備えた第3の典型的な選択デバイス106を表し、第１および第２の直列構成は並列構成に配置される。示すように、第3の典型的な選択デバイス106は、（1）ゲートG202、ドレインD202およびソースS202を有する第1のトランジスタ202と、（2）ゲートG204、ドレインD204、および、ソースS204を有する第２のトランジスタ204と、（3）ゲートG206、ドレインD206、および、ソースS206を有する第3のトランジスタ206と、(4)ゲートG208、ドレインD208およびソースS208を有する第4のトランジスタ208とを含むことができる。トランジスタ202、204、206および208は、また、ボディタイ（図示せず）を有することができる。

【００２６】

第1の直列構成では、第1のゲートG202が、第1の選択線SL1に連結され、第２のゲートG204が第２の選択線SL2に連結され、第1のドレインD202はSTT磁気ビット102に連結され、第1のソースD202は第２のドレインD204に連結され、第２のソースS204は、構成に従い、書き込みアーキテクチャおよび／または、読み込みアーキテクチャに結合される。同様に、第２の直列構成では、第3のゲートG206は、第3の選択線SL3に連結でき、第4のゲートG208は第4の選択線SL4に連結でき、第3のドレインD206はSTT磁気ビット102に連結でき、第3のソースS206は第4のドレインD208に連結でき、第4のソースS208は、構成に従い、書き込みアーキテクチャおよび／または読み込みアーキテクチャに連結されることができる。図示

はしていないが、第1のゲートG202はまた、第1のドレインD202および／または第1のソースS202に連結され、第２のゲートG204もまた第２のドレインD204および／または第２のソースS204に連結され、第3のゲートG206はまた、第3のドレインD206および／または第3のソースS206に連結され、第4のゲートG208はまた、第4のドレインD208および／または第4のソースS208に連結できる。他の接続は、同様に可能である。

【００２７】

ある構成では、第２のソースS204は、書き込みアーキテクチャに結合され、第4のソースS208は、読み込みアーキテクチャに連結できる。この構成の範囲内で、第1の直列構成のトランジスタが完全に使用可能であり、第２の直列構成のトランジスタが不能であるとき、選択デバイス106は、第１の状態であり、かくしてSTT書き込みオペレーションに関する、STT磁気ビット102を選ぶ。たとえば、第１および第２のゲートG202およびG204が、高電圧にセットされ、第3および第4のゲートG206およびG208が低電圧にセットされるとき、選択デバイス106は第1の状態にあることができる。次に、第1の直列構成のトランジスタが不能であり、第２の直列構成のトランジスタが完全に使用可能であるとき、選択デバイス106は、第２の状態であり、かくして読み込みオペレーションに関するSTT磁気ビット102を選ぶ。たとえば、第１および第２のゲートG202およびG204が低電圧にセットされ、第3および第4のゲートG206およびG208が高電圧にセットされるとき、選択デバイス106は第２の状態にあることができる。他の実施例は、同様に可能である。他の構成では、第２のソースS204は、書き込みアーキテクチャに連結されることができ、第4のソースS208は、選択デバイス106の状態に従い、書き込みアーキテクチャまたは読み込みアーキテクチャに連結できる。この点で、選択デバイス106は、書き込みアーキテクチャまたは読み込みアーキテクチャに第4のソースS208の結合を促進する制御スイッチを追加的に含むことができる。この構成の範囲内で、第1の直列構成のトランジスタが完全に使用可能であり、第２の直列構成のトランジスタが少なくとも部分的に使用可能であり、第4のソースS208が書き込みアーキテクチャに結合されるとき、選択デバイス106は、第１の状態にあり、かくして、STT書き込みオペレーションに関するSTT磁気ビット102を選ぶ。たとえば、第１および第２のゲートG202およびG204が高電圧に対するセットであり、第3および第4のゲートG206およびG208が少なくとも中間の電圧に設定され、制御スイッチが書き込みアーキテクチャを選択するとき、選択デバイス106は、第1の状態にあることができる。次に、第1の直列構成のトランジスタが不能であり、第２の直列構成のトランジスタが少なくとも部分的に使用可能であり、第4のソースS208が読み込みアーキテクチャに連結されるとき、選択デバイス106は、第２の状態にあり、かくして、読み込みオペレーションに関するSTT磁気ビット102を選ぶ。たとえば、第１および第２のゲートG202およびG204が低電圧に設定され、第3および第4のゲートG206およびG204は少なくとも中間の電圧にセットされ、制御スイッチが読み込みアーキテクチャを選ぶとき、選択デバイス106は第２の状態にあることができる。他の実施例は、同様に可能である。

【００２８】

さらに別の構成では、第２のソースS204および第4のソースS208は両方とも、選択デバイス106の状態に従い、書き込みアーキテクチャまたは読み込みアーキテクチャに結合される。この点で、選択デバイス106は、第２および第4のソースS204およびS208を書き込みアーキテクチャまたは読み込みアーキテクチャに結合することを促進する少なくとも一つの制御スイッチを追加的に含むことができる。この構成の範囲内で、第1の直列構成および第２の直列構成のトランジスタが、完全に使用可能であり、第２および第4のソースS204およびS208が両方とも書き込みアーキテクチャに連結されるとき、選択デバイス106は、第１の状態にあり、かくして、STT書き込みオペレーションに関するSTT磁気ビット102を選ぶ。たとえば、第1、第２、第3、および第4のゲートG202、G204、G206およびG208が全て高電圧に設定され、制御スイッチが書き込みアーキテクチャを選択するとき、選択デバイス106は、第1の状態にあることができる。次に、第1の直列構成のトランジスタが両方とも少なくとも部分的に使用可能であるが、両方とも完全には可能ではなく、第２の直列構成のトランジスタが両方とも少なくとも部分的に使用可能であるが、両方とも完全には

使用可能ではなく、第２および第4のソースS204およびS208は両方とも読み込みアーキテクチャに連結されるとき、選択デバイス106は第２の状態にあり、かくして、読み込みオペレーションに関するSTT磁気ビット102を選ぶ。たとえば、第1、第２、第3および第4のゲートG202、G204、G206およびG208が全て少なくとも中間の電圧に設定され（しかし、全てが高電圧に設定されない）、制御スイッチが読み込みアーキテクチャを選ぶとき、選択デバイス106は第２の状態にあることができる。他の実施例は、同様に可能である。

【００２９】

有利な点として、本願明細書において記載されている選択デバイス106は、STT-書込みオペレーション、および、STT-MRAMのための読み込にオペレーションを改善することができる。例えば、本願明細書において記載されている選択デバイス106によって、電流のより広い範囲がSTT-書き込み（write）および読み込みオペレーションのために利用させることができ、それは順番により最適化されたSTT-書き込み（write）および読み込みオペレーションを可能にすることができる。別の例として、上の図2(a)に記載されている選択デバイス106は、選択デバイスの連続抵抗を減らすことができる。他の効果が、同様に存在できる。

【００３０】

図3は、磁気ビット102上でSTT-書き込みオペレーションを実行するために、典型的なSTT-MRAM 100によって実行される方法を表す。例示の必要上、以下の説明は、選択デバイス106の全てのトランジスタが、最初に不能な状態にあると仮定する。方法は、第１の導電性ライン104を介して回転-分極書き込み電流を送信することを可能にする電流源を使用可能にするSTT-MRAM 100を有するステップ302から始まる。

【００３１】

ステップ304で、STT-MRAM 100は、初期状態から第1の状態まで選択デバイス106を切替えることができる。例えば、図２(a)に関して上記した第１の典型的な選択デバイス106では、STT-MRAM 100は、少なくとも第1のトランジスタ202を使用可能にすることができ、同様に潜在的に第２のトランジスタ204を使用可能にすることができる。この態様では、STT-MRAM 100は、高電圧を少なくとも第1の選択線SL1、同様に潜在的に第２の選択線SL2に配置できる。別の例として、図2(b)に関して上記した第２の典型的な選択デバイス106では、STT-MRAM 100は、完全に第１および第２のトランジスタ202および204を使用可能にすることができる。この点で、STT-MRAM 100は、高電圧を第１および第２の選択線SL1およびSL2に配置できる。さらに別の例として、図2(c)に関して上記した第3の典型的な選択デバイス106では、STT-MRAM 100は、同様に少なくとも完全に第１および第２のトランジスタ202および204および潜在的に第3および第4のトランジスタ206および208を使用可能にすることができる。この態様では、STT-MRAM 100は、高電圧を第１および第２の選択線SL1およびSL2に配置でき、場合によっては、第3および第4の選択線SL3およびSL4も同様である。他の実施例は、同様に可能である。

【００３２】

選択デバイス106およびそのトランジスタを第1の状態に切り替えた結果として、回転-分極化された書き込み電流は、選択デバイス106の使用可能にされたトランジスタおよびSTT磁気ビット１０２を介して第1の導電性ライン104から書き込みアーキテクチャ（例えば、グランド）に流れる。次に、回転-分極化された書き込み電流は、STT磁気ビットのフリー磁気構造108の極性を変えることができ、かくして、データをSTT磁気ビット102に書き込む。

【００３３】

ステップ306で、STT-MRAM 100は、次いで、第1の状態からその初期の不能な状態に選択デバイス106を切替えることができる。この態様では、STT-MRAM 100は、選択デバイス106の全てのトランジスタを使用不能にすることができ、回転-分極化された書き込み電流が、STT磁気ビット102を介して流れるのを止め、かくして、STT-書き込みオペレーションを終える。STT-MRAM 100は、また、電流源を使用不能にすることができる。

【００３４】

図4は、そして、磁気ビット102上で読み込みオペレーションを実行するために、典型的なSTT-MRAM 100によって、実行される方法を表す。例示の必要上、以下の説明は、選択デバイス106の全てのトランジスタが初期状態として不能であると仮定する。方法は、読み込み電流または読み込み電圧のいずれかをSTT磁気ビット102に印加するSTT-MRAM 100を有するステップ402から始まる。

【００３５】

ステップ404で、STT-MRAM 100は、選択デバイス106を第２の状態に切り替えることができる。例えば、図2(a)に関して上記した第1の典型的な選択デバイス106では、STT-MRAM 100は、第1のトランジスタ202を不能にしたままにして、第２のトランジスタ204を使用可能にすることができる。この点で、STT-MRAM 100は、高電圧を第２の選択線SL2に配置できる。別の例として、図２(b)に関して上記した第２の典型的な選択デバイス106では、STT-MRAM 100は、部分的に第1のトランジスタ202を使用可能にすることができ、部分的または完全に第２のトランジスタ204（またはその逆も同じ）を可能にすることができる。この点で、STT-MRAM 100は、中間の電圧を第1の選択線SL1に配置でき、中間または高電圧を第２の選択SL2に配置できる。さらに別の例として、図２(c)に関して上記した第3の典型的な選択デバイス106では、STT-MRAM 100は、第1のトランジスタ202および第２のトランジスタ204を不能にしたまま、第3のトランジスタ206および第4のトランジスタ208を使用可能にすることができる。この点で、STT-MRAM 100は、高電圧を第3および第4の選択線SL3およびSL4に配置できる。他の実施例は、同様に可能である。選択デバイス106およびそのトランジスタを第２の状態に切り替えた結果、電流は、選択デバイス106のSTT磁気ビット102および可能にされたトランジスタの中を流れることができる。

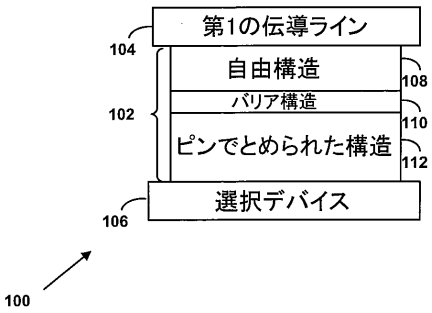
【００３６】

ステップ406で、電流がSTT磁気ビット102および選択デバイス106の使用可能なトランジスタの中を流れながら、次いで、STT-MRAM 100は、STT磁気ビット102の状態を決定できる。例えば、STT-MRAM 100が、ステップ402で読み込み（read）電圧を磁気ビット102に印加する場合、読み込みアーキテクチャは、STT磁気ビット102および選択デバイス106の使用可能にされたトランジスタを介して流れる電流を測定し、STT磁気ビット102の状態を決定する。別の例として、STT-MRAM 100が、ステップ402で読み込み電流を磁気ビット102に印加する場合、読み込みアーキテクチャは次いで、STT磁気ビット102の状態を決定するためにSTT磁気ビット102全体の電圧を測定できる。STT磁気ビット102の状態を決定するための他の例が、同様に存在できる。

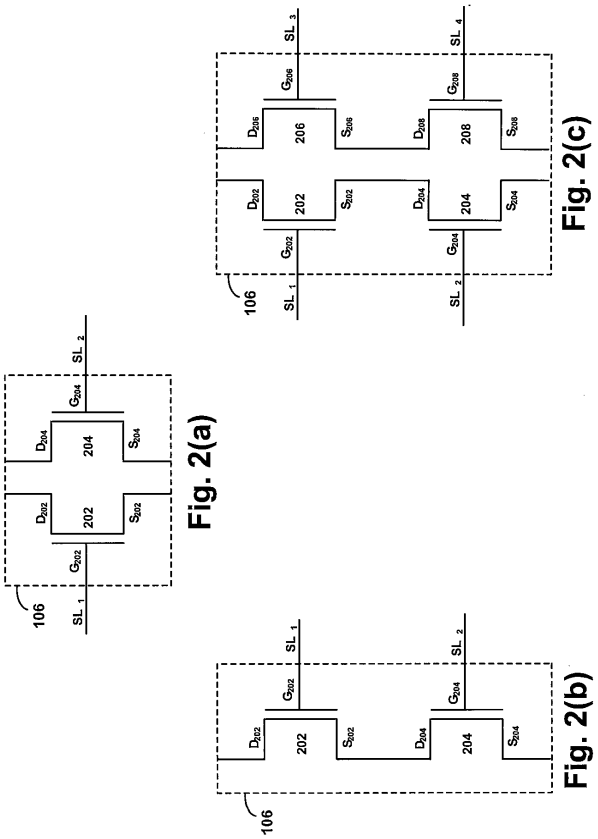
【００３７】

ステップ408で、STT-MRAM 100は、次いで、初期状態を不能状態に戻すように、選択デバイス106を切替えることができる。この態様では、STT-MRAM 100は選択デバイス106の全てのトランジスタを使用不能にすることができ、その結果、電流がSTT磁気ビット102の中を流れるのを止め、かくして、読み込みオペレーションを終える。STT-MRAM 100はまた、STT磁気ビット１０２に対する読み込み電流または読み込み電圧を印加することを停止する。

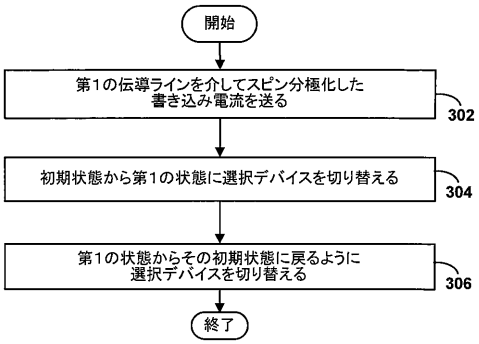
【図１】


第1の伝導ライン
104
自由構造
108
バリア構造
102
110
ピンでとめられた構造
112
選択デバイス
106
100

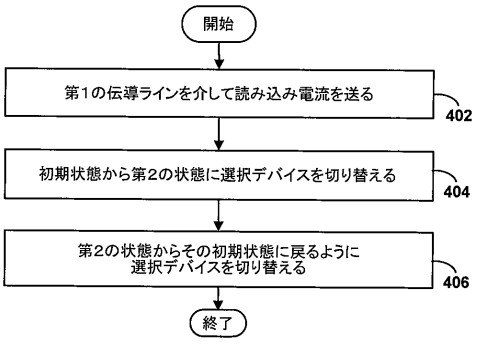
【図２】


SL_3
SL_4
G206
G208
D206
206
S206
D208
208
S208
D202
202
S202
D204
204
S204
G202
G204
106
SL_1
SL_2
Fig. 2(c)
SL_2
G204
D204
204
S204
D202
202
S202
G202
106
SL_1
Fig. 2(a)
SL_1
SL_2
G202
G204
D202
202
S202
D204
204
S204
106
Fig. 2(b)

【図３】


開始
第1の伝導ラインを介してスピン分極化した
書き込み電流を送る
302
初期状態から第1の状態に選択デバイスを切り替える
304
第1の状態からその初期状態に戻るように
選択デバイスを切り替える
306
終了

【図４】


開始
第1の伝導ラインを介して読み込み電流を送る
402
初期状態から第2の状態に選択デバイスを切り替える
404
第2の状態からその初期状態に戻るように
選択デバイスを切り替える
406
終了

フロントページの続き

(74)代理人 100096013
弁理士 富田 博行
(74)代理人 100147681
弁理士 夫馬 直樹
(72)発明者 ロムニー・アール・カッティ
アメリカ合衆国ニュージャージー州０７９６２－２２４５，モーリスタウン，コロンビア・ロード１０１，ピー・オー・ボックス ２２４５，ハネウェル・インターナショナル・インコーポレーテッド，パテント・サーヴィシズ エム／エス エイビー／２ビー

審査官 滝谷 亮一

(56)参考文献 特開２００８－１２３６４１（ＪＰ，Ａ）
特開２００５－０９２９１２（ＪＰ，Ａ）
特開２０１０－２２５２２４（ＪＰ，Ａ）
国際公開第２００８／１０９７６８（WO，Ａ１）
米国特許第０７２７２０３４（ＵＳ，Ｂ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ １１／１５