



(12) 发明专利

(10) 授权公告号 CN 111954932 B

(45) 授权公告日 2025. 02. 07

(21) 申请号 201980009097.3

(22) 申请日 2019.01.15

(65) 同一申请的已公布的文献号
申请公布号 CN 111954932 A

(43) 申请公布日 2020.11.17

(30) 优先权数据
2018-010166 2018.01.25 JP
2018-030372 2018.02.23 JP

(85) PCT国际申请进入国家阶段日
2020.07.17

(86) PCT国际申请的申请数据
PCT/IB2019/050285 2019.01.15

(87) PCT国际申请的公布数据
W02019/145819 JA 2019.08.01

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川县

(72) 发明人 野中裕介 石原典隆 平松智记
本田龙之介 鸭川知世 方堂凉太
栃林克明 山崎舜平

(74) 专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 宋俊寅

(51) Int. Cl.
H10D 30/67 (2025.01)
H10D 30/01 (2025.01)
H10D 30/68 (2025.01)
H10D 30/69 (2025.01)
H10B 12/00 (2023.01)

(56) 对比文件
CN 105190902 A, 2015.12.23
CN 106165106 A, 2016.11.23

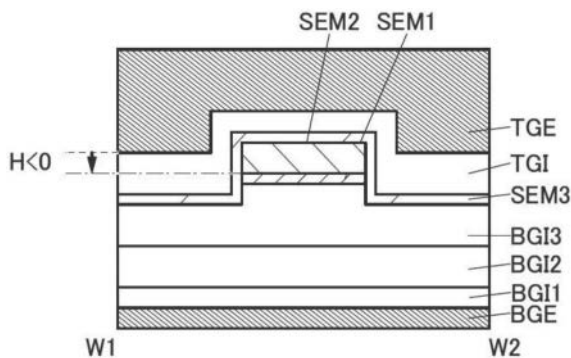
审查员 陈龙

权利要求书2页 说明书44页 附图20页

(54) 发明名称
半导体装置

(57) 摘要

提供一种具有高工作频率的半导体装置。本发明的一个方式是一种包括晶体管的半导体装置,其中晶体管包括第一导电层、第一导电层上的第一绝缘层、第一绝缘层上的第二绝缘层、第二绝缘层上的第一氧化物、第一氧化物上的第二氧化物、第二氧化物上的第三氧化物、第三氧化物上的第三绝缘层、第三绝缘层上的第二导电层、以及第四绝缘层,第一导电层及第二导电层具有与第二氧化物重叠的区域,第二导电层、第三绝缘层及第三氧化物的侧面大致对齐,第四绝缘层与第二导电层、第三绝缘层以及第三氧化物的侧面和第二氧化物的顶面的一部分接触,在晶体管的沟道宽度方向上,不与第二氧化物重叠的区域中的第二导电层的底面的高度为基准时的第二氧化物的底面的高度为-5nm以上且小于0nm。



1. 一种包括晶体管的半导体装置,所述晶体管包括:

第一导电层;

所述第一导电层上的第一绝缘层;

所述第一绝缘层上的第二绝缘层;

所述第二绝缘层上的第一氧化物;

所述第一氧化物上的第二氧化物;

所述第二氧化物上的第三氧化物;

所述第三氧化物上的第三绝缘层;

所述第三绝缘层上的第二导电层;以及

第四绝缘层,

所述第一导电层及所述第二导电层具有与所述第二氧化物重叠的区域,

所述第二导电层的侧面、所述第三绝缘层的侧面及所述第三氧化物的侧面大致对齐,

所述第四绝缘层与所述第二导电层的侧面、所述第三绝缘层的侧面以及所述第三氧化物的侧面接触,

并且,在所述晶体管的沟道宽度方向上,所述第二氧化物的底面位于不与所述第二氧化物及所述第一氧化物重叠的所述第二导电层的底面的区域的下方,以不与所述第二氧化物及所述第一氧化物重叠的所述第二导电层的底面的区域的高度为基准时的所述第二氧化物的底面的高度为-5nm以上且小于0nm。

2. 根据权利要求1所述的半导体装置,

其中所述第二绝缘层的侧面与所述第一氧化物的侧面和所述第二氧化物的侧面大致对齐,并且

所述第三氧化物与所述第二绝缘层的顶面接触。

3. 一种包括晶体管的半导体装置,所述晶体管包括:

第一导电层;

所述第一导电层上的第一绝缘层;

所述第一绝缘层上的第二绝缘层;

所述第二绝缘层上的第一氧化物;

所述第一氧化物上的第二氧化物;

所述第二氧化物上的第三氧化物;

所述第三氧化物上的第三绝缘层;

所述第三绝缘层上的第二导电层;

所述第二氧化物上的第三导电层及第四导电层;

所述第三导电层上的第五导电层;以及

所述第四导电层上的第六导电层,

所述第一导电层及所述第二导电层具有与所述第二氧化物重叠的区域,

所述第五导电层与所述第二导电层侧的所述第三导电层的侧面接触,并且与所述第二氧化物的顶面接触,

所述第六导电层与所述第二导电层侧的所述第四导电层的侧面接触,并且与所述第二氧化物的顶面接触,

并且,在所述晶体管的沟道宽度方向上,所述第二氧化物的底面位于不与所述第二氧化物及所述第一氧化物重叠的所述第二导电层的底面的第一区域的下方,以不与所述第二氧化物及所述第一氧化物重叠的所述第二导电层的底面的第一区域的高度为基准时的所述第二氧化物的底面的高度为-5nm以上且小于0nm。

4. 根据权利要求3所述的半导体装置,

其中在所述晶体管的沟道长度方向的截面中,当以所述第一绝缘层的底面的高度为基准时,与所述第二氧化物重叠的第二区域的所述第二导电层的底面的高度小于或等于所述第三导电层的顶面的高度。

5. 根据权利要求3所述的半导体装置,

其中所述第二绝缘层的侧面与所述第一氧化物的侧面和所述第二氧化物的侧面大致对齐,并且

所述第三氧化物与所述第一绝缘层的顶面接触。

6. 根据权利要求1或3所述的半导体装置,

其中以所述第一绝缘层的底面的高度为基准时,与所述第二氧化物重叠的第一区域的所述第二绝缘层的顶面的高度高于不与所述第二氧化物重叠的第二区域的所述第二绝缘层的顶面的高度。

7. 一种包括晶体管的半导体装置,所述晶体管包括:

第一栅电极;

所述第一栅电极上的第一绝缘层;

所述第一绝缘层上的第二绝缘层;

所述第二绝缘层上的第一氧化物半导体层;

所述第一氧化物半导体层上的第二氧化物半导体层;

所述第二氧化物半导体层上的第三氧化物半导体层;

所述第三氧化物半导体层上的第三绝缘层;以及

所述第三绝缘层上的第二栅电极,

在所述晶体管的沟道宽度方向上,所述第二氧化物半导体层的底面位于不与所述第二氧化物半导体层及所述第一氧化物半导体层重叠的所述第二栅电极的底面的区域的下方,以不与所述第二氧化物半导体层及所述第一氧化物半导体层重叠的所述第二栅电极的底面的区域的高度为基准时的所述第二氧化物半导体层的底面的高度为-5nm以上且小于0nm。

8. 根据权利要求7所述的半导体装置,

其中所述第二绝缘层的侧面与所述第一氧化物半导体层的侧面和所述第二氧化物半导体层的侧面大致对齐,并且

所述第三氧化物半导体层与所述第二绝缘层的顶面接触。

9. 根据权利要求7所述的半导体装置,

其中当以所述第一绝缘层的底面的高度为基准时,所述第二绝缘层的顶面的第一区域的高度高于所述第二绝缘层的顶面的第二区域的高度,并且

所述第二绝缘层的顶面的第一区域与所述第二氧化物半导体层重叠,并且所述第二绝缘层的顶面的第二区域不与所述第二氧化物半导体层重叠。

半导体装置

技术领域

[0001] 本发明的一个方式涉及一种半导体装置及半导体装置的制造方法。此外,本发明的一个方式涉及一种半导体晶片、模块以及电子设备。

[0002] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置、电子设备等有时包括半导体装置。

[0003] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

背景技术

[0004] 作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知,而作为其他材料,氧化物半导体受到关注。作为氧化物半导体,例如,已知除了如氧化铟、氧化锌等单元金属氧化物之外还有多元金属氧化物。在多元金属氧化物中,有关In-Ga-Zn氧化物(以下也称为IGZO)的研究尤为火热。

[0005] 通过对IGZO的研究,在氧化物半导体中,发现了既不是单晶也不是非晶的CAAC(c-axis aligned crystalline:c轴取向结晶)结构及nc(nanocrystalline:纳米晶)结构(参照非专利文献1至非专利文献3)。非专利文献1及非专利文献2中公开了一种使用具有CAAC结构的氧化物半导体制造晶体管的技术。非专利文献4及非专利文献5中公开了一种比CAAC结构及nc结构的结晶性更低的氧化物半导体中也具有微小的结晶。

[0006] 将IGZO用于活性层的晶体管具有极低的关态电流(off-state current)(参照非专利文献6),已知有利用了该特性的LSI及显示器(参照非专利文献7及非专利文献8)。

[0007] [先行技术文献]

[0008] [非专利文献]

[0009] [非专利文献1]S.Yamazaki et al.,“SID Symposium Digest of Technical Papers”,2012,volume 43,issue 1,p.183-186

[0010] [非专利文献2]S.Yamazaki et al.,“Japanese Journal of Applied Physics”,2014,volume 53,Number 4S,p.04ED18-1-04ED18-10

[0011] [非专利文献3]S.Ito et al.,“The Proceedings of AM-FPD' 13 Digest of Technical Papers”,2013,p.151-154

[0012] [非专利文献4]S.Yamazaki et al.,“ECS Journal of Solid State Science and Technology”,2014,volume 3,issue 9,p.Q3012-Q3022

[0013] [非专利文献5]S.Yamazaki,“ECS Transactions”,2014,volume 64,issue 10,p.155-164

[0014] [非专利文献6]K.Kato et al.,“Japanese Journal of Applied Physics”,

2012, volume 51, p.021201-1-021201-7

[0015] [非专利文献7] S.Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p.T216-T217

[0016] [非专利文献8] S.Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p.626-629

发明内容

[0017] 发明所要解决的技术问题

[0018] 本发明的一个方式的目的之一是提供一种通态电流大的半导体装置。另外,本发明的一个方式的目的之一是提供一种具有高工作频率的半导体装置。此外,本发明的一个方式的目的之一是提供一种高可靠性的半导体装置。本发明的一个方式的目的之一是提供一种可以实现微型化或高集成化的半导体装置。另外,本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。此外,本发明的一个方式的目的之一是提供一种生产率高的半导体装置。

[0019] 本发明的一个方式的目的之一是提供一种能够长期间保持数据的半导体装置。本发明的一个方式的目的之一是提供一种数据的写入速度快的半导体装置。本发明的一个方式的目的之一是提供一种设计自由度高的半导体装置。本发明的一个方式的目的之一是提供一种能够抑制功耗的半导体装置。本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0020] 注意,这些目的的记载不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。上述目的以外的目的可以显而易见地从说明书、附图、权利要求书等的描述中看出,并且可以从说明书、附图、权利要求书等的描述中抽取上述目的以外的目的。

[0021] 解决技术问题的手段

[0022] 本发明的一个方式是一种包括晶体管的半导体装置,其中晶体管包括第一导电层、第一导电层上的第一绝缘层、第一绝缘层上的第二绝缘层、第二绝缘层上的第一氧化物、第一氧化物上的第二氧化物、第二氧化物上的第三氧化物、第三氧化物上的第三绝缘层、第三绝缘层上的第二导电层、以及第四绝缘层,第一导电层及第二导电层具有与第二氧化物重叠的区域,第二导电层、第三绝缘层及第三氧化物的侧面大致对齐,第四绝缘层与第二导电层、第三绝缘层以及第三氧化物的侧面和第二氧化物的顶面的一部分接触,在晶体管的沟道宽度方向上,第二氧化物的底面位于第二氧化物及第一氧化物不与第二导电层重叠的区域中的第二导电层的底面的下方,以第二氧化物及第一氧化物不与第二导电层重叠的区域中的第二导电层的底面的高度为基准时的第二氧化物的底面的高度为-5nm以上且小于0nm。

[0023] 另外,本发明的一个方式是一种包括晶体管的半导体装置,其中晶体管包括第一导电层、第一导电层上的第一绝缘层、第一绝缘层上的第二绝缘层、第二绝缘层上的第一氧化物、第一氧化物上的第二氧化物、第二氧化物上的第三氧化物、第三氧化物上的第三绝缘层、第三绝缘层上的第二导电层、第二氧化物上的第三导电层及第四导电层、第三导电层上的第五导电层及第四导电层上的第六导电层,第一导电层及第二导电层具有与第二氧化物重叠的区域,第五导电层具有与第二导电层侧的第三导电层的侧面及第二氧化物的顶面接

触的区域,第六导电层具有与第二导电层侧的第四导电层的侧面及第二氧化物的顶面接触的区域,在晶体管的沟道宽度方向上,第二氧化物的底面位于第二氧化物及第一氧化物不与第二导电层重叠的区域中的第二导电层的底面的下方,以第二氧化物及第一氧化物不与第二导电层重叠的区域中的第二导电层的底面的高度为基准时的第二氧化物的底面的高度为-5nm以上且小于0nm。

[0024] 在上述半导体装置中,当以晶体管的沟道长度方向的截面上的第一绝缘层的底面的高度为基准时,与第二氧化物重叠的区域的第二导电层的底面的高度优选为第三导电层的顶面的高度以下。

[0025] 另外,在上述半导体装置中,优选的是,第二绝缘层具有与第一氧化物及第二氧化物的侧面大致对齐的侧面,第三氧化物具有与第一绝缘层的顶面、第二绝缘层的侧面接触的区域。

[0026] 另外,在上述半导体装置中,以第一绝缘层的底面的高度为基准时的与第二氧化物重叠的区域的第二绝缘层的顶面的高度优选高于不与第二氧化物重叠的区域的第二绝缘层的顶面的高度。

[0027] 发明效果

[0028] 根据本发明的一个方式可以提供一种通态电流大的半导体装置。另外,根据本发明的一个方式可以提供一种具有高工作频率的半导体装置。此外,根据本发明的一个方式可以提供一种高可靠性的半导体装置。此外,根据本发明的一个方式可以提供一种可以实现微型化或高集成化的半导体装置。另外,根据本发明的一个方式可以提供一种具有良好的电特性的半导体装置。此外,根据本发明的一个方式可以提供一种生产率高的半导体装置。

[0029] 此外,根据本发明的一个方式,可以提供一种能够长期间地保持数据的半导体装置。另外,根据本发明的一个方式,可以提供一种数据写入速度快的半导体装置。另外,根据本发明的一个方式,可以提供一种设计自由度高的半导体装置。另外,根据本发明的一个方式,可以提供一种能够抑制功耗的半导体装置。另外,根据本发明的一个方式,可以提供一种新颖的半导体装置。

[0030] 注意,这些效果的记载不妨碍其他效果的存在。注意,本发明的一个方式并不需要实现所有上述效果。上述效果以外的效果可以显而易见地从说明书、附图、权利要求书等的描述中看出,并且可以从说明书、附图、权利要求书等的描述中抽取上述效果以外的效果。

[0031] 附图简要说明

[0032] [图1]是根据本发明的一个方式的晶体管的俯视图及截面图。

[0033] [图2]是根据本发明的一个方式的晶体管的截面图。

[0034] [图3]是示出根据本发明的一个方式的晶体管的电特性的图。

[0035] [图4]是示出根据本发明的一个方式的半导体装置的工作频率的图。

[0036] [图5]是示出根据本发明的一个方式的晶体管的 $|\partial V_{sh}/\partial V_{bg}|$ 的图。

[0037] [图6]是示出根据本发明的一个方式的半导体装置的工作频率的图。

[0038] [图7]是根据本发明的一个方式的晶体管的俯视图及截面图。

[0039] [图8]是根据本发明的一个方式的晶体管的截面图。

[0040] [图9]是示出根据本发明的一个方式的晶体管的电特性的图。

- [0041] [图10]是说明根据本发明的一个方式的晶体管的结构例子的图。
- [0042] [图11]是说明根据本发明的一个方式的晶体管的结构例子的图。
- [0043] [图12]是说明根据本发明的一个方式的晶体管的结构例子的图。
- [0044] [图13]是说明根据本发明的一个方式的晶体管的结构例子的图。
- [0045] [图14]是说明根据本发明的一个方式的晶体管的结构例子的图。
- [0046] [图15]是示出根据本发明的一个方式的存储装置的结构例子的方框图。
- [0047] [图16]是示出根据本发明的一个方式的存储装置的结构例子的电路图。
- [0048] [图17]是根据本发明的一个方式的半导体装置的示意图。
- [0049] [图18]是根据本发明的一个方式的存储装置的示意图。
- [0050] [图19]是示出根据本发明的一个方式的电子设备的图。
- [0051] [图20]是俯视样品1D的SEM的观察图像。
- [0052] [图21]是根据本发明的实施例的截面STEM图像。

[0053] 实施发明的方式

[0054] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0055] 在附图中,为显而易见,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,在实际的制造工序中,有时由于蚀刻等处理而层或抗蚀剂掩模等被非意图性地蚀刻,但是为了便于理解有时不反映于附图中。另外,在附图中,有时在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0056] 另外,尤其在俯视图(也称为平面图)或透视图等中,为了便于对发明的理解,有时省略部分构成要素的记载。另外,有时省略部分隐藏线等的记载。

[0057] 此外,在本说明书等中,为了方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0058] 在本说明书等中,为方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书中所说明的词句,根据情况可以适当地换词句。

[0059] 例如,在本说明书等中,当明确地记载为“X与Y连接”时,意味着如下情况:X与Y电连接;X与Y在功能上连接;X与Y直接连接。因此,不局限于附图或文中所示的连接关系等规定的连接关系,附图或文中所示的连接关系以外的连接关系也在附图或文中公开了。

[0060] 在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0061] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有形成沟道的区域(以下也称为沟道形成区域),并且通过漏极、形成沟道的区域及源极电流能

够流过。注意,在本说明书等中,形成沟道的区域是指电流主要流过的区域。

[0062] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时互相调换。因此,在本说明书等中,有时源极和漏极的词句可以相互调换。

[0063] 在本说明书等中,根据晶体管的结构,有时形成沟道的区域中的实际上的沟道宽度(以下,也称为“实效沟道宽度”)和晶体管的俯视图所示的沟道宽度(以下,也称为“外观上的沟道宽度”)不同。例如,在栅电极覆盖半导体的侧面时,有时因为实效的沟道宽度大于外观上的沟道宽度,所以不能忽略其影响。例如,在微型且栅电极覆盖半导体的侧面的晶体管中,有时形成在半导体的侧面上的沟道形成区域的比例增高。在此情况下,实效的沟道宽度大于外观上的沟道宽度。

[0064] 在上述情况下,有时难以通过实测估计实效沟道宽度。例如,为了根据设计值估计实效沟道宽度,需要一个假设,即已知半导体的形状。因此,当半导体的形状不清楚时,难以准确地测量实效的沟道宽度。

[0065] 在本说明书中,在简单地描述为“沟道宽度”时,有时是指外观上的沟道宽度。或者,在本说明书中,在简单地表示“沟道宽度”时,有时表示实效沟道宽度。注意,通过对截面TEM图像等进行分析等,可以决定沟道长度、沟道宽度、实效沟道宽度、外观上的沟道宽度等的值。

[0066] 另外,半导体的“杂质”例如是构成半导体的主要成分之外的物质。例如,浓度小于0.1原子%的元素可以说是杂质。在包含杂质时,例如有时发生半导体的缺陷态密度的提高或者结晶性的降低等。当半导体是氧化物半导体时,作为改变半导体的特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半导体的主要成分外的过渡金属等,例如有氢、锂、钠、硅、硼、磷、碳、氮等。在是氧化物半导体的情况下,有时水也作为杂质起作用。另外,在是氧化物半导体的情况下,有时例如由于杂质的进入导致氧空位的产生。此外,在半导体是硅时,作为改变半导体特性的杂质,例如有氧、除氢之外的第1族元素、第2族元素、第13族元素、第15族元素等。

[0067] 注意,在本说明书等中,氮化硅是指氧含量大于氮含量的物质。此外,氮氧化硅是指氮含量大于氧含量的物质。

[0068] 注意,在本说明书等中,可以将“绝缘体”换称为“绝缘膜”或“绝缘层”。另外,可以将“导体”换称为“导电膜”或“导电层”。另外,可以将“半导体”换称为“半导体膜”或“半导体层”。

[0069] 在本说明书等中,“平行”是指两条直线形成的角度为-10度以上且10度以下的状态。因此,也包括该角度为-5度以上且5度以下的状态。另外,“大致平行”是指两条直线形成的角度为-30度以上且30度以下的状态。另外,“垂直”是指两条直线的角度为80度以上且100度以下的状态。因此,也包括该角度为85度以上且95度以下的状态。“大致垂直”是指两条直线形成的角度为60度以上且120度以下的状态。

[0070] 注意,在本说明书中,阻挡膜是指具有抑制水、氢等杂质及氧的透过的功能的膜,在该阻挡膜具有导电性的情况下,有时被称为导电阻挡膜。

[0071] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导体(包括透明氧化物导体)和氧化物半导体

(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的半导体层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,可以将OS晶体管换称为包含氧化物或氧化物半导体的晶体管。

[0072] (实施方式1)

[0073] 以下,参照图1至图9说明根据本发明的一个方式的晶体管。

[0074] 〈晶体管的结构例子1〉

[0075] 图1示出根据本发明的一个方式的晶体管的俯视图及截面图。图1A是该晶体管的俯视图。另外,图1B是沿着图1A中的点划线L1-L2的部分的截面图,也是该晶体管的沟道长度方向的截面图。图1C是沿着图1A中的点划线W1-W2的部分的截面图,也是该晶体管的沟道宽度方向的截面图。注意,在图1A的俯视图中,为了明确起见,省略了部分构成要素。

[0076] 注意,虽然在图1等的俯视图及截面图中的导电层、半导体层或绝缘层等的端部为直角,但是在本实施方式所示的半导体装置不局限于此,也可以具有端部带圆形的形状。

[0077] 如图1所示,晶体管包括配置在衬底(未图示)上的导电层BGE、配置在导电层BGE上的绝缘层BGI1、绝缘层BGI2及绝缘层BGI3、配置在绝缘层BGI3上的半导体层SEM1及半导体层SEM2、配置在半导体层SEM2上的导电层SE及导电层DE、配置在半导体层SEM2、导电层SE及导电层DE上的半导体层SEM3、配置在半导体层SEM3上的绝缘层TGI、配置在绝缘层TGI上的导电层TGE。

[0078] 导电层TGE被用作第一栅极(也称为顶栅极),导电层BGE被用作第二栅极(也称为背栅极),绝缘层TGI被用作第一栅极绝缘层(也称为顶栅极绝缘层),绝缘层BGI1、绝缘层BGI2及绝缘层BGI3被用作第二栅极绝缘层(也称为背栅极绝缘层),半导体层SEM1、半导体层SEM2及半导体层SEM3被用作半导体层,导电层SE被用作源极和漏极中的一方,导电层DE被用作源极和漏极中的另一方。

[0079] 上述晶体管包括顶栅极及背栅极。包括顶栅极及背栅极的晶体管可以通过对顶栅极及背栅极施加彼此不同的电位控制其阈值电压。例如,通过对背栅极施加负电位,可以使晶体管的阈值电压进一步增大,降低关态电流。也就是说,通过对背栅极施加负电位,可以减小对顶栅极施加的电位为0V时的漏极电流。

[0080] 晶体管的沟道形成区域优选使用被用作半导体的金属氧化物(以下也称为氧化物半导体)。由于将氧化物半导体用于沟道形成区域的晶体管在非导通状态下的泄漏电流极小,所以可以提供低功耗的半导体装置。此外,氧化物半导体可以利用溅射法等形成,所以可以用于构成高集成型半导体装置的晶体管。

[0081] 在将氧化物半导体用于晶体管的沟道形成区域时,优选使用载流子浓度低的i型化(本征化)或实质上i型化的氧化物半导体。通过将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域,可以将该晶体管的关态电流抑制为低,或者可以提高该晶体管的可靠性。氧化物半导体的详细内容在实施方式2中说明。

[0082] 另外,晶体管的通态电流越大越好。另外,优选具有高工作频率的特性(也称为频率特性)。另外,优选抑制电特性的变动而实现具有稳定的电特性的同时提高可靠性。

[0083] 于是,优选提高顶栅极的控制性。在此,在本说明书中,“顶栅极的控制性高”是指“顶栅极的电场对沟道形成区域带来的影响大”。换言之,即使施加到顶栅极的电位的变化小,流过沟道形成区域的电流容易变化。具体而言,“顶栅极的控制性高”是指:晶体管的通

态电流大、亚阈值摆幅值 (Svalue) 小等。在此, Svalue 是指: 以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。通过提高顶栅极的控制性, 可以提高晶体管的通态电流及 Svalue 而提高包括该晶体管的半导体装置的工作频率。

[0084] 例如, 优选的是, 导电层 TGE 在沟道宽度方向上隔着半导体层 SEM3 及绝缘层 TGI 覆盖半导体层 SEM2 的沟道形成区域的顶面及侧面。导电层 TGE 覆盖半导体层 SEM2 的沟道形成区域的区域越大, 实效沟道宽度越大且顶栅极侧的电容越大。因此, 顶栅极的控制性提高。另外, 如图 1C 所示, 导电层 TGE 与半导体层 SEM2 的侧面相对, 所以可以被称为侧栅极。

[0085] 然而, 在顶栅极侧的电容增大时, 对于顶栅极侧的电容的背栅极侧的电容的比例变小。在对于顶栅极侧的电容的背栅极侧的电容的比例变小时, 下述的背栅极的控制性下降。因此, 在沟道宽度方向上导电层 TGE 覆盖半导体层 SEM2 的沟道形成区域的区域越大, 背栅极的控制性越低。在此, 例如“背栅极的控制性低”是指对于施加到背栅极的电位的变化量的漂移值 (Vsh) 的变化量小。在此使用在晶体管的漏极电流-栅极电压特性 (Id-Vg 特性) 中, 曲线上的倾斜度最大的点的切线与 $I_d = 1$ [pA] 的直线交叉的点的 Vg, 定义 Vsh。

[0086] <顶栅极的控制性与背栅极的控制性的相关>

[0087] 在此, 说明顶栅极的控制性与背栅极的控制性的相关。作为顶栅极的控制性的一个例子示出 Svalue, 作为背栅极的控制性的一个例子示出 $|\partial V_{sh}/\partial V_{bg}|$ 。 $|\partial V_{sh}/\partial V_{bg}|$ 是背栅极电压 Vbg 变化 1V 时的 Vsh 的变化量 (Vsh 的漂移量的绝对值), 单位为 [V/V]。换言之, $|\partial V_{sh}/\partial V_{bg}|$ 越大, 背栅极的控制性越高。

[0088] 如算式 (1) 所示, $|\partial V_{sh}/\partial V_{bg}|$ 具有取决于对于顶栅极侧的电容 C_T 的背栅极侧的电容 C_B 的比 C_B/C_T 的倾向。换言之, 背栅极的控制性具有取决于顶栅极侧的电容 C_T 与背栅极侧的电容 C_B 的比的倾向。

[0089] [算式 1]

$$[0090] \quad \left| \frac{\partial V_{sh}}{\partial V_{bg}} \right| = \frac{C_B}{C_T} \quad \dots (1)$$

[0091] 另外, 如算式 (2) 所示, Svalue 具有取决于 C_B/C_T 的倾向。换言之, 顶栅极的控制性具有取决于顶栅极侧的电容 C_T 与背栅极侧的电容 C_B 的比的倾向。

[0092] [算式 2]

$$[0093] \quad S_{value} = \ln(10) \frac{kT}{q} \times \left(\frac{C_B}{C_T} \right) \times \frac{1}{1 - 2\exp\left(-\frac{L}{2\lambda}\right)} \quad \dots (2)$$

[0094] 在算式 (2) 中, k 表示玻尔兹曼常数, T 表示绝对温度, q 表示元电荷, λ 表示自然长, L 表示沟道长度。另外, λ 为关于短沟道效应的参数。

[0095] 如上所述, C_B/C_T 越大 $|\partial V_{sh}/\partial V_{bg}|$ 越大而背栅极的控制性提高, 但 Svalue 增大而可靠性下降。另外, C_B/C_T 越小 Svalue 越小而可靠性提高, 但 $|\partial V_{sh}/\partial V_{bg}|$ 变小而背栅极的控制性下降。换言之, 顶栅极的控制性与背栅极的控制性有相关。

[0096] 于是, 半导体层 SEM2 的底面的高度优选与半导体层 SEM2 及半导体层 SEM1 不与导电层 TGE 重叠的区域中的导电层 TGE 的底面的高度大致相同。通过采用该结构, 可以提高顶栅极的控制性且保持背栅极的控制性。

[0097] <通过用器件仿真器的计算进行的晶体管的电特性评价 1>

[0098] 以下,通过用器件仿真器的计算对侧栅极覆盖沟道形成区域的区域的尺寸与晶体管的电特性的关系进行评价。具体而言,算出晶体管的Svalue及通态电流。另外,用器件仿真器的计算中假定的晶体管是图1所示的晶体管。

[0099] 在本计算中,准备导电层TGE覆盖半导体层SEM2的范围彼此不同的结构(结构1A至结构8A)。表1示出用器件仿真器的计算中假定的各参数的值中在结构1A至结构8A之间不同的参数的值。

[0100] [表1]

| | 结构 | H [nm] |
|--------|----|--------|
| | 1A | -20 |
| | 2A | -15 |
| | 3A | -10 |
| [0101] | 4A | -5 |
| | 5A | 0 |
| | 6A | 5 |
| | 7A | 10 |
| | 8A | 15 |

[0102] 表1所示的H表示以半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面的高度为基准时的半导体层SEM2的底面的高度。在半导体层SEM2的底面位于半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面的上方(与导电层BGE相反一侧)时,H为正的。另外,在半导体层SEM2的底面位于半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面的下方(导电层BGE一侧)时,H为负的值。

[0103] 图2A是H为正的值的结构(结构6A至结构8A)的沟道宽度方向的截面图。半导体层SEM2的底面(图2A中以点划线表示的位置)位于半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面(图2A中以虚线表示的位置)的上方(与导电层BGE相反一侧)。

[0104] 另外,图2B是H为负的值的结构(结构1A至结构4A)的沟道宽度方向的截面图。半导体层SEM2的底面(图2B中以点划线表示的位置)位于半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面(图2B中以虚线表示的位置)的下方(导电层BGE一侧)。

[0105] 对结构1A至结构8A进行用器件仿真器的计算来算出各结构的电特性。作为器件仿真器,使用Silvaco公司制造的器件仿真器Atlas3D。表2示出用器件仿真器的计算中假定的各参数的值中在结构1A至结构8A之间通用的参数的值。

[0106] [表2]

| | | | | |
|--------------|----------------|-------|---------------------------|---------------------------|
| 结构 | 沟道长度L | | 60 | nm |
| | 沟道宽度W | | 60 | nm |
| SEM1 | IGZO(134) | 电子亲和势 | 4.5 | eV |
| | | 带隙 | 3.4 | eV |
| | | 电子迁移率 | 0.1 | $\text{cm}^2/(\text{Vs})$ |
| | | 空穴迁移率 | 0.01 | $\text{cm}^2/(\text{Vs})$ |
| | | 膜厚度 | 5 | nm |
| SEM2 SEM3 | IGZO(423) | 电子亲和势 | 4.8 | eV |
| | | 带隙 | 2.9 | eV |
| 电子迁移率 | | 15 | $\text{cm}^2/(\text{Vs})$ | |
| 空穴迁移率 | | 0.01 | $\text{cm}^2/(\text{Vs})$ | |
| 膜厚度(SEM2) | | 15 | nm | |
| 膜厚度(SEM3) | | 5 | nm | |
| SEM | 相对介电常数 | | 15 | |
| | 导带的有效态密度 N_c | | 5×10^{18} | cm^{-3} |
| | 价带的有效态密度 N_v | | 5×10^{18} | cm^{-3} |
| TGE | 功函数 | | 5.9 | eV |
| | 膜厚度 | | 20 | nm |
| TGI | 相对介电常数 | | 4.1 | |
| | 膜厚度 | | 10 | nm |
| SE, DE | 功函数 | | 4.8 | eV |
| | 膜厚度 | | 20 | nm |
| BGI3 | 相对介电常数 | | 4.1 | |
| | 膜厚度 | | 30 | nm |
| BGI2 | 相对介电常数 | | 16.4 | |
| | 膜厚度 | | 20 | nm |
| BGI1 | 相对介电常数 | | 4.1 | |
| | 膜厚度 | | 10 | nm |
| BGE | 功函数 | | 5.0 | eV |
| | 膜厚度 | | 20 | nm |

[0107] 表2所示的IGZO(134)设想In:Ga:Zn=1:3:4的组成的In-Ga-Zn氧化物。另外,表2所示的IGZO(423)设想In:Ga:Zn=4:2:3的组成的In-Ga-Zn氧化物。此外,表2所示的SEM记载的参数是在半导体层SEM1、半导体层SEM2和半导体层SEM3之间通用的。

[0108] 通过对结构1A至结构8A进行漏极电压 $V_d=1.2\text{V}$ 、背栅极 $V_{bg}=-6.0\text{V}$ 时的 I_d-V_g 特性的计算,来算出Svalue及通态电流 I_{on} 。在此, I_{on} 设定为栅极电压 $V_g=V_{sh}+2.5\text{V}$ 时的电流值。

[0109] 图3A示出所算出的结构1A至结构8A的每一个的Svalue。在图3A中,横轴表示角度H[nm],纵轴表示Svalue[mV/decade]。从图3A可知在H的值为负的范围, H的值越小(越接近

零) Svalue 越小。另外, 还可知在H的值为正的范围, Svalue 几乎没有变化。

[0111] 图3B示出所算出的结构1A至结构8A的每一个的 I_{on} 。在图3B中, 横轴表示H[nm], 纵轴表示 I_{on} ($V_g = V_{sh} + 2.5V$) [A]。从图3B可知在H的值为负的范围, H的值越小(越接近零) I_{on} 越大。另外, 与H的值为负的范围相比, 在H的值为正的范围对于H的 I_{on} 的变化量小。

[0112] (通过用器件仿真器的计算进行的半导体装置的工作频率的估计)

[0113] 在此, 通过进行用器件仿真器的计算评价包括晶体管的半导体装置的工作频率。具体而言, 使用图4说明对根据本发明的一个方式的半导体装置的工作频率进行估计的结果。

[0114] 在此, 半导体装置是指使用10S晶体管1电容器型的存储单元的DRAM。使用10S晶体管1电容器型的存储单元的DRAM也被称为DOSRAM(注册商标)(Dynamic Oxide Semiconductor Random Access Memory)。关于DOSRAM的详细内容, 在后面的实施方式中说明。

[0115] DOSRAM的数据保持时间可以说是储存在DOSRAM所包括的存储电容的电荷从“数据写入之后的大小”减少到“规定的大小”所需要的时间。在本实施方式中, 将上述“规定的大小”定义为供应到DOSRAM所包括的电容器(存储电容是3.5fF)的电位从数据写入之后的状态降低0.2V所需要的时间。例如, 在本实施方式中“DOSRAM的数据保持时间为1小时”意味着供应到DOSRAM所包括的电容器从写入数据之后的状态降低0.2V所需要的时间是1小时。

[0116] DOSRAM的数据保持时间取决于DOSRAM所包括的晶体管的关态泄漏电流的大小。在此, 晶体管的关态泄漏电流可以换成为晶体管的 $V_g = 0V$ 时的(I_d) (即, I_{cut})。例如, 在DOSRAM的数据保持特性只取决于DOSRAM所包括的晶体管的 I_{cut} 的大小时, DOSRAM的数据保持时间与DOSRAM所包括的晶体管的 I_{cut} 的大小成反比。

[0117] I_{cut} 通过根据(V_{sh})及(Svalue)使用以下算式(3)外推而估计。注意, 算式(3)在假设如下情况时成立: 晶体管的关态电流根据通过 $V_g - I_d$ 测量获得的Svalue直到成为 $V_g = 0V$ 为止单调地降低的情况。

[0118] [算式3]

$$[0119] \quad I_{cut} = (1pA) \times 10^{-\frac{V_{sh}}{Svalue}} \cdot \cdot \cdot (3)$$

[0120] 通过上述算式, DOSRAM的数据保持时间可以通过算出从 $I_d - V_g$ 特性取得的 V_{sh} 及Svalue而估计。

[0121] 另外, DOSRAM的工作频率定义为DOSRAM的数据写入循环时间的倒数。DOSRAM的数据写入循环时间是根据DOSRAM所包括的电容器充电时间等设定的参数。在本实施方式中, 将相当于DOSRAM的数据写入循环时间(DOSRAM的工作频率的倒数)的40%的时间设定为DOSRAM所包括的电容器充电时间。

[0122] 如上所述, DOSRAM的工作频率取决于DOSRAM所包括的电容器充电时间。由此, 在估计DOSRAM的工作频率时, 要预先知道DOSRAM所包括的电容器充电时间。在本实施方式中, 将DOSRAM所包括的电容器(存储电容是3.5fF)供应有0.55V以上的电位的状态定义为该电容器处于“被充电的状态”。由此, 在本实施方式中, 从开始DOSRAM的数据写入工作直到该电容器供应有的电位到达0.55V为止的时间相当于DOSRAM所包括的电容器充电时间。

[0123] 另外,将对DOSRAM所包括的存储电容为 C_s [F]的电容器充电的电荷设定为 Q [C],将充电时间设定为 t [sec],将通过充电对电容器供应的电位设定为 $V_{cs}(=V_s)$ [V],并且将DOSRAM所包括的晶体管的漏极电流设定为 I_d [A]时,各参数满足以下算式(4)的关系。

[0124] [算式4]

$$[0125] \quad I_d = \frac{dQ}{dt} = \frac{d}{dt}(C_s \times V_{cs}) = C_s \frac{dV_{cs}}{dt} \quad \cdot \cdot \cdot (4)$$

[0126] 因此,通过将算式(4)变形,可以以下面算式(5)表示DOSRAM所包括的电容器的充电时间 t 。

[0127] [算式5]

$$[0128] \quad t = \int_0^{V_{cs}} \frac{C_s \times dV_{cs}}{I_d} \quad \cdot \cdot \cdot (5)$$

[0129] 如上所述,在本实施方式中,将对存储电容为3.5fF的电容器供应的电位成为0.55V以上的状态定义为该电容器处于“被充电的状态”。由此,通过将3.5fF代入到算式(5)的 C_s ,将+0.55V代入到 V_{cs} ,将上述根据本发明的一个方式的晶体管的测量值或算出值代入到 I_d ,可以算出DOSRAM所包括的电容器的充电时间 t 。

[0130] DOSRAM所包括的电容器的充电时间取决于写入DOSRAM数据时的DOSRAM所包括的晶体管的 I_d 的大小。换言之,DOSRAM的工作频率可以通过获得 I_d - V_s 特性而估计。

[0131] 于是,在此,通过将设想对写入DOSRAM数据时的DOSRAM所包括的晶体管施加的电位实际施加到根据本发明的一个方式的晶体管而再现DOSRAM数据的写入工作,并测量此时的该晶体管的 I_d 。具体而言,通过将结构1A至结构8A的栅极电位 V_g 固定为+2.97V,将漏极电位 V_d 固定为+1.08V,将背栅极电位 V_{bg} 设定为任意电位,并将源极电位 V_s 从0V到+0.55V扫描,来进行晶体管的 I_d 测量。测量温度设定为27℃。

[0132] 另外,通过使用上述条件对结构1A至结构8A的 I_d - V_g 特性及 I_d - V_s 特性进行利用器件仿真器的计算,来算出DOSRAM的数据保持时间及工作频率。用器件仿真器的计算中假定的各参数的值为表1及表2所示的值。在数据保持时间的计算中,不考虑因泄漏及长期保持而发生的元件特性的劣化。

[0133] 图4示出具有结构1A至结构8A中的任一个的DOSRAM的在电源电压3.3V且温度27℃下的DOSRAM工作频率的估计。图4所示的DOSRAM工作频率以结构5A的DOSRAM工作频率成为1的方式被归一化。在图4中,横轴表示角度 H [nm],纵轴表示被归一化的DOSRAM工作频率。从图4可知 H 的值越大,DOSRAM工作频率越大。换言之,可知 H 的值越大,包括晶体管的半导体装置的工作频率越高。

[0134] (背栅极的控制性)

[0135] 接着,通过用器件仿真器的计算评价背栅极的控制性。为了评价背栅极的控制性,计算晶体管的 I_d - V_g 特性的背栅极电压依赖性来算出 $|\partial V_{sh}/\partial V_{bg}|$ 。

[0136] 通过进行用器件仿真器的计算,算出结构1A至结构8A中的 I_d - V_g 特性,来算出 $|\partial V_{sh}/\partial V_{bg}|$ 。通过用器件仿真器的计算假定的各参数的值为表1及表2所示的值。

[0137] 图5示出所算出的结构1A至结构8A的每一个的 $|\partial V_{sh}/\partial V_{bg}|$ 。在图5中,横轴表示H[nm],纵轴表示 $|\partial V_{sh}/\partial V_{bg}|$ [V/V]。从图5可知,H的值越大 $|\partial V_{sh}/\partial V_{bg}|$ 越小。因此可知,H的值越大背栅极的控制性越低。

[0138] 如此,通过采用被用作顶栅极的导电层TGE隔着半导体层SEM3及绝缘层TGI覆盖沟道形成区域中的半导体层SEM2的侧面及顶面的结构,容易使导电层TGE的电场作用于沟道形成区域的半导体层SEM2整体。因此,可以增大晶体管的通态电流而提高包括该晶体管的半导体装置的工作频率。

[0139] 因此,半导体层SEM2的底面的高度与半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面的高度大致相同的晶体管的Svalue小、通态电流大、电特性良好,并且可以保持背栅极的控制性。例如,H优选为-15nm以上且15nm以下,更优选为-10nm以上且10nm以下,进一步优选为-5nm以上且5nm以下或-5nm以上且小于0nm。

[0140] 另外,背栅极电压 V_{bg} 越低越好。在背栅极电压 V_{bg} 高时,有时晶体管的 I_d - V_g 特性下降。作为晶体管的 I_d - V_g 特性下降的例子,有Svalue的增大、通态电流的减小等。

[0141] 为了降低背栅极电压 V_{bg} ,例如需要提高背栅极的控制性。在背栅极的控制性低时,需要进一步提高背栅极电压 V_{bg} ,以便保持数据。为了提高背栅极的控制性,例如优选增大 $|\partial V_{sh}/\partial V_{bg}|$ 。

[0142] 背栅极的控制性取决于背栅极绝缘层(绝缘层BGI1、绝缘层BGI2及绝缘层BGI3)的膜厚度、半导体层(半导体层SEM1、半导体层SEM2及半导体层SEM3)的膜厚度等。于是,为了保持数据的同时提高晶体管的工作频率,使背栅极绝缘层及半导体层的膜厚度最优化是重要的。通过使该膜厚度最优化,可以实现保持数据且具有高工作频率的晶体管的结构。

[0143] <背栅极绝缘层及半导体层的膜厚度的最优化>

[0144] 以下,使用图6说明为了实现保持数据且具有高工作频率的晶体管进行的背栅极绝缘层及半导体层的膜厚度的最优化。

[0145] 首先,根据在实际工作中需要的背栅极电压 V_{bg} 决定背栅极的控制性。例如,在假定示出 $V_{bg}=0V$ 时的 V_{sh} 为 $0V$ 的电特性的晶体管时,为了以对背栅极施加-5V以下的电位的状态使 $27^\circ C$ 下的 V_{sh} 漂移到1.2V, $|\partial V_{sh}/\partial V_{bg}|$ 优选为0.24V/V以上。或者,为了以对背栅极施加-3V以下的电位的状态使 $27^\circ C$ 下的 V_{sh} 漂移到0.83V, $|\partial V_{sh}/\partial V_{bg}|$ 优选为0.28V/V以上。

[0146] 接着,求出满足所决定的背栅极的控制性的背栅极绝缘层及半导体层的最合适的膜厚度。例如,在求出 $|\partial V_{sh}/\partial V_{bg}|$ 为0.24V/V以上时的背栅极绝缘层及半导体层的最合适的膜厚度时,首先准备背栅极绝缘层或半导体层的膜厚度不同的多个晶体管。然后,计算该晶体管的 I_d - V_g 特性来算出 $|\partial V_{sh}/\partial V_{bg}|$ 。将算出了的 $|\partial V_{sh}/\partial V_{bg}|$ 为0.24V/V以上时的背栅极绝缘层及半导体层的膜厚度设为最合适的膜厚度。注意,分别设定背栅极绝缘层或半导体层的膜厚度,所以有时最合适的膜厚度不是由单一因素决定而存在有多个。

[0147] 接着,在以上述最合适的膜厚度构成的晶体管中算出DOSRAM工作频率。通过抽出所算出的DOSRAM工作频率中工作频率最高的晶体管结构,决定保持数据且工作频率高的晶体管的结构。

[0148] 以下,示出通过进行用器件仿真器的计算求出背栅极绝缘层及半导体层的最合适

的膜厚度的例子。在本计算中,在图1所示的晶体管中准备绝缘层BGI1、绝缘层BGI2、绝缘层BGI3、半导体层SEM1、半导体层SEM2的膜厚度彼此不同的结构(结构1B至结构4B)。表3示出用器件仿真器的计算假定的各参数的值中在结构1B至结构4B之间不同的参数的值。

[0149] [表3]

| 结构 | 膜厚度[nm] | | | | | H[nm] |
|----|---------|------|------|------|------|-------|
| | BGI1 | BGI2 | BGI3 | SEM1 | SEM2 | |
| 1B | 10 | 20 | 30 | 5 | 15 | +5 |
| 2B | 0 | 10 | 5 | 20 | 15 | +10 |
| 3B | 0 | 10 | 10 | 10 | 15 | +5 |
| 4B | 0 | 10 | 15 | 5 | 15 | +5 |

[0151] 表3所示的H表示以半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面的高度为基准时的半导体层SEM2的底面的高度。结构1B至结构4B中的H都为正的值,从图4可认为DOSRAM工作频率高。

[0152] 对结构1B至结构4B进行用器件仿真器的计算。作为器件仿真器,使用Silvaco公司制造的器件仿真器Atlas3D。表4示出用器件仿真器的计算中假定的各参数的值中在结构1B至结构4B之间通用的参数的值。

[0153] [表4]

| | | | | |
|--------|------------|-----------|-----------------------|-----------------------|
| 结构 | 沟道长度L | | 60 | nm |
| | 沟道宽度W | | 45 | nm |
| SEM1 | IGZO(134) | 电子亲和势 | 4.5 | eV |
| | | 带隙 | 3.4 | eV |
| | | 电子迁移率 | 0.1 | cm ² /(Vs) |
| | | 空穴迁移率 | 0.01 | cm ² /(Vs) |
| SEM2 | IGZO(423) | 电子亲和势 | 4.8 | eV |
| | | 带隙 | 2.9 | eV |
| 电子迁移率 | | 15 | cm ² /(Vs) | |
| 空穴迁移率 | | 0.01 | cm ² /(Vs) | |
| SEM3 | | 膜厚度(SEM3) | 5 | nm |
| SEM | 相对介电常数 | | 15 | |
| | 导带的有效态密度Nc | | 5×10 ¹⁸ | cm ⁻³ |
| | 价带的有效态密度Nv | | 5×10 ¹⁸ | cm ⁻³ |
| TGE | 功函数 | | 5.4 | eV |
| | 膜厚度 | | 20 | nm |
| TGI | 相对介电常数 | | 4.1 | |
| | 膜厚度 | | 10 | nm |
| SE, DE | 功函数 | | 4.8 | eV |
| | 膜厚度 | | 20 | nm |
| BGI3 | 相对介电常数 | | 4.1 | |
| BGI2 | 相对介电常数 | | 16.4 | |
| BGI1 | 相对介电常数 | | 4.1 | |
| BGE | 功函数 | | 5.0 | eV |
| | 膜厚度 | | 20 | nm |

[0154] 根据用器件仿真器的计算的结果,可知结构1B的 $|\partial V_{sh}/\partial V_{bg}|$ 为0.1V/V、结构2B至结构4B的 $|\partial V_{sh}/\partial V_{bg}|$ 为0.24V/V以上。因此可知,与结构1B相比,结构2B至结构4B的背栅极的控制性高。

[0155] 接着,通过对结构1B至结构4B的Id-Vg特性及Id-Vs特性进行利用器件仿真器的计算,来算出DOSRAM的数据保持时间及工作频率。用器件仿真器的计算中假定的各参数的值为表3及表4所示的值。在数据保持时间的计算中,不考虑因泄漏及长期保持而发生的元件特性的劣化。

[0156] 图6示出具有结构1B至结构4B中的任一个的DOSRAM的在电源电压3.3V且温度27℃下的DOSRAM工作频率的估计。图6所示的DOSRAM工作频率以结构1B的DOSRAM工作频率成为1的方式被归一化。在图6中,纵轴表示被归一化的DOSRAM工作频率。从图6可知,在结构2B至结构4B中,结构4B的DOSRAM工作频率最高。

[0158] 注意,在上述计算中,在决定背栅极的控制性后进行最合适的膜厚度的求出,但是不局限于此。例如,也可以通过求出满足所需要的DOSRAM工作频率的最合适的膜厚度而抽出该最合适的膜厚度中背栅极的控制性最高的晶体管结构,来决定保持数据且具有高工作频率的晶体管的结构。

[0159] 另外,不局限于图1所示的晶体管的结构,只要晶体管具有半导体层SEM2的底面的高度与半导体层SEM2及半导体层SEM1不与导电层TGE重叠的区域中的导电层TGE的底面的高度大致相同的结构,就该晶体管的Svalue小、通态电流大、电特性良好,并且可以保持背栅极的控制性。

[0160] <晶体管的结构例子2>

[0161] 图7示出根据本发明的一个方式的晶体管的俯视图及截面图。图7A是该晶体管的俯视图。另外,图7B是沿着图7A中的点划线L1-L2的部分的截面图,也是该晶体管的沟道长度方向的截面图。图7C是沿着图7A中的点划线W1-W2的部分的截面图,也是该晶体管的沟道宽度方向的截面图。注意,在图7A的俯视图中,为了明确起见,省略了部分构成要素。

[0162] 图7所示的晶体管是图1所示的晶体管的变形例子。因此,为了防止重复说明,主要对与图1所示的晶体管不同之处进行说明。

[0163] 如图7所示,晶体管包括配置在衬底(未图示)上的导电层BGE、配置在导电层BGE上的绝缘层BGI2及绝缘层BGI3、配置在绝缘层BGI3上的半导体层SEM1及半导体层SEM2、配置在半导体层SEM2上的导电层SE及导电层DE、半导体层SEM2上且以与导电层SE及导电层DE的侧面接触的方式配置的半导体层SEM3、配置在半导体层SEM3上的绝缘层TGI、配置在绝缘层TGI上的导电层TGE。

[0164] <通过用器件仿真器的计算进行的晶体管的电特性评价2>

[0165] 以下,算出图7所示的晶体管的Svalue及通态电流。

[0166] 在本计算中,准备导电层TGE覆盖半导体层SEM2的范围彼此不同的结构(结构1C至结构10C)。表5示出用器件仿真器的计算中假定的各参数的值中在结构1C至结构10C之间不同的参数的值。

[0167] [表5]

| | 结构 | H [nm] |
|--------|-----|--------|
| | 1C | -25 |
| | 2C | -20 |
| | 3C | -15 |
| | 4C | -10 |
| [0168] | 5C | -5 |
| | 6C | 0 |
| | 7C | 5 |
| | 8C | 10 |
| | 9C | 15 |
| | 10C | 20 |

[0169] 图8A是H为正的值的结构(结构7C至结构10C)的沟道宽度方向的截面图。另外,图8B是H为负的值的结构(结构1C至结构5C)的沟道宽度方向的截面图。

[0170] 对结构1C至结构10C进行用器件仿真器的计算。作为器件仿真器,使用Silvaco公司制造的器件仿真器Atlas3D。表6示出用器件仿真器的计算中假定的各参数的值中在结构1C至结构10C之间通用的参数的值。

[0171] [表6]

| | | | | |
|------------|----------------|-------|---------------------------|---------------------------|
| 结构 | 沟道长度L | | 60 | nm |
| | 沟道宽度W | | 60 | nm |
| SEM1 | IGZO(134) | 电子亲和势 | 4.5 | eV |
| | | 带隙 | 3.4 | eV |
| | | 电子迁移率 | 0.1 | $\text{cm}^2/(\text{Vs})$ |
| | | 空穴迁移率 | 0.01 | $\text{cm}^2/(\text{Vs})$ |
| | | 膜厚度 | 5 | nm |
| SEM2 | IGZO(423) | 电子亲和势 | 4.8 | eV |
| | | 带隙 | 2.9 | eV |
| 电子迁移率 | | 15 | $\text{cm}^2/(\text{Vs})$ | |
| 空穴迁移率 | | 0.01 | $\text{cm}^2/(\text{Vs})$ | |
| 膜厚度 (SEM2) | | 20 | nm | |
| 膜厚度 (SEM3) | | 5 | nm | |
| SEM | 相对介电常数 | | 15 | |
| | 导带的有效态密度 N_c | | 5×10^{18} | cm^{-3} |
| | 价带的有效态密度 N_v | | 5×10^{18} | cm^{-3} |
| TGE | 功函数 | | 5.4 | eV |
| | 膜厚度 | | 50 | nm |
| TGI | 相对介电常数 | | 4.1 | |
| | 膜厚度 | | 10 | nm |
| SE, DE | 功函数 | | 4.8 | eV |
| | 膜厚度 | | 25 | nm |
| BGI3 | 相对介电常数 | | 4.1 | |
| | 膜厚度 | | 30 | nm |
| BGI2 | 相对介电常数 | | 16.4 | |
| | 膜厚度 | | 5 | nm |
| BGE | 功函数 | | 5.0 | eV |
| | 膜厚度 | | 20 | nm |

[0172]

[0173] 通过对结构1C至结构10C进行漏极电压 $V_d=1.2\text{V}$ 、背栅极 $V_{bg}=-6.0\text{V}$ 时的 I_d-V_g 特性的计算,来算出Svalue及通态电流 I_{on} 。在此, I_{on} 设定为栅极电压 $V_g=V_{sh}+2.5\text{V}$ 时的电流值。

[0174] 图9A示出所算出的结构1C至结构10C的每一个的Svalue。在图9A中,横轴表示角度 $H[\text{nm}]$,纵轴表示Svalue[mV/decade]。从图9A可知在 H 的值为负的范围, H 的值越小(越接近零)Svalue越小。另外,还可知在 H 的值为正的范围, Svalue几乎没有变化。

[0175] 图9B示出所算出的结构1C至结构10C的每一个的 I_{on} 。在图9B中,横轴表示 $H[\text{nm}]$,纵轴表示 $I_{on}(V_g=V_{sh}+2.5\text{V})[\text{A}]$ 。从图9B可知在 H 的值为负的范围, H 的值越小(越接近

零) I_{on} 越大。另外, 在 H 的值为正的范围内 I_{on} 几乎没有变化。

[0176] 因此, 只要半导体层 SEM2 的底面的高度与半导体层 SEM2 及半导体层 SEM1 不与导电层 TGE 重叠的区域中的导电层 TGE 的底面的高度大致相同的晶体管, 该晶体管的 S value 小、通态电流大、电特性良好, 并且可以保持背栅极的控制性。

[0177] 注意, 根据本发明的一个方式的晶体管的详细内容在下面的实施方式中说明。

[0178] 为了制造半导体层 SEM2 的底面的高度与半导体层 SEM2 及半导体层 SEM1 不与导电层 TGE 重叠的区域中的导电层 TGE 的底面的高度大致相同的晶体管, 需要考虑半导体层 SEM1、半导体层 SEM2、半导体层 SEM3、绝缘层 TGI 及绝缘层 BGI3 的膜厚度。注意, 半导体层 SEM1、半导体层 SEM2、半导体层 SEM3、绝缘层 TGI 的膜厚度与成膜时的膜厚度大致相同。

[0179] 有时在通过蚀刻法加工半导体层 SEM2 及半导体层 SEM1 的工序中, 绝缘层 BGI3 被蚀刻而膜厚度减少 (发生所谓的膜减少)。另外, 有时在该工序中在绝缘层 BGI3 上沉积成为蚀刻保护膜的聚合物。当在该工序之后通过蚀刻法加工绝缘层 BGI3 时, 沉积在绝缘层 BGI3 上的聚合物妨碍绝缘层 BGI3 的蚀刻反应。因此, 通过使用蚀刻法的加工控制绝缘层 BGI3 的膜厚度是困难的。

[0180] 于是, 优选在通过蚀刻法加工半导体层 SEM2 及半导体层 SEM1 后或者在通过蚀刻法加工绝缘层 BGI3 之前进行氧等离子体处理。通过进行该氧等离子体处理, 可以去除沉积在绝缘层 BGI3 上的聚合物。通过使用该氧等离子体处理去除聚合物后利用蚀刻法加工绝缘层 BGI3, 可以控制绝缘层 BGI3 的膜厚度。因此, 有时可以实现晶体管的微型化或高集成化。另外, 有时可以提高晶体管的生产率。

[0181] 通过进行上述工序, 例如可以去除不与半导体层 SEM2 及半导体层 SEM1 重叠的区域的绝缘层 BGI3, 半导体层 SEM3 可以具有与绝缘层 BGI2 的顶面接触的区域。或者, 可以去除不与半导体层 SEM2 及半导体层 SEM1 重叠的区域的绝缘层 BGI3 的一部分而使与半导体层 SEM2 及半导体层 SEM1 重叠的区域的绝缘层 BGI3 的顶面的高度高于不与半导体层 SEM2 及半导体层 SEM1 重叠的区域的绝缘层 BGI3 的顶面的高度。

[0182] 注意, 氧等离子体处理是指将被照射物暴露于在包含氧气体的气氛中产生的等离子体的处理。氧气体是指氧、臭氧、一氧化二氮等包含氧的氧化性气体。尤其是, 作为氧气体, 优选使用氧或臭氧。注意, 在氧等离子体处理中, 也可以添加稀有气体。通过进行添加稀有气体的氧等离子体处理, 可以降低被照射物表面及表面附近的氢或碳等杂质。

[0183] 如上所述, 通过控制半导体层 SEM1、半导体层 SEM2、半导体层 SEM3、绝缘层 TGI 及绝缘层 BGI3 的膜厚度, 可以制造半导体层 SEM2 的底面的高度与半导体层 SEM2 及半导体层 SEM1 不与导电层 TGE 重叠的区域中的导电层 TGE 的底面的高度大致相同的晶体管。

[0184] 根据本发明的一个方式可以提供一种通态电流大的半导体装置。另外, 根据本发明的一个方式可以提供一种具有高工作频率的半导体装置。此外, 根据本发明的一个方式可以提供一种高可靠性的半导体装置。另外, 根据本发明的一个方式可以提供一种可以实现微型化或高集成化的半导体装置。另外, 根据本发明的一个方式可以提供一种具有良好的电特性的半导体装置。此外, 根据本发明的一个方式可以提供一种生产率高的半导体装置。

[0185] 以上, 本实施方式所示的结构、方法等可以与其他实施方式及实施例所示的结构、方法等适当地组合而实施。

[0186] (实施方式2)

[0187] 在本实施方式中,说明上述实施方式所示的晶体管的结构例子。

[0188] <晶体管的结构例子1>

[0189] 参照图10A至图10C对晶体管200A的结构例子进行说明。图10A是晶体管200A的俯视图。图10B是沿着图10A中的点划线L1-L2所示的部位的截面图。图10C是沿着图10A中的点划线W1-W2所示的部位的截面图。注意,在图10A的俯视图中,为了明确起见,省略一部分构成要素。

[0190] 图10A至图10C示出被用作晶体管200A的层间膜的绝缘层210、绝缘层212、绝缘层214、绝缘层216、绝缘层280、绝缘层282及绝缘层284。另外,还示出与晶体管200A电连接且被用作接触插头的导电层246(导电层246a及导电层246b)以及被用作布线的导电层203。

[0191] 晶体管200A包括被用作第一栅极(也称为顶栅极)的导电层260(导电层260a及导电层260b)、被用作第二栅极(也称为底栅极)的导电层205(导电层205a及导电层205b)、被用作第一栅极绝缘层的绝缘层250、被用作第二栅极绝缘层的绝缘层220、绝缘层222及绝缘层224、具有形成沟道的区域的氧化物230(氧化物230a、氧化物230b及氧化物230c)、被用作源极和漏极中的一个的导电层242a、被用作源极和漏极中的另一个的导电层242b以及绝缘层274。

[0192] 作为层间膜,可以使用氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO_3)、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等绝缘体的单层或叠层。或者,例如也可以对这些绝缘体添加氧化铝、氧化铋、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。或者,也可以对上述绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0193] 例如,绝缘层210优选被用作抑制水或氢等杂质从衬底一侧进入晶体管200A的阻挡膜。因此,作为绝缘层210优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。此外,例如,优选作为绝缘层210使用氧化铝或氮化硅等。通过采用该结构可以抑制水、氢等杂质越过上述绝缘层210从衬底一侧扩散到晶体管200A一侧。

[0194] 例如,绝缘层212的介电常数优选比绝缘层210低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0195] 导电层203以嵌入在绝缘层212中的方式形成。在此,导电层203的顶面的高度与绝缘层212的顶面的高度可以大致相同。注意,虽然示出导电层203为单层结构的情况,但是本发明不局限于此。例如,导电层203也可以具有两层以上的多层膜结构。作为导电层203,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。

[0196] 在晶体管200A中,导电层260有时被用作第一栅极。另外,导电层205有时被用作第二栅极。在此情况下,通过独立地改变施加到导电层205的电位而不使其与施加到导电层260的电位联动,可以控制晶体管200A的阈值电压。尤其是,通过对导电层205施加负电位,可以增大晶体管200A的阈值电压且可以减少关态电流。因此,与不对导电层205施加负电位时相比,在对导电层205施加负电位的情况下,可以减小对导电层260施加的电位为0V时的漏极电流。

[0197] 另外,例如通过将导电层205重叠于导电层260,在对导电层260及导电层205供应电位的情况下,从导电层260产生的电场和从导电层205产生的电场连接,可以覆盖形成在氧化物230中的沟道形成区域。

[0198] 就是说,可以由被用作第一栅极的导电层260的电场和被用作第二栅极的导电层205的电场电围绕沟道形成区域。在本说明书中,将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (S-channel) 结构。

[0199] 与绝缘层210或绝缘层212同样,绝缘层214及绝缘层216被用作层间膜。例如,绝缘层214优选被用作抑制水或氢等杂质从衬底一侧进入晶体管200A的阻挡膜。通过采用该结构可以抑制水、氢等杂质越过绝缘层214从衬底一侧扩散到晶体管200A一侧。例如,绝缘层216的介电常数优选比绝缘层214低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0200] 在被用作第二栅极的导电层205中,在与绝缘层214及绝缘层216的开口的内壁接触的方式形成有导电层205a,其内侧形成有导电层205b。在此,导电层205a及导电层205b的顶面的高度与绝缘层216的顶面的高度可以大致相同。注意,在晶体管200A中层叠有导电层205a和导电层205b,但是本发明不局限于此。例如,导电层205也可以具有单层结构或者三层以上的叠层结构。

[0201] 在此,作为导电层205a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的导电材料。在本说明书中,“抑制杂质或氧的扩散的功能”是指抑制上述杂质或上述氧中的任一个或全部的扩散的功能。

[0202] 例如,通过使导电层205a具有抑制氧的扩散的功能,可以抑制因导电层205b氧化而导致导电率的下降。

[0203] 另外,在导电层205还具有布线的功能的情况下,作为导电层205b,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。在此情况下,不一定需要设置导电层203。在附图中,导电层205b具有单层结构,但是也可以具有叠层结构,例如,可以采用钛、氮化钛和上述导电材料的叠层。

[0204] 另外,在与氧化物230接触的绝缘层224中,优选通过加热使氧脱离。在本说明书中,有时将通过加热脱离的氧称为过剩氧。例如,作为绝缘层224适当地使用氧化硅或氧氮化硅等,即可。通过以与金属氧化物230接触的方式设置包含氧的绝缘层,可以减少金属氧化物230中的氧空位,从而可以提高晶体管200A的可靠性。

[0205] 具体而言,作为绝缘层224,优选使用通过加热使一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在热脱附谱分析法(TDS:Thermal Desorption Spectroscopy)分析中换算为氧原子的氧的脱离量为 1.0×10^{18} atoms/cm³以上,优选为 1.0×10^{19} atoms/cm³以上,进一步优选为 2.0×10^{19} atoms/cm³以上,或者 3.0×10^{20} atoms/cm³以上的氧化物膜。进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0206] 图10示出绝缘层224配置在与氧化物230a及氧化物230b重叠的区域的区域的结构,但不局限于此,也可以配置在不与氧化物230a及氧化物230b重叠的区域。换言之,在不与氧化物

230a及氧化物230b重叠的区域,绝缘层224也可以配置在绝缘层222与氧化物230c间以及绝缘层222与绝缘层274间。

[0207] 绝缘层222优选具有阻挡性。当绝缘层222具有阻挡性时,绝缘层222被用作抑制氢等杂质从晶体管200A的周围部进入晶体管200A的层。

[0208] 作为绝缘层222,例如优选使用包含氧化铝、氧化铪、含有铝及铪的氧化物(铝酸铪)、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO_3)或(Ba,SrTiO_3 (BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时,由于栅极绝缘层的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0209] 例如,绝缘层220优选具有热稳定性。例如,因为氧化硅及氧氮化硅具有热稳定性,所以是优选的。另外,通过high-k材料的绝缘层与氧化硅或氧氮化硅组合,可以形成具有热稳定性且相对介电常数高的叠层结构的绝缘层220。

[0210] 注意,在图10中,第二栅极绝缘层具有三层的叠层结构,但是也可以具有单层结构、两层或四层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0211] 包括被用作沟道形成区域的区域的氧化物230包括氧化物230a、氧化物230a上的氧化物230b及氧化物230b上的氧化物230c。当在氧化物230b之下设置有氧化物230a时,可以防止杂质从形成在氧化物230a下的结构物扩散到氧化物230b。当在氧化物230b之上设置有氧化物230c时,可以防止杂质从形成在氧化物230c的上方的结构物扩散到氧化物230b。作为氧化物230,可以使用以下所示的金属氧化物之一的氧化物半导体。

[0212] 另外,图10所示的晶体管200A具有导电层242(导电层242a及导电层242b)与氧化物230c、绝缘层250及导电层260重叠的区域。通过采用该结构,可以提供一种通态电流高的晶体管。此外,可以提供一种控制性高的晶体管。

[0213] 导电层242可以使用铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨等金属或者以这些金属为主要成分的合金。尤其是,氮化钽等金属氮化物膜具有对氢或氧的阻挡性,并且耐氧化性高,所以是优选的。

[0214] 此外,虽然在图10中示出导电层242具有单层结构,但是也可以采用两层以上的叠层结构。例如,可以层叠氮化钽膜和钨膜。此外,也可以层叠钛膜及铝膜。另外,也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0215] 另外,也可以使用:钛膜或氮化钛膜、在钛膜或氮化钛膜上层叠的铝膜或铜膜以及在其上形成的钛膜或氮化钛膜的三层结构;钼膜或氮化钼膜、在钼膜或氮化钼膜上层叠的铝膜或铜膜以及在其上形成的钼膜或氮化钼膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0216] 此外,也可以在导电层242上设置阻挡层。该阻挡层优选使用对氧或氢具有阻挡性的物质。通过采用该结构,可以抑制在形成绝缘层274时导电层242氧化。

[0217] 上述阻挡层例如可以使用金属氧化物。尤其是,优选使用氧化铝、氧化铪、氧化镓等对氧或氢具有阻挡性的绝缘膜。此外,也可以使用利用CVD法形成的氮化硅。

[0218] 通过包括上述阻挡层,可以扩大导电层242的材料的选择范围。例如,作为导电层

242,可以使用钨或铝等的耐氧化性低且导电性高的材料。另外,例如可以使用容易进行成膜或加工的导电体。

[0219] 当进行晶体管的微型化及高集成化时,由于栅极绝缘层的薄膜化,有时发生泄漏电流等问题。此时,与第二栅极绝缘层同样,绝缘层250也可以具有叠层结构。通过使被用作栅极绝缘层的绝缘体具有high-k材料与具有热稳定性的材料的叠层结构,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,可以实现具有热稳定性及高相对介电常数的叠层结构。

[0220] 被用作第一栅极的导电层260包括导电层260a及导电层260a上的导电层260b。与导电层205a同样,作为导电层260a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0221] 当导电层260a具有抑制氧的扩散的功能时,可以提高导电层260b的材料的选择性。也就是说,通过包括导电层260a,可以抑制导电层260b的氧化,而可以防止导电率的下降。

[0222] 作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钇、氧化钇等。此外,作为导电层260a,可以使用可用于氧化物230的氧化物半导体。在此情况下,通过利用溅射法形成导电层260b,可以降低导电层260a的电阻率而使其成为导电层。通过上述工序形成的导电层260a可以被称为OC(Oxide Conductor)电极。

[0223] 另外,由于导电层260被用作布线,所以优选使用导电性高的导电层。例如,作为导电层260b可以使用以钨、铜或铝为主要成分的导电材料。另外,导电层260b可以具有叠层结构,例如可以具有钛、氮化钛与上述导电材料的叠层。

[0224] 此外,优选以覆盖导电层260的顶面及侧面、绝缘层250的侧面以及氧化物230c的侧面的方式设置绝缘层274。作为绝缘层274优选使用具有抑制水或氢等杂质及氧的扩散的功能的绝缘材料。例如,优选使用氧化铝、氧化钪等。此外,例如还可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钆、氧化钽等的金属氧化物、氮氧化硅、氮化硅等。

[0225] 通过设置绝缘层274,可以抑制导电层260的氧化。此外,通过包括绝缘层274,可以抑制绝缘层280所包含的水、氢等杂质扩散到晶体管200A。

[0226] 与绝缘层214同样,绝缘层282优选被用作抑制水或氢等杂质从外部进入晶体管200A的阻挡绝缘膜。

[0227] 此外,与绝缘层216同样,绝缘层280及绝缘层284的介电常数优选比绝缘层282低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0228] 另外,晶体管200A也可以通过嵌入在绝缘层274、绝缘层280、绝缘层282及绝缘层284中的导电层246等插头或布线电连接到其他结构。

[0229] 另外,与导电层205同样,作为导电层246的材料,可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。例如,优选使用具有耐热性及导电性的钨或钼等高熔点材料。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0230] 例如,作为导电层246,通过采用对氢及氧具有阻挡性的导电体的氮化钽等与导电性高的钨的叠层结构,可以在保持作为布线的导电性的情况下抑制来自外部的杂质扩散。

[0231] 另外,也可以在导电层246与绝缘层280之间设置具有阻挡性的绝缘层276(绝缘层276a及绝缘层276b)。通过设置绝缘层276,可以抑制绝缘层280的氧与导电层246起反应而导致导电层246氧化。

[0232] 另外,通过设置具有阻挡性的绝缘层276,可以扩大用于插头或布线的导电层的材料的选择范围。例如,通过导电层246使用具有吸收氧的性质且具有高导电性的金属材料,可以提供一种低功耗的半导体装置。具体地,可以使用钨、铝等耐氧化性低而导电性高的材料。另外,例如可以使用容易进行成膜或加工的导电层。

[0233] 通过采用上述结构,可以提供一种具有通态电流大的晶体管的半导体装置。另外,可以提供一种包括关态电流低的晶体管的半导体装置。另外,可以提供一种抑制电特性变动而实现具有稳定的电特性及高可靠性的半导体装置。

[0234] <构成材料>

[0235] (衬底)

[0236] 虽然对用于衬底的材料没有较大的限制,但是衬底必需至少具有足够高的耐热性来耐受后面进行的加热处理。例如,作为衬底,可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、以硅锗等为材料的化合物半导体衬底等。此外,也可以使用SOI衬底或者在半导体衬底上设置有应变晶体管或FIN型晶体管等半导体元件的衬底等。另外,也可以使用可用于高电子迁移率晶体管(HEMT:High Electron Mobility Transistor)的砷化镓、砷化铝镓、砷化铟镓、氮化镓、磷化铟、硅锗等。也就是说,衬底不仅是支撑衬底,也可以是形成有晶体管等其他装置的衬底。

[0237] 此外,作为衬底,可以使用硼硅酸钡玻璃和硼硅酸铝玻璃等玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。此外,作为衬底可以使用柔性衬底。当使用柔性衬底时,既可以在柔性衬底上直接制造晶体管或电容器等,又可以在其他制造衬底上制造晶体管或电容器等,然后剥离该晶体管而将它转置到柔性衬底上。另外,为了从制造衬底剥离晶体管和电容器等并将其转置到柔性衬底上,优选在制造衬底与晶体管和电容器等之间设置剥离层。

[0238] 作为柔性衬底,例如可以使用金属、合金、树脂、玻璃或其纤维等。被用作衬底的柔性衬底的线性膨胀系数越低,因环境而发生的变形越得到抑制,所以是优选的。被用作衬底的柔性衬底例如可以使用线性膨胀系数为 $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下或 $1 \times 10^{-5}/K$ 以下的材料。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。尤其是,芳族聚酰胺的线性膨胀系数较低,因此适合于柔性衬底。

[0239] (绝缘层)

[0240] 绝缘层采用如下材料的单层或叠层,该材料选自氮化铝、氧化铝、氮氧化铝、氧氮化铝、氧化镁、氮化硅、氧化硅、氮氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铈、氧化钽、铝硅酸盐等。另外,也可以使用在氧化物材料、氮化物材料、氧氮化物材料、氮氧化物材料中混合其多种的材料。

[0241] 注意,在本说明书等中,氮氧化物是指氮含量大于氧含量的化合物。另外,氧氮化物是指氧含量大于氮含量的化合物。另外,例如可以使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)等来测定各元素的含量。

[0242] 另外,当将为金属氧化物的一种的氧化物半导体用作半导体层时,为了防止半导体层中的氢浓度增加,优选降低绝缘层中的氢浓度。具体而言,绝缘层中的利用二次离子质

谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量的氢浓度为 2×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 1×10^{19} atoms/cm³以下,进一步优选为 5×10^{18} atoms/cm³以下。

[0243] 另外,为了防止半导体层中的氮浓度增加,优选降低绝缘层中的氮浓度。具体而言,绝缘层中的利用SIMS测量的氮浓度为 5×10^{19} atoms/cm³以下,优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0244] 绝缘层中的至少与半导体层接触的区域缺陷优选少,典型的是通过电子自旋共振法(ESR:Electron Spin Resonance)观察的信号优选少。例如,作为上述信号,可以举出在g值为2.001处观察到的E'中心的信号。E'中心起因于硅的悬空键。例如,作为绝缘层使用氧化硅层或氧氮化硅层时,可以使用起因于E'中心的自旋密度为 3×10^{17} spins/cm³以下、优选为 5×10^{16} spins/cm³以下的氧化硅层或氧氮化硅层。

[0245] 有时观察到除了上述信号以外起因于二氧化氮(NO₂)的信号。该信号因氮的核自旋而分裂成三个信号,各个g值观察在2.037以上且2.039以下(第一信号)、g值为2.001以上且2.003以下(第二信号)及g值为1.964以上且1.966以下(第三信号)处。

[0246] 例如,作为绝缘层优选使用起因于二氧化氮(NO₂)的信号的自旋密度为 1×10^{17} spins/cm³以上且低于 1×10^{18} spins/cm³的绝缘层。

[0247] 二氧化氮(NO₂)的氮氧化物(NO_x)在绝缘层中形成能级。该能级位于氧化物半导体层的能隙中。由此,当氮氧化物(NO_x)扩散到绝缘层与氧化物半导体层的界面时,有时该能级在绝缘层一侧俘获电子。其结果是,被俘获的电子留在绝缘层与氧化物半导体层的界面附近,由此使晶体管的阈值电压向正方向漂移。因此,通过作为绝缘层使用氮氧化物的含量少的膜,可以降低晶体管的阈值电压的漂移。

[0248] 作为氮氧化物(NO_x)的释放量少的绝缘层例如可以使用氧氮化硅层。该氧氮化硅层是在TDS中氮释放量多于氮氧化物(NO_x)的释放量的膜,典型的是氮释放量为 1×10^{18} molecules/cm³以上且 5×10^{19} molecules/cm³以下。另外,上述氮释放量为在TDS中在加热处理的温度为50℃以上且650℃以下或者50℃以上且550℃以下的范围内的总量。

[0249] 由于当进行加热处理时,氮氧化物(NO_x)与氮及氧起反应,所以通过使用氮释放量多的绝缘层可以减少氮氧化物(NO_x)。

[0250] 与氧化物半导体层接触的绝缘层中的至少一个优选使用通过加热释放氧的绝缘层形成。具体来说,优选使用如下绝缘层:在进行TDS分析(其中进行层表面温度为100℃以上且700℃以下,优选为100℃以上且500℃以下的加热处理)时换算为氧原子的氧的脱离量为 1.0×10^{18} atoms/cm³以上, 1.0×10^{19} atoms/cm³以上,或者 1.0×10^{20} atoms/cm³以上。

[0251] 包含过剩氧的绝缘层可以进行对绝缘层添加氧的处理来形成。作为氧添加处理,可以使用氧化气氛下的热处理、等离子体处理等进行。或者,也可以利用离子注入法、离子掺杂法、等离子体浸没离子注入法等进行氧添加。作为氧添加处理所使用的气体,可以举出¹⁶O₂或¹⁸O₂等氧气体、一氧化二氮气体或臭氧气体等的含氧气体。注意,在本说明书中,有时将添加氧的处理称为“氧掺杂处理”。氧掺杂处理也可以边对衬底进行加热边进行。

[0252] 作为绝缘层,可以使用聚酰亚胺、丙烯酸类树脂、苯并环丁烯类树脂、聚酰胺、环氧类树脂等具有耐热性的有机材料。此外,除了上述有机材料以外,还可以使用低介电常数材料(low-k材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以通过层

醌二甲烷、聚噻吩、聚乙炔、聚对亚苯基亚乙烯基等。

[0266] 半导体层也可以采用叠层结构。当半导体层采用叠层结构时,可以使用具有不同结晶状态的半导体,也可以使用不同半导体材料。

[0267] 另外,由于为金属氧化物的一种的氧化物半导体的带隙为2eV以上,当作为半导体层使用氧化物半导体时,可以实现关态电流极小的晶体管。具体而言,可以使源极与漏极间的电压为3.5V且室温(典型地为25℃)下的每沟道宽度为1 μ m的关态电流为低于 1×10^{-20} A,优选低于 1×10^{-22} A,更优选低于 1×10^{-24} A。就是说,导通截止比可以为20位数以上。另外,在作为半导体层使用氧化物半导体的晶体管(OS晶体管)中,源极与漏极间的绝缘耐压高。由此,可以提供一种可靠性良好的晶体管。另外,可以提供一种输出电压大且高耐压的晶体管。另外,可以提供一种可靠性良好的存储装置等。另外,可以提供一种输出电压大且高耐压的存储装置。

[0268] 此外,在本说明书等中,将在形成沟道的半导体层中使用具有结晶性的硅的晶体管称为“晶体Si晶体管”。

[0269] 与OS晶体管相比,晶体Si晶体管可以容易得到较高的迁移率。另一方面,晶体Si晶体管难以实现如OS晶体管那样的极小的关态电流。因此,用于半导体层的半导体材料根据其目的和用途适当地选择是重要的。例如,根据目的或用途,可以使用OS晶体管和晶体Si晶体管等的组合。

[0270] 当作为半导体层使用氧化物半导体层时,优选通过溅射法形成氧化物半导体层。通过溅射法形成的氧化物半导体层的密度较高,所以是优选的。在通过溅射法形成氧化物半导体层的情况下,作为溅射气体,可以使用稀有气体(典型为氩)、氧或稀有气体和氧的混合气体。另外,需要进行溅射气体的高纯度化。例如,作为用作溅射气体的氧气体或稀有气体,使用露点为-60℃以下,优选为-100℃以下的高纯度气体。通过使用高纯度溅射气体进行成膜,可以尽可能地防止水分等混入氧化物半导体层中。

[0271] 在通过溅射法形成氧化物半导体层的情况下,优选尽可能地去掉溅射装置所具有的成膜处理室内的水分。例如,优选使用低温泵等吸附式真空泵对成膜处理室进行高真空抽气(抽空到 5×10^{-7} Pa至 1×10^{-4} Pa左右)。尤其是,在溅射装置的待机时成膜处理室内的相当于H₂O的气体分子(相当于m/z=18的气体分子)的分压优选为 1×10^{-4} Pa以下,更优选为 5×10^{-5} Pa以下。

[0272] (金属氧化物)

[0273] 作为金属氧化物之一的氧化物半导体优选至少包含镧或铈。尤其优选包含镧及铈。另外,除此之外,优选还包含铝、镓、铋或锡等。或者,也可以包含硼、钛、铁、镍、锗、锆、钼、镉、铟、铪、钽、钎、钨、镁等中的一种或多种。

[0274] 在此,考虑氧化物半导体包含镧、元素M及铈的情况。注意,元素M表示铝、镓、铋或锡等。作为可用作元素M的其他元素,有硼、钛、铁、镍、锗、锆、钼、镉、铟、铪、钽、钎、钨、镁等。注意,作为元素M有时也可以组合多个上述元素。

[0275] 另外,在本说明书等中,有时将包含氮的金属氧化物称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0276] [金属氧化物的结构]

[0277] 金属氧化物之一的氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半

导体。作为非单晶氧化物半导体例如有CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0278] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0279] 纳米晶基本上为六角形,但是不局限于正六角形,有时为非正六角形。另外,纳米晶有时在畸变中具有五角形或七角形等晶格排列。另外,在CAAC-OS中,即使在畸变附近也观察不到明确的晶界(grainboundary)。即,可知由于晶格排列畸变,可抑制晶界的形成。这是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0280] CAAC-OS有具有层状结晶结构(也称为层状结构)的倾向,在该层状结晶结构中层叠有包含铟及氧的层(下面称为In层)和包含元素M、锌及氧的层(下面称为(M,Zn)层)。另外,铟和元素M彼此可以取代,在用铟取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为(In,M)层。

[0281] CAAC-OS是结晶性高的金属氧化物。另一方面,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。此外,金属氧化物的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的金属氧化物。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及高可靠性。

[0282] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0283] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的金属氧化物。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0284] 氧化物半导体(金属氧化物)具有各种结构及各种特性。氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0285] [具有金属氧化物的晶体管]

[0286] 接着,说明将上述金属氧化物用于晶体管的沟道形成区域的情况。

[0287] 通过将上述金属氧化物用于晶体管的沟道形成区域,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0288] 另外,优选将载流子密度低的金属氧化物用于晶体管。在降低金属氧化物膜的载流子密度的情况下,降低金属氧化物膜中的杂质浓度而降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。例如,金属氧化物中的载流子密度可以低于 $8 \times 10^{11}/\text{cm}^3$,优选低于 $1 \times 10^{11}/\text{cm}^3$,更优选低于 $1 \times 10^{10}/\text{cm}^3$,且为 $1 \times 10^{-9}/\text{cm}^3$ 以上。

[0289] 因为高纯度本征或实质上高纯度本征的金属氧化物膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0290] 此外,被金属氧化物的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在陷阱态密度高的金属氧化物中具有沟道形成区域的晶体管的电特性有时不稳定。

[0291] 因此,为了使晶体管的电特性稳定,减少金属氧化物中的杂质浓度是有效的。为了降低金属氧化物中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0292] [杂质]

[0293] 在此,说明金属氧化物中的各杂质的影响。

[0294] 在金属氧化物包含属于第14族元素的硅或碳时,在金属氧化物中形成缺陷态。因此,将金属氧化物中的硅或碳的浓度及金属氧化物的界面附近的硅或碳的浓度(通过SIMS测得的浓度)设定为 2×10^{18} atoms/cm³以下,优选为 2×10^{17} atoms/cm³以下。

[0295] 另外,当金属氧化物包含碱金属或碱土金属时,有时形成缺陷态而形成载流子。因此,作为沟道形成区域使用包含碱金属或碱土金属的金属氧化物的晶体管容易具有常开启特性。由此,优选降低金属氧化物中的碱金属或碱土金属的浓度。具体而言,使通过SIMS测得的金属氧化物中的碱金属或碱土金属的浓度为 1×10^{18} atoms/cm³以下,优选为 2×10^{16} atoms/cm³以下。

[0296] 当金属氧化物包含氮时,产生作为载流子的电子,并载流子密度增加,而金属氧化物容易被n型化。其结果是,在将包含氮的金属氧化物用于沟道形成区域的晶体管容易具有常开启特性。因此,在该金属氧化物中,优选尽可能地减少沟道形成区域中的氮。例如,利用SIMS测得的金属氧化物中的氮浓度低于 5×10^{19} atoms/cm³,优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0297] 包含在金属氧化物中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时会生成作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,作为沟道形成区域使用包含氢的金属氧化物的晶体管容易具有常开启特性。由此,优选尽可能减少金属氧化物中的氢。具体而言,将利用SIMS分析测得的金属氧化物中的氢浓度设定为低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。

[0298] 通过将杂质被充分降低的金属氧化物用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0299] 作为用于晶体管的半导体的金属氧化物,优选使用结晶性高的薄膜。通过使用该薄膜可以提高晶体管的稳定性或可靠性。作为该薄膜,例如,可以举出单晶金属氧化物薄膜或多晶金属氧化物薄膜。但是,在衬底上形成单晶金属氧化物薄膜或多晶金属氧化物薄膜需要进行高温或激光加热的工序。因此,制造工序的成本变高且处理量下降。

[0300] 非专利文献1及非专利文献2中报告了2009年发现了具有CAAC结构的In-Ga-Zn氧化物(也称为CAAC-IGZO)。在非专利文献1及非专利文献2中,报告了CAAC-IGZO具有c轴取向性、晶界不明确、可以低温形成在衬底上。另外,还报告了使用CAAC-IGZO的晶体管具有优良的电特性及可靠性。

[0301] 另外,2013年发现了具有nc结构的In-Ga-Zn氧化物(称为nc-IGZO)(参照非专利文献3)。在此报告了nc-IGZO在微小的区域(例如,1nm以上且3nm以下的区域)中的原子排列具有周期性,在不同区域间观察不到结晶取向的规律性。

[0302] 非专利文献4及非专利文献5示出分别对上述CAAC-IGZO、nc-IGZO及结晶性低的IGZO的薄膜照射电子束时的平均结晶尺寸的推移。在结晶性低的IGZO薄膜中,在对其照射电子束之前就能够观察到1nm左右的结晶性IGZO。因此,在非专利文献4及非专利文献5中报告了在IGZO中没能确认到完全的非晶结构(completely amorphous structure)的存在。再者,公开了与结晶性低的IGZO薄膜相比CAAC-IGZO薄膜及nc-IGZO薄膜的相对于电子束照射的稳定性较高。因此,作为晶体管的半导体优选使用CAAC-IGZO薄膜或nc-IGZO薄膜。

[0303] 非专利文献6公开了使用金属氧化物的晶体管在非导通状态下的泄漏电流极低,具体而言,晶体管的每沟道宽度1 μm 的关态电流为 $\text{yA}/\mu\text{m}$ ($10^{-24}\text{A}/\mu\text{m}$)等级(order)。例如,已公开了一种应用了使用金属氧化物的晶体管的泄漏电流低这一特性的低功耗CPU等(参照非专利文献7)。

[0304] 另外,还有利用使用金属氧化物的晶体管的泄漏电流低这一特性将该晶体管应用于显示装置的报告(参照非专利文献8)。在显示装置中,显示图像在1秒间被切换数十次。每1秒钟的图像切换次数被称为“刷新频率”。另外,刷新频率有时被称为“驱动频率”。这样的人眼难以识别的高速画面切换被认为是导致眼睛疲劳的原因。于是,提出了降低显示装置的刷新频率以减少图像改写次数的技术。刷新频率得到降低的驱动可以减少显示装置的功耗。将该驱动方法称为“空转停止(IDS)驱动”。

[0305] CAAC结构及nc结构的发现有助于使用CAAC结构或具有nc结构的金属氧化物的晶体管的电特性及可靠性的提高、制造工序的成本的降低以及处理量的提高。另外,已进行利用上述晶体管的泄漏电流低这一特性将该晶体管应用于显示装置及LSI的研究。

[0306] <成膜方法>

[0307] 用来形成绝缘层的绝缘材料、用来形成电极的导电材料或用来形成半导体层的半导体材料可以利用溅射法、旋涂法、化学气相沉积(CVD:Chemical Vapor Deposition)法(包括热CVD法、MOCVD(Metal Organic Chemical Vapor Deposition,有机金属CVD)法、PECVD(Plasma Enhanced CVD,等离子体增强CVD)法、高密度等离子体CVD(High density plasma CVD)法、LPCVD(low pressure CVD,减压CVD)法、APCVD(atmospheric pressure CVD,常压CVD)法等)、ALD(Atomic Layer Deposition,原子层沉积)法、或MBE(Molecular Beam Epitaxy,分子束外延)法、PLD(Pulsed Laser Deposition,脉冲激光沉积)法、浸涂法、喷涂法、液滴喷射法(喷墨法等)、印刷法(丝网印刷、胶版印刷等)等形成。

[0308] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。在利用不使用等离子体的诸如MOCVD法、ALD法或热CVD法等成膜方法的情况下,在被形成面不容易产生损伤。例如,包括在存储装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在存储装置中的布线、电极、元件等受损伤。另一方面,在采用不使用等离子体的成膜方法的情况下,因为不发生这种等离子体损伤,所以能够提高存储装置的成品率。此外,不生成膜时的等离子体损伤,所以能够得到缺陷较少的膜。

[0309] 不同于从靶材等中被释放的粒子沉积的成膜方法,CVD法及ALD法是因被处理物表

面的反应而形成膜的形成方法。因此,通过CVD法及ALD法形成的膜不易受被处理物的形状的影响而具有良好的台阶覆盖性。尤其是,通过ALD法形成的膜具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于形成覆盖纵横比高的开口部的表面的膜。但是,ALD法的成膜速度比较慢,所以有时优选与成膜速度快的CVD法等其他成膜方法组合而使用。

[0310] CVD法或ALD法可以通过调整源气体的流量比控制所得到的膜的组成。例如,当使用CVD法或ALD法时,可以通过调整源气体的流量比形成任意组成的膜。此外,例如,当使用CVD法或ALD法时,可以通过一边形成膜一边改变源气体的流量比来形成其组成连续变化的膜。在一边改变源气体的流量比一边形成膜时,因为可以省略传送及调整压力所需的时间,所以与使用多个成膜室进行成膜的情况相比可以使其成膜时所需的时间缩短。因此,有时可以提高存储装置的生产率。

[0311] 注意,在利用ALD法进行成膜的情况下,作为材料气体优选使用不包含氯的气体。

[0312] <晶体管的结构例子2>

[0313] 参照图11A至图11C对晶体管200B的结构例子进行说明。图11A是晶体管200B的俯视图。图11B是沿着图11A中的点划线L1-L2所示的部位的截面图。图11C是沿着图11A中的点划线W1-W2所示的部位的截面图。注意,在图11A的俯视图中,为了明确起见,省略一部分构成要素。

[0314] 晶体管200B是晶体管200A的变形例子。因此,为了防止重复说明,主要对其与晶体管200A的不同之处进行说明。

[0315] 在图11所示的晶体管200B中,氧化物230c、绝缘层250及导电层260隔着绝缘层274配置在设置于绝缘层280的开口部内。另外,氧化物230c、绝缘层250及导电层260配置在导电层242a与导电层242b之间。

[0316] 另外,氧化物230c优选隔着绝缘层274形成在设置于绝缘层280的开口部内。当绝缘层274具有阻挡性时,可以抑制绝缘层280所包含的杂质扩散到氧化物230。

[0317] 绝缘层250优选隔着氧化物230c及绝缘层274形成在设置于绝缘层280的开口部内。

[0318] 在绝缘层280与晶体管200B间配置绝缘层274。作为绝缘层274优选使用具有抑制水或氢等杂质及氧的扩散的功能的绝缘材料。例如,优选使用氧化铝、氧化钪等。此外,例如还可以使用氧化镁、氧化镓、氧化锗、氧化铋、氧化锆、氧化镧、氧化钕、氧化钽等的金属氧化物、氮氧化硅、氮化硅等。

[0319] 通过包括绝缘层274,可以抑制绝缘层280中的水、氢等杂质通过氧化物230c及绝缘层250扩散到氧化物230b中。此外,可以抑制绝缘层280所包含的过剩氧使导电层260氧化。

[0320] <晶体管的结构例子3>

[0321] 参照图12A至图12C对晶体管200C的结构例进行说明。图12A是晶体管200C的俯视图。图12B是沿着图12A中的点划线L1-L2所示的部位的截面图。图12C是沿着图12A中的点划线W1-W2所示的部位的截面图。注意,在图12A的俯视图中,为了明确起见,省略一部分构成要素。

[0322] 晶体管200C是晶体管200B的变形例子。因此,为了防止重复说明,主要对其与晶体管200B的不同之处进行说明。

[0323] 图12所示的晶体管200C在导电层242a与氧化物230b间配置导电层247a且在导电层242b与氧化物230b间配置导电层247b。在此,导电层242a(导电层242b)具有超过导电层247a(导电层247b)的顶面及导电层260一侧的侧面延伸并与氧化物230b的顶面接触的区域。在此,导电层247(导电层247a及导电层247b)使用可用于导电层242(导电层242a及导电层242b)的导电体即可。此外,优选导电层247的膜厚度至少厚于导电层242。

[0324] 由于图12所示的晶体管200C具有上述结构,与晶体管200B相比,可以将导电层242靠近导电层260。或者,可以将导电层242a的端部及导电层242b的端部重叠于导电层260。由此,可以减少晶体管200C的实质上的沟道长度,以提高通态电流及工作频率特性。

[0325] 此外,导电层247a(导电层247b)优选与导电层242a(导电层242b)重叠。通过采用该结构,在形成埋导电层246a(导电层246b)的开口的蚀刻时,导电层247a(导电层247b)被用作蚀刻停止层而可以防止氧化物230b的过蚀刻。

[0326] 此外,在图12所示的晶体管200C中,也可以以接触于绝缘层244之上的方式配置绝缘层245。绝缘层244优选被用作抑制水或氢等杂质或过剩氧从绝缘层280一侧进入晶体管200C的阻挡绝缘膜。作为绝缘层245可以使用可用于绝缘层244的绝缘体。此外,作为绝缘层245,例如也可以使用氮化铝、氮化铝、氮化钛、氮化硅或氮氧化硅等氮化物绝缘体。

[0327] 另外,与图11所示的晶体管200B不同,在图12所示的晶体管200C的导电层205可以具有单层结构。此时,可以在已形成图案的导电层205上形成成为绝缘层216的绝缘膜,通过利用化学机械抛光(CMP)法等直到导电层205的顶面露出为止去除该绝缘膜的顶部。在此,优选使导电层205的顶面的平坦性良好。例如,导电层205的顶面的平均表面粗糙度(Ra)为1nm以下,优选为0.5nm以下,更优选为0.3nm以下即可。由此,可以提高形成在导电层205上的绝缘层的平坦性,并提高氧化物230b及氧化物230c的结晶性。

[0328] <晶体管的结构例子4>

[0329] 参照图13A至图13C对晶体管200D的结构例进行说明。图13A是晶体管200D的俯视图。图13B是沿着图13A中的点划线L1-L2所示的部位的截面图。图13C是沿着图13A中的点划线W1-W2所示的部位的截面图。注意,在图13A的俯视图中,为了明确起见,省略一部分构成要素。

[0330] 晶体管200D是上述晶体管的变形例子。因此,为了防止重复说明,主要对其与上述晶体管的不同之处进行说明。

[0331] 在图13A至图13C中,将具有第二栅极的功能的导电层205还用作布线而不设置导电层203。另外,在氧化物230c上设置有绝缘层250且在绝缘层250上设置有金属氧化物252。此外,在金属氧化物252上包括导电层260,在导电层260上包括绝缘层270。此外,在绝缘层270上包括绝缘层271。

[0332] 金属氧化物252优选具有抑制氧扩散的功能。通过在绝缘层250与导电层260之间设置抑制氧扩散的金属氧化物252,向导电层260的氧扩散得到抑制。换言之,可以抑制对氧化物230供应的氧量的减少。另外,可以抑制因氧所导致的导电层260的氧化。

[0333] 另外,金属氧化物252可以被用作第一栅极的一部分。例如,可以将可用作氧化物230的氧化物半导层用于金属氧化物252。在此情况下,通过利用溅射法形成导电层260,可以降低金属氧化物252的电阻率而使其成为导电层。

[0334] 另外,金属氧化物252有时被用作第一栅极绝缘层的一部分。因此,在将氧化硅或

氮化硅等用于绝缘层250的情况下,作为金属氧化物252优选使用作为相对介电常数高的high-k材料的金属氧化物。通过采用该叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少被用作栅极绝缘层的绝缘层的等效氧化物厚度(EOT)。

[0335] 虽然示出晶体管200D中的金属氧化物252是单层的结构,但是也可以采用两层以上的叠层结构。例如,可以将被用作第一栅极的一部分的金属氧化物与被用作第一栅极绝缘层的一部分的金属氧化物层叠。

[0336] 当将金属氧化物252用作第一栅极时,可以在不减弱来自导电层260的电场的影响的情况下提高晶体管200D的通态电流。另外,当将金属氧化物252用作第一栅极绝缘层时,通过利用绝缘层250及金属氧化物252的物理厚度保持导电层260与氧化物230之间的距离,可以抑制导电层260与氧化物230之间的泄漏电流。由此,通过设置绝缘层250与金属氧化物252的叠层结构,可以容易调节导电层260与氧化物230之间的物理距离及从导电层260施加到氧化物230的电场强度。

[0337] 具体而言,可以通过使可用于氧化物230的氧化物半导体低电阻化来将其用作金属氧化物252。或者,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。

[0338] 尤其是,优选使用作为包含铝和铪中的一方或双方的氧化物的绝缘层的氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。尤其是,铝酸铪的耐热性比氧化铪高。因此,在后面的工序的热处理中不容易晶化,所以是优选的。此外,不需要必须设置该金属氧化物252。根据所需要的晶体管特性,适当地设计即可。

[0339] 作为绝缘层270优选使用具有抑制水或氢等杂质及氧的透过的功能的绝缘材料。例如,优选使用氧化铝、氧化铪等。由此,可以防止导电层260因来自绝缘层270的上方的氧而氧化。另外,可以抑制来自绝缘层270的上方的水或氢等杂质通过导电层260及绝缘层250进入氧化物230中。

[0340] 绝缘层271被用作硬掩模。通过设置绝缘层271,可以以其侧面与衬底表面大致垂直的方式对导电层260进行加工,具体而言,可以使导电层260的侧面与衬底表面所形成的角度为75度以上且100度以下,优选为80度以上且95度以下。

[0341] 此外,也可以通过作为绝缘层271使用抑制水或氢等杂质及氧的透过的功能的绝缘材料,来将绝缘层271兼作用阻挡层。在此情况下,也可以不设置绝缘层270。

[0342] 通过将绝缘层271用作硬掩模,选择性地去除绝缘层270、导电层260、金属氧化物252、绝缘层250及金属氧化物230c的一部分,可以使它们的侧面大致对齐,且使金属氧化物230b的表面的一部分露出。

[0343] 此外,晶体管200D在露出的氧化物230b的表面的一部分具有区域231a及区域231b。区域231a和区域231b中的一个被用作源区域,另一个被用作漏区域。

[0344] 例如通过利用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理等,对露出的氧化物230b的表面引入磷或硼等杂质元素,来可以形成区域231a及区域231b。注意,在本实施方式等中,“杂质元素”是指主要成分元素之外的元素。

[0345] 此外,也可以在使氧化物230b的表面的一部分露出之后形成金属膜,然后进行加热处理,来将包含在该金属膜中的元素扩散到氧化物230b中,由此形成区域231a及区域

231b。

[0346] 被引入杂质元素的金属氧化物230b的一部分区域的电阻率下降。由此,有时将区域231a及区域231b称为“杂质区域”或“低电阻区域”。

[0347] 通过将绝缘层271或导电层260用作掩模,可以自对准地形成区域231a及区域231b。因此,区域231a和/或区域231b不与导电层260重叠,可以减小寄生电容。此外,偏置区域不形成在沟道形成区域与源区域或漏区域(区域231a或区域231b)之间。通过自对准地形成区域231a及区域231b,可以实现通态电流的增加、阈值电压的降低、工作频率的提高等。

[0348] 此外,为了进一步降低关态电流,也可以在沟道形成区域与源区域或漏区域之间设置偏置区域。偏置区域是电阻率高的区域,且是不被进行上述杂质元素的引入的区域。通过在形成绝缘层275后进行上述杂质元素的引入,可以形成偏置区域。在此情况下,与绝缘层271等同样,绝缘层275也被用作掩模。因此,氧化物230b的与绝缘层275重叠的区域不被引入杂质元素,由此可以将该区域的电阻率保持为高。

[0349] 晶体管200D在绝缘层270、导电层260、金属氧化物252、绝缘层250及金属氧化物230c的侧面包括绝缘层275。绝缘层275优选为相对介电常数低的绝缘层。例如,优选使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。尤其是,当将氧化硅、氧氮化硅、氮氧化硅或具有空孔的氧化硅用于绝缘层275时,在后面的工序中可在绝缘层275中容易形成过剩氧区域,所以是优选的。另外,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此外,绝缘层275优选具有扩散氧的功能。

[0350] 另外,晶体管200D在绝缘层275及氧化物230上包括绝缘层274。绝缘层274优选利用溅射法形成。通过利用溅射法,可以形成水或氢等杂质少的绝缘体。例如,作为绝缘层274,优选使用氧化铝。

[0351] 有时利用溅射法形成的氧化膜从被形成的结构体抽出氢。因此,绝缘层274从氧化物230及绝缘层275抽出氢及水,来可以降低氧化物230及绝缘层275的氢浓度。

[0352] 〈晶体管的结构例子5〉

[0353] 参照图14A至图14C对晶体管200E的结构例进行说明。图14A是晶体管200E的俯视图。图14B是沿着图14A中的点划线L1-L2所示的部位的截面图。图14C是沿着图14A中的点划线W1-W2所示的部位的截面图。注意,在图14A的俯视图中,为了明确起见,省略一部分构成要素。

[0354] 晶体管200E是晶体管200B的变形例子。因此,为了防止重复说明,主要对其与晶体管200B的不同之处进行说明。

[0355] 在图14A至图14C中,在所露出的氧化物230b表面的一部分设置区域231a及区域231b而不设置导电层242。区域231a和区域231b中的一个被用作源区域,另一个被用作漏区域。另外,在氧化物230b与绝缘层274间设置有绝缘层273。

[0356] 图14所示的区域231(区域231a及区域231b)是对氧化物230b添加使氧化物230b低电阻化的元素的区域。区域231例如可以利用伪栅极形成。

[0357] 具体而言,在氧化物230b上设置伪栅极,将该伪栅极用作掩模,对氧化物230b添加使该氧化物230b低电阻化的元素。也就是说,该元素被添加到氧化物230的不与该伪栅极重叠的区域中,由此形成区域231。作为该元素的添加方法,可以使用:对离子化了的源气体进

行质量分离而添加的离子注入法;不对离子化了的源气体进行质量分离而添加的离子掺杂法;以及等离子体浸没离子注入法等。

[0358] 作为使氧化物230低电阻化的元素,典型的有硼或磷。另外,也可以使用氢、碳、氮、氟、硫、氯、钛、稀有气体等。作为稀有气体的典型例子有氦、氖、氩、氪及氙等。该元素的浓度可以利用SIMS等进行测量。

[0359] 尤其是,硼及磷可以使用非晶硅或低温多晶硅的生产线的装置,所以是优选的。可以使用已有的设置,由此可以降低设备投资。

[0360] 接着,也可以在氧化物230b及上述伪栅极上形成成为绝缘层273的绝缘膜及成为绝缘层274的绝缘膜。通过设置成为绝缘层273的绝缘膜和成为绝缘层274的绝缘膜的叠层,可以设置区域231与氧化物230c及绝缘层250重叠的区域。

[0361] 具体而言,在成为绝缘层274的绝缘膜上设置成为绝缘层280的绝缘膜,然后对成为绝缘层280的绝缘膜进行CMP (Chemical Mechanical Polishing) 处理,去除成为绝缘层280的绝缘膜的一部分,使上述伪栅极露出。接着,在去除上述伪栅极时,优选还去除与上述伪栅极接触的成为绝缘层273的绝缘膜的一部分。由此,在设置于绝缘层280中的开口部的侧面,绝缘层274及绝缘层273露出,在该开口部的底面,设置在氧化物230b中的区域231的一部分露出。接着,在该开口部依次形成成为氧化物230c的氧化膜、成为绝缘层250的绝缘膜及成为导电层260的导电膜,然后利用CMP处理等直到绝缘层280露出为止去除成为氧化物230c的氧化膜、成为绝缘层250的绝缘膜及成为导电层260的导电膜的一部分,由此可以形成图14所示的晶体管200E。

[0362] 此外,不需要必须设置绝缘层273、绝缘层274。根据所需要的晶体管特性,适当地设计即可。

[0363] 图14所示的晶体管200E可以利用已有的装置,另外,由于不设置导电层242,由此可以降低成本。

[0364] 本实施方式可以与其他实施方式、实施例等所记载的结构适当地组合而实施。

[0365] (实施方式3)

[0366] 在本实施方式中,参照图15至图16,对根据本发明的一个方式的使用将氧化物用于半导体的晶体管(以下有时称为0S晶体管)及电容器的存储装置(以下有时称为0S存储装置)进行说明。0S存储装置是至少包括电容器和控制该电容器的充放电的0S晶体管的存储装置。因0S晶体管的关态电流极小所以0S存储装置具有优良的保持特性,从而可以被用作非易失性存储器。

[0367] 〈存储装置的结构例子〉

[0368] 图15A示出0S存储装置的结构的一个例子。存储装置1400包括外围电路1411及存储单元阵列1470。外围电路1411包括行电路1420、列电路1430、输出电路1440、控制逻辑电路1460。

[0369] 列电路1430例如包括列译码器、预充电电路、读出放大器、写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意,上述布线是连接到存储单元阵列1470所包括的存储单元的布线,下面描述其详细内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外,行电路1420例如包括行译码器、字线驱动器电路等,并可以选择要存取的行。

[0370] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WE、RE)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,数据信号WDATA被输入到写入电路。

[0371] 控制逻辑电路1460对来自外部的控制信号(CE、WE、RE)进行处理来生成行译码器及列译码器的控制信号。控制信号CE是芯片使能信号,控制信号WE是写入使能信号,并且控制信号RE是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0372] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接存储单元阵列1470和行电路1420的布线的数量取决于存储单元MC的结构、包括在一个列中的存储单元MC的数量等。此外,连接存储单元阵列1470和列电路1430的布线的数量取决于存储单元MC的结构、包括在一个行中的存储单元MC的数量等。

[0373] 另外,虽然在图15A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图15B所示,也可以以重叠于外围电路1411的一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。

[0374] 图16说明能够适用于上述存储单元MC的存储单元的结构例子。

[0375] [DOSRAM]

[0376] 图16A至图16C示出DRAM的存储单元的电路结构例子。在本说明书等中,有时将使用1O5晶体管1电容器型存储单元的DRAM称为DOSRAM。图16A所示的存储单元1471包括晶体管M1及电容器CA。另外,晶体管M1包括栅极(有时称为顶栅极)及背栅极。

[0377] 晶体管M1的第一端子与电容器CA的第一端子连接,晶体管M1的第二端子与布线BIL连接,晶体管M1的栅极与布线WOL连接,晶体管M1的背栅极与布线BGL连接。电容器CA的第二端子与布线CAL连接。

[0378] 布线BIL被用作位线,布线WOL被用作字线。布线CAL被用作用来对电容器CA的第二端子施加指定的电位的布线。在数据的写入及读出时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M1的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M1的阈值电压。

[0379] 此外,存储单元MC不局限于存储单元1471,而可以改变其电路结构。例如,存储单元MC也可以采用如图16B所示的存储单元1472那样的晶体管M1的背栅极不与布线BGL连接,而与布线WOL连接的结构。另外,例如,存储单元MC也可以是如图16C所示的存储单元1473那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M1构成的存储单元。

[0380] 在将上述实施方式所示的半导体装置用于存储单元1471等的情况下,作为晶体管M1可以使用之前的实施方式所示的晶体管。通过作为晶体管M1使用OS晶体管,可以使晶体管M1的泄漏电流为极小。换言之,因为可以由晶体管M1长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极小,因此可以将多值数据或模拟数据保持在存储单元1471、存储单元1472、存储单元1473中。

[0381] 此外,在DOSRAM中,在如上所述那样地采用以重叠于存储单元阵列1470下的方式

设置读出放大器的结构时,可以缩短位线。由此,位线电容减小,从而可以减少存储单元的存储电容。

[0382] [NOSRAM]

[0383] 图16D至图16G示出2晶体管1电容器的增益单元型存储单元的电路结构例子。图16D所示的存储单元1474包括晶体管M2、晶体管M3、电容器CB。另外,晶体管M2包括顶栅极(有时简称为栅极)及背栅极。在本说明书等中,有时将包括将OS晶体管用于晶体管M2的增益单元型存储单元的存储装置称为NOSRAM(注册商标)(Nonvolatile Oxide Semiconductor RAM)。

[0384] 晶体管M2的第一端子与电容器CB的第一端子连接,晶体管M2的第二端子与布线WBL连接,晶体管M2的栅极与布线WOL连接,晶体管M2的背栅极与布线BGL连接。电容器CB的第二端子与布线CAL连接。晶体管M3的第一端子与布线RBL连接,晶体管M3的第二端子与布线SL连接,晶体管M3的栅极与电容器CB的第一端子连接。

[0385] 布线WBL被用作写入位线,布线RBL被用作读出位线,布线WOL被用作字线。布线CAL被用作用来对电容器CB的第二端子施加指定的电位的布线。在数据的写入、保持及读出时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M2的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M2的阈值电压。

[0386] 此外,存储单元MC不局限于存储单元1474,而可以适当地改变其电路结构。例如,存储单元MC也可以采用如图16E所示的存储单元1475那样的晶体管M2的背栅极不与布线BGL连接,而与布线WOL连接的结构。另外,例如,存储单元MC也可以是如图16F所示的存储单元1476那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M2构成的存储单元。此外,例如,存储单元MC也可以具有如图16G所示的存储单元1477那样的将布线WBL和布线RBL组合为一个布线BIL的结构。

[0387] 在将上述实施方式所示的半导体装置用于存储单元1474等的情况下,作为晶体管M2可以使用之前的实施方式所示的晶体管。通过作为晶体管M2使用OS晶体管,可以使晶体管M2的泄漏电流为极小。由此,因为可以由晶体管M2长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极小,因此可以将多值数据或模拟数据保持在存储单元1474中。存储单元1475至存储单元1477也是同样的。

[0388] 另外,晶体管M3也可以是在沟道形成区域中包含硅的晶体管(以下有时称为Si晶体管)。Si晶体管的导电型可以是n沟道型或p沟道型。Si晶体管的场效应迁移率有时比OS晶体管高。因此,作为用作读出晶体管的晶体管M3,也可以使用Si晶体管。此外,通过将Si晶体管用于晶体管M3,可以层叠于晶体管M3上地设置晶体管M2,从而可以减少存储单元的占有面积,并可以实现存储装置的高集成化。

[0389] 此外,晶体管M3也可以是OS晶体管。在将OS晶体管用于晶体管M2、晶体管M3时,在存储单元阵列1470中可以只使用n型晶体管构成电路。

[0390] 另外,图16H示出3晶体管1电容器的增益单元型存储单元的一个例子。图16H所示的存储单元1478包括晶体管M4至晶体管M6及电容器CC。电容器CC可以适当地设置。存储单元1478与布线BIL、布线RWL、布线WWL、布线BGL及布线GNDL电连接。布线GNDL是供应低电平电位的布线。另外,也可以将存储单元1478电连接到布线RBL、布线WBL,而不与布线BIL电连

接。

[0391] 晶体管M4是包括背栅极的0S晶体管,该背栅极与布线BGL电连接。另外,也可以使晶体管M4的背栅极和栅极互相电连接。或者,晶体管M4也可以不包括背栅极。

[0392] 另外,晶体管M5、晶体管M6各自可以是n沟道型Si晶体管或p沟道型Si晶体管。或者,晶体管M4至晶体管M6都是0S晶体管。在此情况下,可以在存储单元阵列1470中只使用n型晶体管构成电路。

[0393] 在将上述实施方式所示的半导体装置用于存储单元1478时,作为晶体管M4可以使用之前的实施方式所示的晶体管。通过作为晶体管M4使用0S晶体管,可以使晶体管M4的泄漏电流为极小。

[0394] 注意,本实施方式所示的外围电路1411、存储单元阵列1470等的结构不局限于上述结构。另外,也可以根据需要进行改变,去除或追加这些电路及连接到该电路的布线、电路元件等的配置或功能。

[0395] 本实施方式所记载的结构可以与其他实施方式、实施例等所记载的结构适当地组合而实施。

[0396] (实施方式4)

[0397] 在本实施方式中,参照图17说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0398] 如图17A所示,芯片1200包括CPU(Central Processing Unit:中央处理器)1211、GPU(Graphics Processing Unit:图形处理器)1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0399] 在芯片1200上设置有凸块(未图示),该凸块如图17B所示那样与印刷线路板(PCB:Printed Circuit Board)1201的第一面连接。此外,在PCB1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0400] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。此外,例如,可以将上述实施方式所示的NOSRAM应用于闪存1222。

[0401] CPU1211优选具有多个CPU核。此外,GPU1212优选具有多个GPU核。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述NOSRAM或DOSRAM应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0402] 此外,因为同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0403] 模拟运算部1213具有模拟/数字(A/D)转换电路和数字/模拟(D/A)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0404] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0405] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia Interface:高清晰度多媒体接口)(注册商标)等。

[0406] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0407] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0408] 可以将包括设置有具有GPU1212的芯片1200的PCB1201、DRAM1221以及闪存1222的 motherboard 1203称为GPU模块1204。

[0409] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外, GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块用作AI系统模块。

[0410] 本实施方式所示的结构可以与其他实施方式、实施例等所示的结构适当地组合而实施。

[0411] (实施方式5)

[0412] 在本实施方式中,说明使用上述实施方式所示的半导体装置的存储装置的应用例子。上述实施方式所示的半导体装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存储装置。注意,在此,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的半导体装置应用于存储器卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图18示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0413] 图18A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及基板1104。基板1104被容纳在外壳1101中。例如,基板1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的半导体装置组装于存储器芯片1105等。

[0414] 图18B是SD卡的外观示意图,图18C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及基板1113。基板1113被容纳在外壳1111中。例如,基板1113上安装有存储器芯片1114及控制器芯片1115。通过在基板1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于基板1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的半导体装置组装于存储器芯片1114等。

[0415] 图18D是SSD的外观示意图,图18E是SSD的内部结构的示意图。SSD1150包括外壳

1151、连接器1152及基板1153。基板1153被容纳在外壳1151中。例如,基板1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在基板1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的半导体装置组装于存储器芯片1154等。

[0416] 本实施方式可以与其他实施方式、实施例等所记载的结构适当地组合而实施。

[0417] (实施方式6)

[0418] 根据本发明的一个方式的半导体装置可以应用于如CPU、GPU等处理器或芯片。图19示出具有根据本发明的一个方式的如CPU、GPU等处理器或芯片的电子设备的例子。

[0419] 〈电子设备及系统〉

[0420] 根据本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子,除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外,通过将根据本发明的一个方式的集成电路或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0421] 本发明的一个方式的电子设备也可以包括天线。通过由天线接收信号,可以在显示部上显示影像或信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0422] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0423] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出存储在存储介质中的程序或数据的功能;等。图19示出电子设备的例子。

[0424] [移动电话机]

[0425] 图19A示出信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中具备触控面板,并且在外壳5510上设置有按钮。

[0426] 通过将本发明的一个方式的芯片应用于信息终端5500,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别会话来将该会话的内容显示在显示部5511上的应用程序、识别由使用者输入到显示部5511所具备的触控面板的文字或图形等来将该文字或该图形显示在显示部5511上的应用程序、执行指纹或声纹等的生物识别的应用程序等。

[0427] [信息终端]

[0428] 图19B示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示器5302及键盘5303。

[0429] 与上述信息终端5500同样,通过将本发明的一个方式的芯片应用于台式信息终端

5300,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用台式信息终端5300,可以研发新颖的人工智能。

[0430] 注意,在上述例子中,图19A及图19B示出智能手机及台式信息终端作为电子设备的例子,但是也可以应用智能手机及台式信息终端以外的信息终端。作为智能手机及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0431] [电器产品]

[0432] 图19C示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0433] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0434] 在上述例子中,作为电器产品说明了电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0435] [游戏机]

[0436] 图19D示出游戏机的一个例子的便携式游戏机5200。便携式游戏机包括外壳5201、显示部5202及按钮5203等。

[0437] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5200,可以实现低功耗的便携式游戏机5200。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0438] 此外,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5200,可以实现具备人工智能的便携式游戏机5200。

[0439] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的,但是通过将人工智能应用于便携式游戏机5200,可以实现不局限于游戏的程序的表现。例如,可以实现游戏玩者提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行等变化等的表现。

[0440] 此外,当使用便携式游戏机5200玩需要多个人玩的游戏时,可以利用人工智能构成拟人的游戏玩者,由此可以将人工智能的游戏玩者当作对手,一个人也可以玩多个人玩的游戏。

[0441] 虽然图19D示出便携式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU或芯片的游戏机,例如可以举出家用固定式游戏机、设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0442] [移动体]

[0443] 本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0444] 图19E1是示出移动体的一个例子的汽车5700的图,图19E2是示出汽车室内的前挡风玻璃周边的图。图19E2示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0445] 显示面板5701至显示面板5703可以通过显示速度表、转速计、行驶距离、加油量、排档状态、空调的设定而提供各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等,可以提高设计性。显示面板5701至显示面板5703还可以用作照明装置。

[0446] 通过将由设置在汽车5700的摄像装置(未图示)拍摄的影像显示在显示面板5704上,可以补充被支柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车5700外侧的摄像装置拍摄的影像,可以补充死角,从而可以提高安全性。此外,通过显示补充看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704还可以用作照明装置。

[0447] 因为可以将本发明的一个方式的GPU或芯片用作人工智能的构成要素,例如可以将该芯片用于汽车5700的自动驾驶系统。该芯片也可以用于进行导航、危险预测等的系统。此外,可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0448] 虽然在上述例子中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的芯片,以提供利用人工智能的系统。

[0449] [广播电视系统]

[0450] 本发明的一个方式的GPU或芯片可以应用于广播电视系统。

[0451] 图19F示意性地示出广播电视系统中的数据传送。具体而言,图19F示出从广播电视台5680发送的电波(广播电视信号)到达每个家庭的电视接收机(TV)5600的路径。TV5600具备接收机(未图示),由此天线5650所接收的广播电视信号通过该接收机输入TV5600。

[0452] 虽然在图19F中示出UHF(Ultra High Frequency:超高频)天线作为天线5650,但是可以使用BS及110°CS天线、CS天线等作为天线5650。

[0453] 电波5675A及电波5675B为地面广播电视信号,电波塔5670放大所接收的电波5675A并发送电波5675B。各家庭通过用天线5650接收电波5675B,就可以用TV5600收看地面TV播放。此外,广播电视系统可以为利用人造卫星的卫星广播电视、利用光路线的数据广播电视等而不局限于图19F所示的地面广播电视。

[0454] 此外,也可以将本发明的一个方式的芯片应用于上述广播电视系统,以形成利用人工智能的广播电视系统。当从广播电视台5680向每个家庭的TV5600发送广播电视数据时,利用编码器进行广播电视数据的压缩;当天线5650接收该广播电视数据时,利用包括在TV5600中的接收机的译码器进行该广播电视数据的恢复。通过利用人工智能,例如可以由编码器的压缩方法之一的变动补偿预测识别包含在显示图像中的显示模型。此外,也可以进行利用人工智能的帧内预测等。例如,当TV5600接收低分辨率的广播电视数据而进行高分辨率的显示时,可以在译码器所进行的广播电视数据的恢复中进行上转换等图像的补充处理。

[0455] 上述利用人工智能的广播电视系统适合用于广播电视数据量增大的超清晰度电视(UHDTV:4K、8K)播放。

[0456] 此外,作为TV5600一侧的人工智能的应用,例如,可以在TV5600内设置具备人工智能的录像装置。通过采用这种结构,可以使该具备人工智能的录像装置学习使用者的爱好,而可以自动对符合使用者的爱好的电视节目录像。

[0457] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他电子设备的记载适当地组合而实施。

[0458] 本实施方式可以与其他实施方式及实施例等所记载的结构适当地组合而实施。

[0459] [实施例1]

[0460] 在本实施例中,说明在实施方式1中说明的使用蚀刻的绝缘层BGI3的加工例子。具体而言,取得俯视进行蚀刻处理之后的样品的SEM(Scanning Electron Microscope:扫描型电子显微镜)的观察图像。

[0461] 以下,说明所制造的样品1D。

[0462] 在衬底上形成的第一氮化硅膜上,作为绝缘层BGI2通过ALD法形成10nm的膜厚度的氧化铪膜,在该氧化铪膜上作为绝缘层BGI3通过CVD法形成15nm的膜厚度的第二氮化硅膜,在第二氮化硅膜上作为成为半导体层SEM1的半导体层通过溅射法形成5nm的膜厚度的第一In-Ga-Zn氧化物,在第一In-Ga-Zn氧化物上作为成为半导体层SEM2的半导体层通过溅射法形成15nm的膜厚度的第二In-Ga-Zn氧化物。

[0463] 接着,在第二In-Ga-Zn氧化物上作为成为导电层SE或导电层DE的导电层通过溅射法形成20nm的膜厚度的第一氮化钽膜,在第一氮化钽膜上通过ALD法形成5nm的膜厚度的氧化铝膜,在该氧化铝膜上通过溅射法形成15nm的膜厚度的第二氮化钽膜。

[0464] 接着,通过光刻法加工第二氮化钽膜来形成硬掩模。然后,使用该硬掩模加工第二氮化钽膜、上述氧化铝膜、第一氮化钽膜、第二In-Ga-Zn氧化物及第一In-Ga-Zn氧化物。通过进行该加工,形成导电层SE、导电层DE、半导体层SEM2及半导体层SEM1。

[0465] 接着,进行氧等离子体处理。氧等离子体处理通过使用CVD装置且以如下方法进行:作为反应气体使用氧200sccm、ICP电源功率为2000W、偏置功率为50W、压力为0.67Pa而发生的等离子体中暴露10sec。接着,通过进行蚀刻,加工第二氮化硅膜及第一氮化钽膜。

[0466] 通过上述工序,制造样品1D。

[0467] 接着,取得俯视样品1D的SEM的观察图像,确认样品1D的形状。SEM的观察图像的取得使用日立高新技术公司制造的扫描透射电子显微镜装置SU8030,加速电压设为5.0kV。

[0468] 图20示出俯视样品1D的SEM的观察图像。图20是倍率为20万倍的SEM图像。如图20所示,由于作为绝缘层BGI2的氧化铪膜的表面被露出,因此可知可以去除作为氧化铪膜上的绝缘层BGI3的第二氮化硅膜。

[0469] 本实施例的至少一部分可以与本说明书中所记载的其他实施方式或实施例适当地组合而实施。

[0470] [实施例2]

[0471] 在本实施例中,制造根据本发明的一个方式的晶体管200A(样品1E)来评价样品1E的形状。在评价样品1E的形状时使用扫描透射电子显微镜(STEM:Scanning Transmission Electron Microscope)。

[0472] 以下,说明样品1E。

[0473] 作为绝缘层214使用氧化铝膜。另外,作为绝缘层216使用氮化硅膜。另外,作为

导电层205采用氮化钽、氮化钛与钨的叠层结构。

[0474] 作为绝缘层220使用膜厚度为10nm的氧氮化硅膜。另外,作为绝缘层222使用膜厚度为20nm的氧化钪膜。另外,作为绝缘层224使用膜厚度为30nm的氧氮化硅膜。

[0475] 作为氧化物230a,使用通过溅射法使用In:Ga:Zn=1:3:4[原子个数比]的In-Ga-Zn氧化物靶材形成的5nm的膜厚度的金属氧化物。另外,作为氧化物230b,使用通过溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的In-Ga-Zn氧化物靶材形成的15nm的膜厚度的金属氧化物。

[0476] 作为导电层242a及导电层242b使用氮化钽。另外,作为导电层242上的阻挡层使用氧化铝膜。

[0477] 作为氧化物230c,使用通过溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的In-Ga-Zn氧化物靶材形成的5nm的膜厚度的金属氧化物。

[0478] 作为绝缘层250,使用膜厚度为10nm的氧氮化硅。另外,作为导电层260a,使用膜厚度为10nm的氮化钛。另外,作为导电层260b,使用膜厚度为30nm的钨。

[0479] 作为绝缘层274,使用氧化铝膜。

[0480] 以上是样品1E的说明。

[0481] 接着,说明进行样品1E的截面观察的结果。作为截面观察用的装置使用日立高新技术公司制造的HD-2300。

[0482] 图21是样品1E的沟道宽度方向的截面STEM图像。图21所示的虚线表示氧化物230b不与导电层260a重叠的区域中的导电层260a的底面的高度。另外,图21所示的点划线表示氧化物230b的底面的高度。

[0483] 从图21可知氧化物230b的底面位于氧化物230b不与导电层260a重叠的区域的导电层260a的底面的上方。另外,在以氧化物230b不与导电层260a重叠的区域的导电层260a的底面的高度为基准时,氧化物230b的底面的高度为4.0nm。

[0484] 本实施方式可以与其他实施方式及实施例等所记载的结构适当地组合而实施。

[0485] [符号说明]

[0486] BGE:导电层、BGI1:绝缘层、BGI2:绝缘层、BGI3:绝缘层、DE:导电层、SE:导电层、SEM1:半导体层、SEM2:半导体层、SEM3:半导体层、TGE:导电层、TGI:绝缘层、200A:晶体管、200B:晶体管、200C:晶体管、200D:晶体管、200E:晶体管、203:导电层、205:导电层、205a:导电层、205b:导电层、210:绝缘层、212:绝缘层、214:绝缘层、216:绝缘层、220:绝缘层、222:绝缘层、224:绝缘层、230:氧化物、230a:氧化物、230b:氧化物、230c:氧化物、231:区域、231a:区域、231b:区域、242:导电层、242a:导电层、242b:导电层、244:绝缘层、245:绝缘层、246:导电层、246a:导电层、246b:导电层、247:导电层、247a:导电层、247b:导电层、250:绝缘层、252:金属氧化物、260:导电层、260a:导电层、260b:导电层、270:绝缘层、271:绝缘层、273:绝缘层、274:绝缘层、275:绝缘层、276:绝缘层、276a:绝缘层、276b:绝缘层、280:绝缘层、282:绝缘层、284:绝缘层、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:基板、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:基板、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:基板、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1200:芯片、1201:PCB、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储

控制器、1215:接口、1216:网络电路、1221:DRAM、1222:闪存、1400:存储装置、1411:外围电路、1420:行电路、1430:列电路、1440:输出电路、1460:控制逻辑电路、1470:存储单元阵列、1471:存储单元、1472:存储单元、1473:存储单元、1474:存储单元、1475:存储单元、1476:存储单元、1477:存储单元、1478:存储单元、5200:便携式游戏机、5201:外壳、5202:显示部、5203:按钮、5300:台式信息终端、5301:主体、5302:显示器、5303:键盘、5500:信息终端、5510:外壳、5511:显示部、5600:TV、5650:天线、5670:电波塔、5675A:电波、5675B:电波、5680:广播电台、5700:汽车、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门。

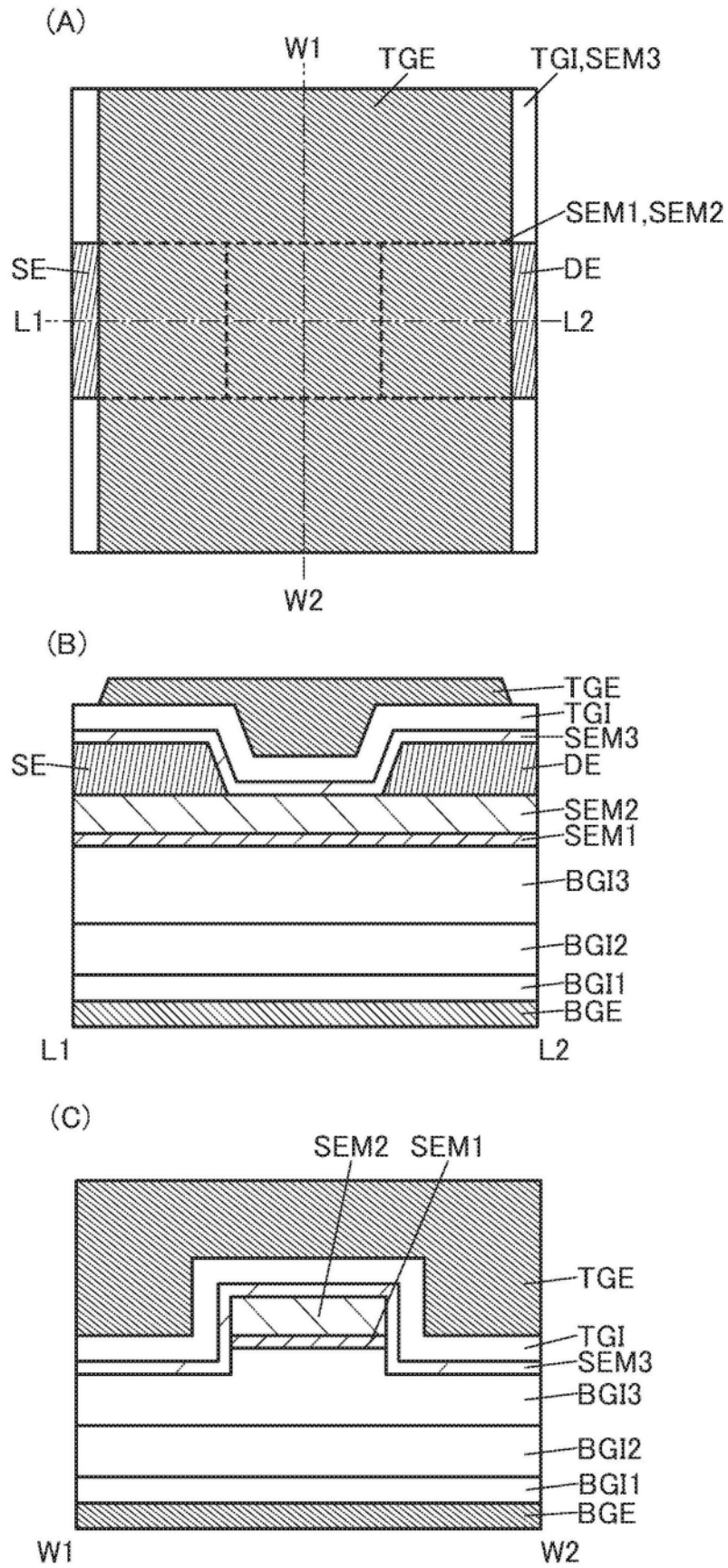


图1

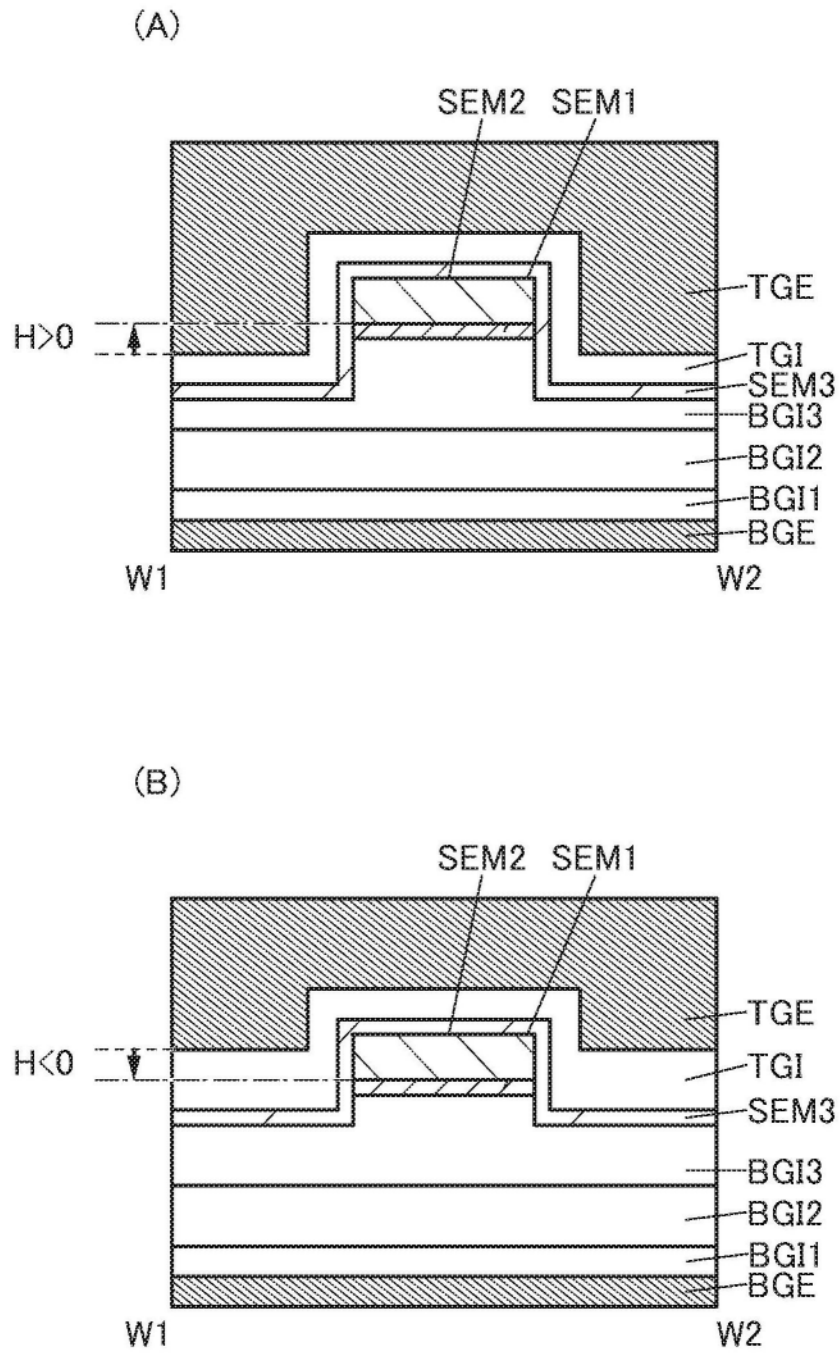


图2

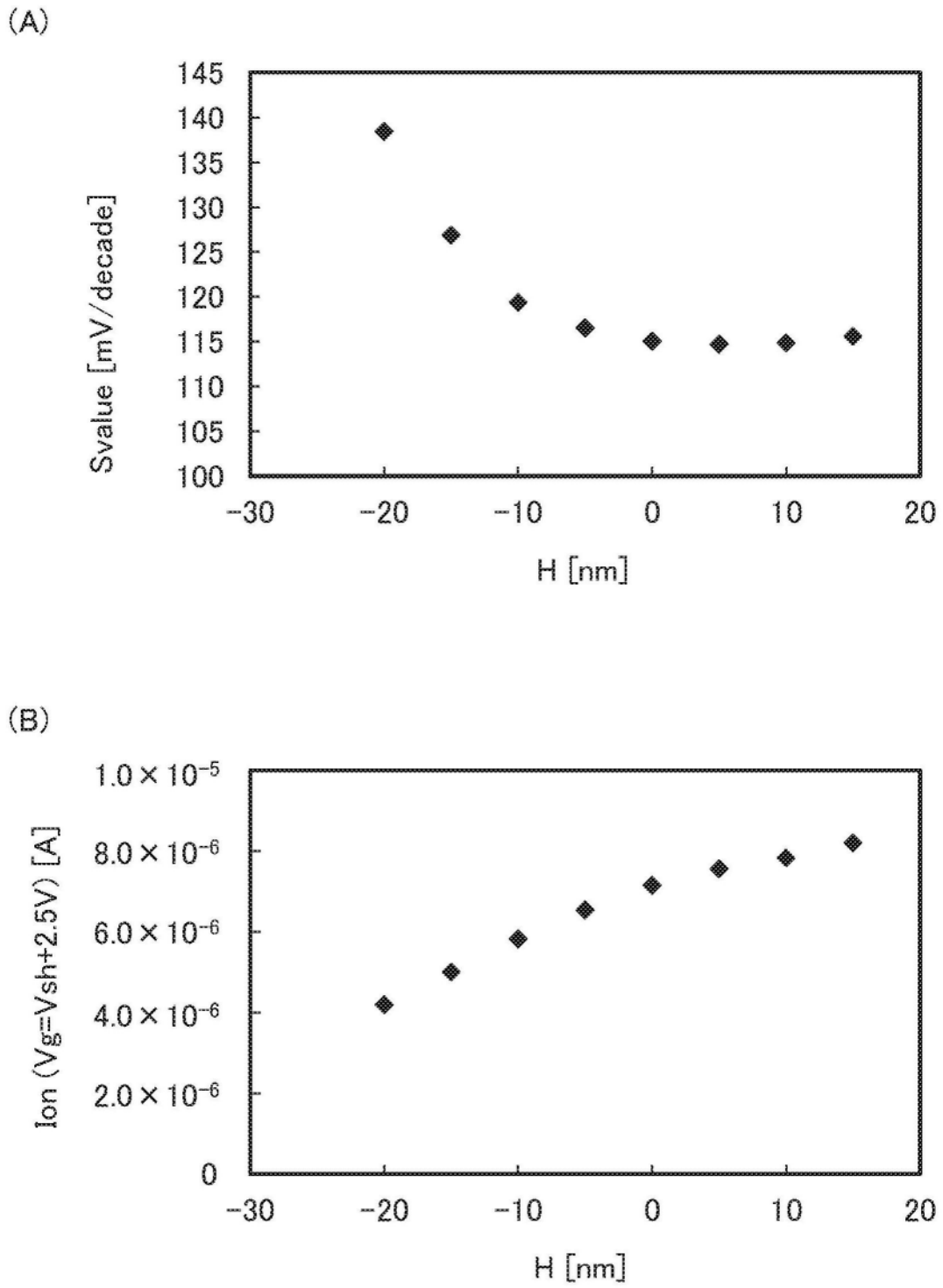


图3

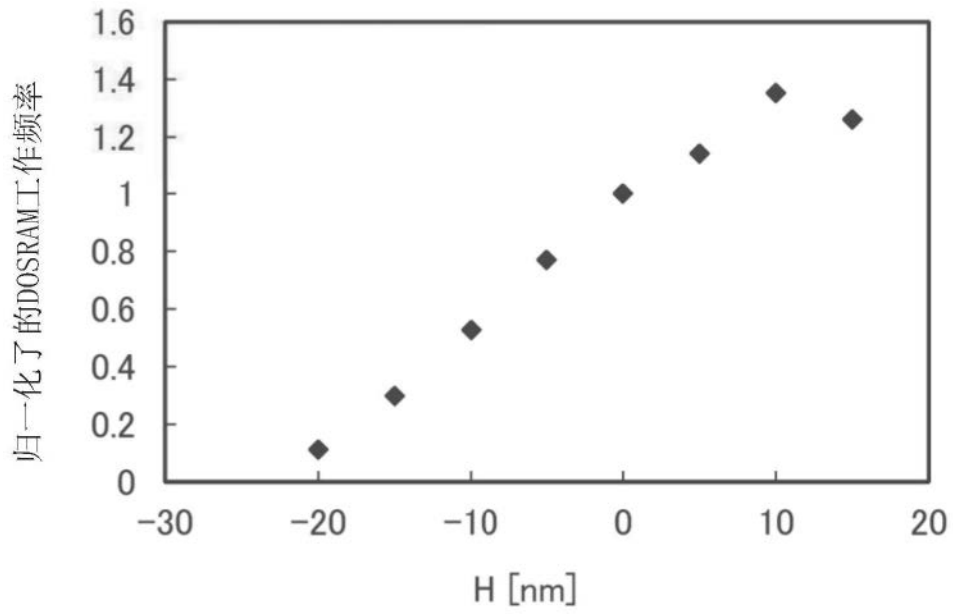


图4

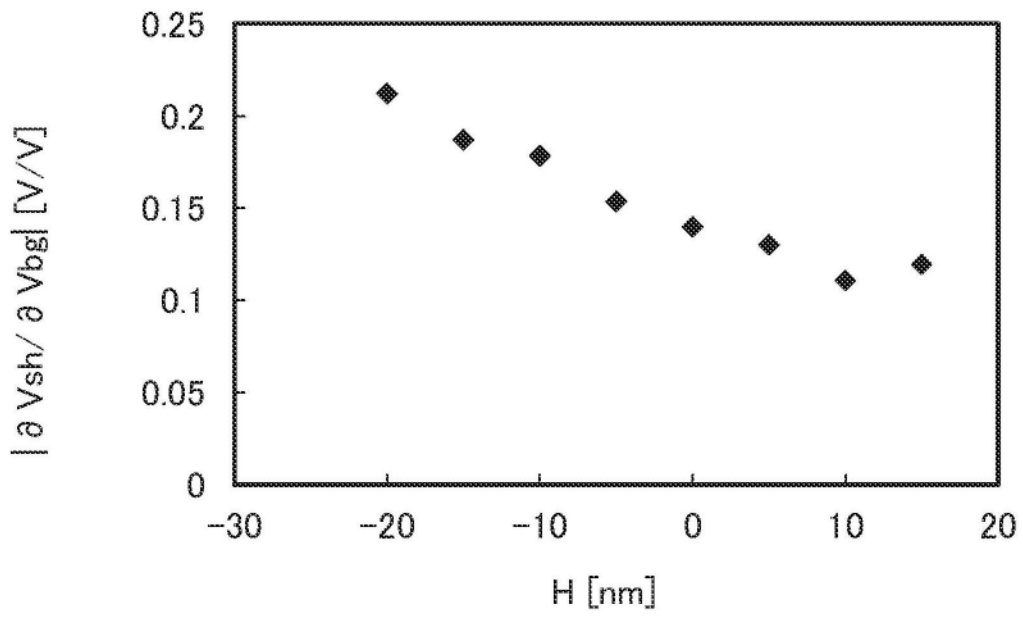


图5

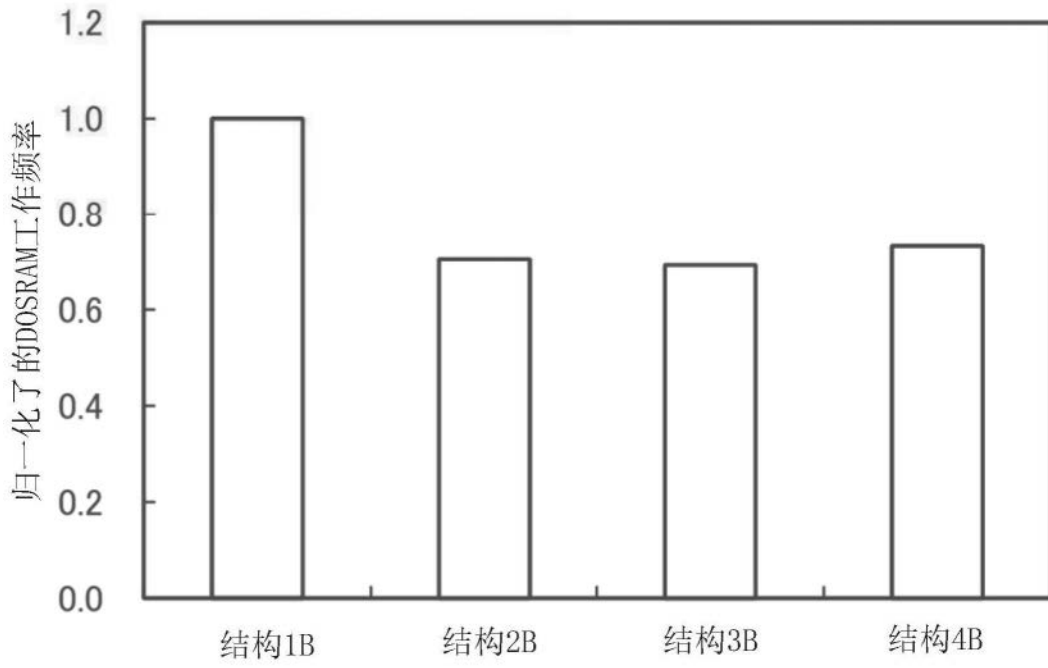


图6

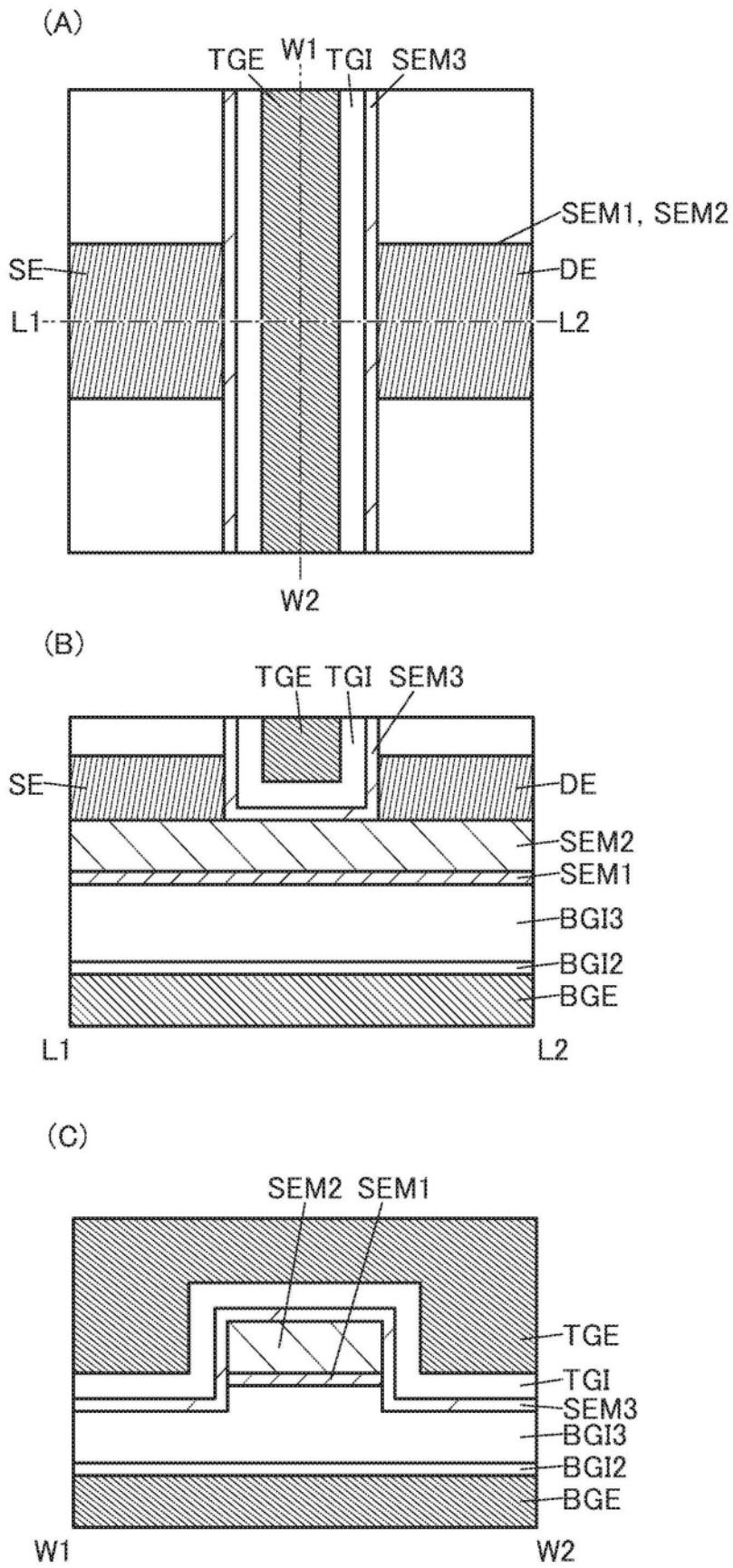


图7

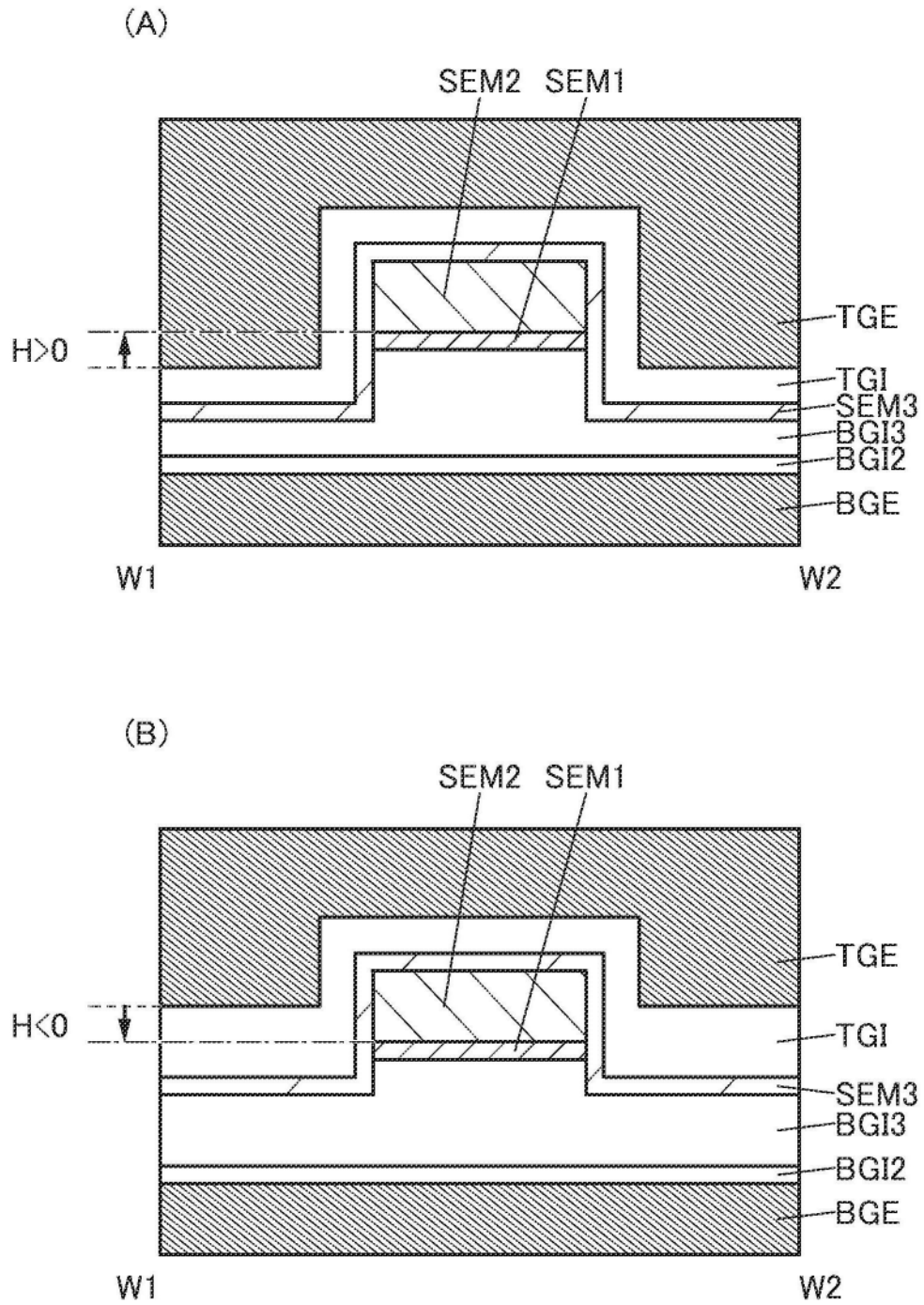
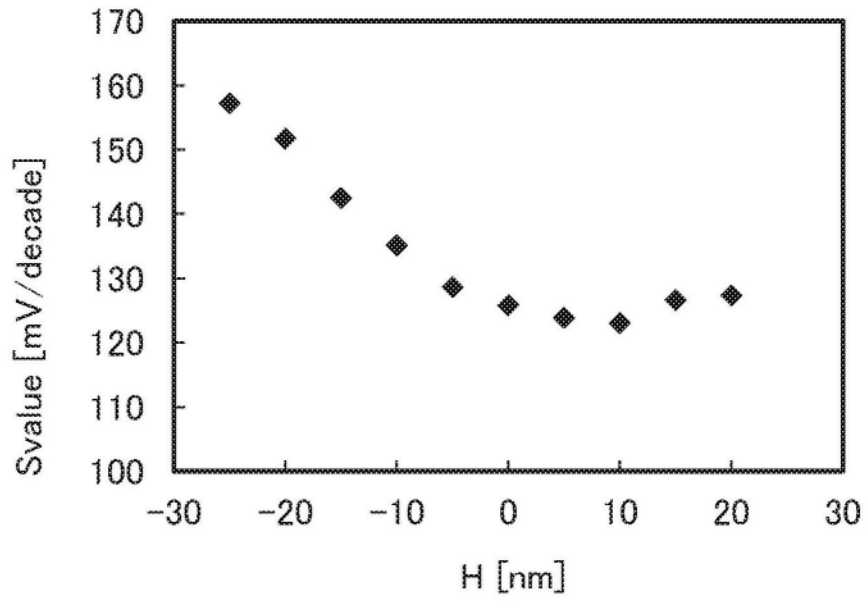


图8

(A)



(B)

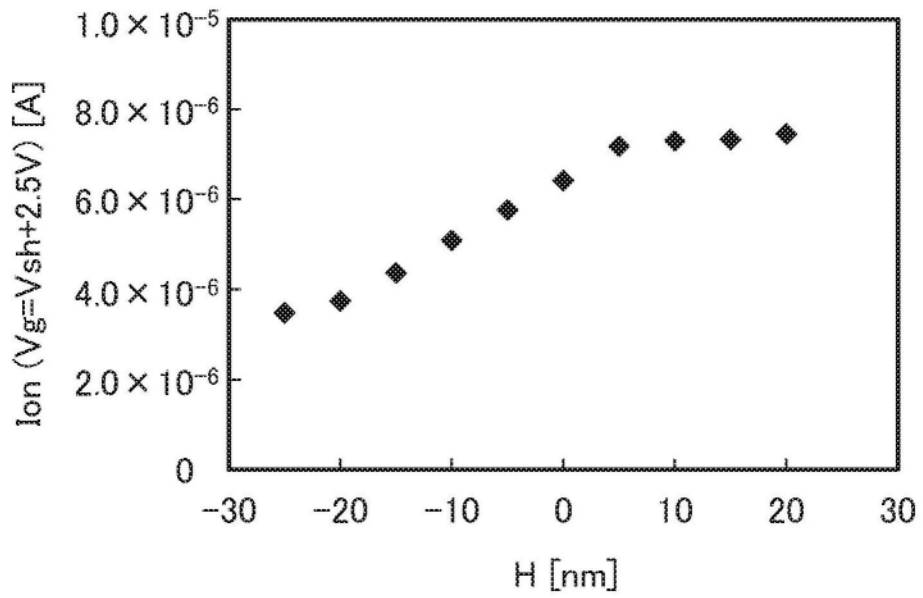
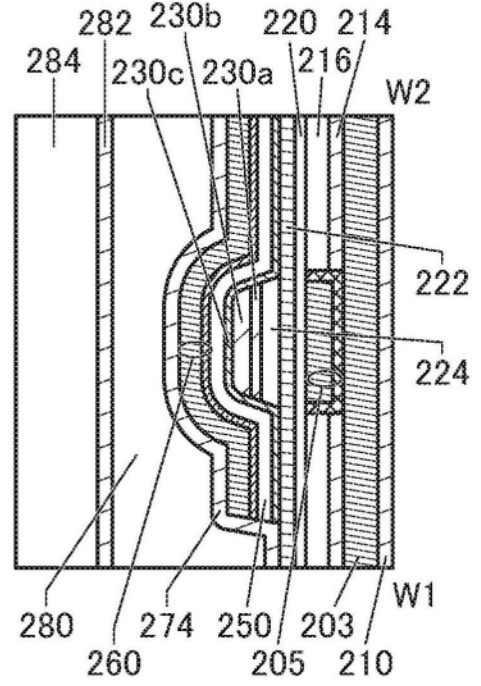
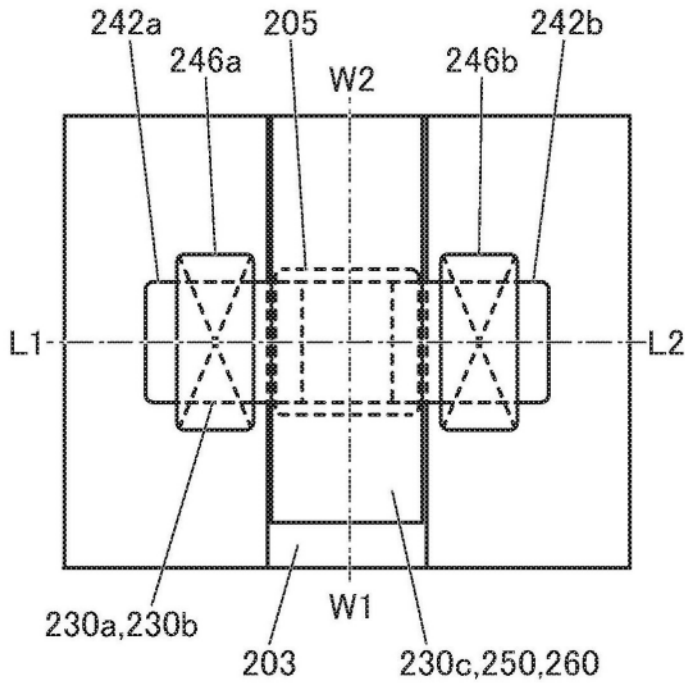


图9

(A)

(C)

200A



(B)

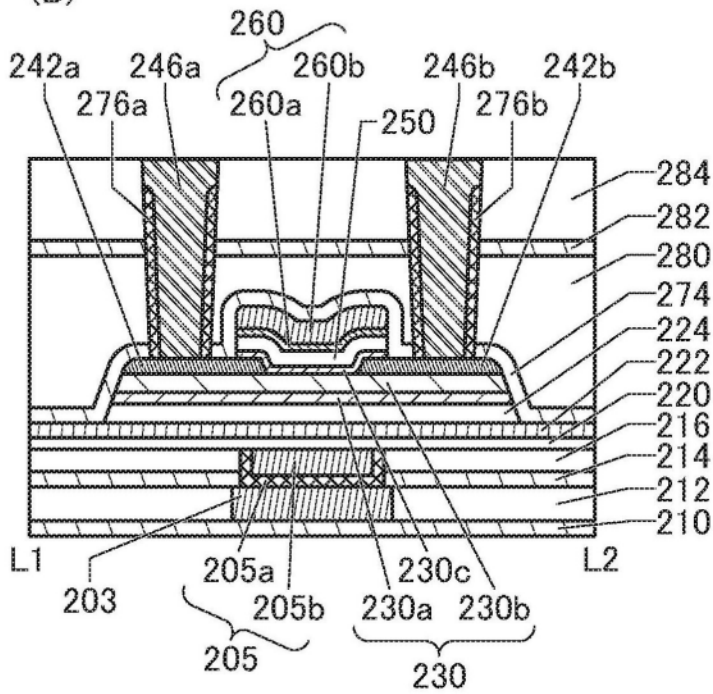
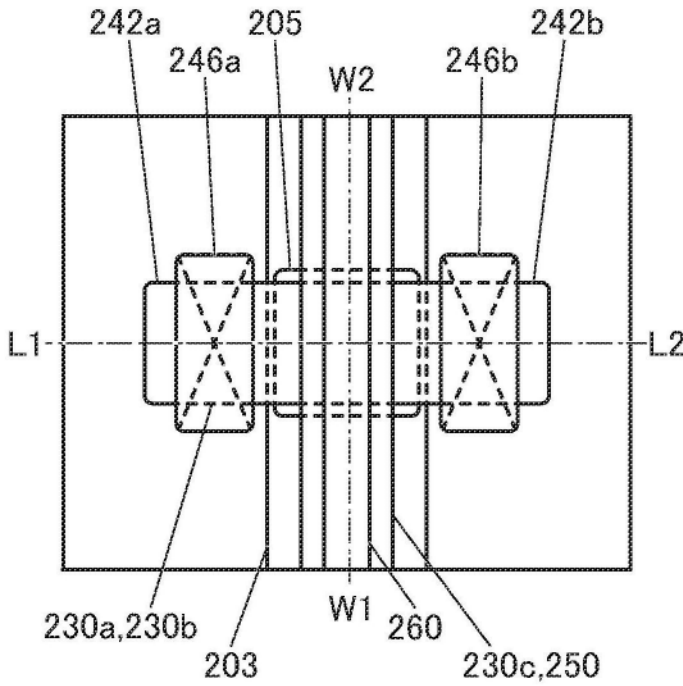


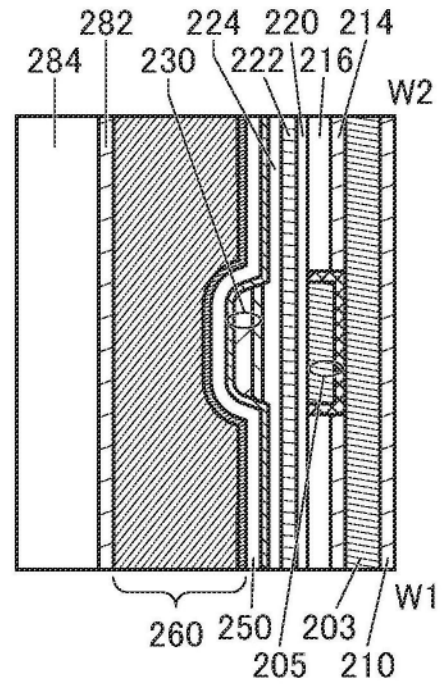
图10

(A)

200B



(C)



(B)

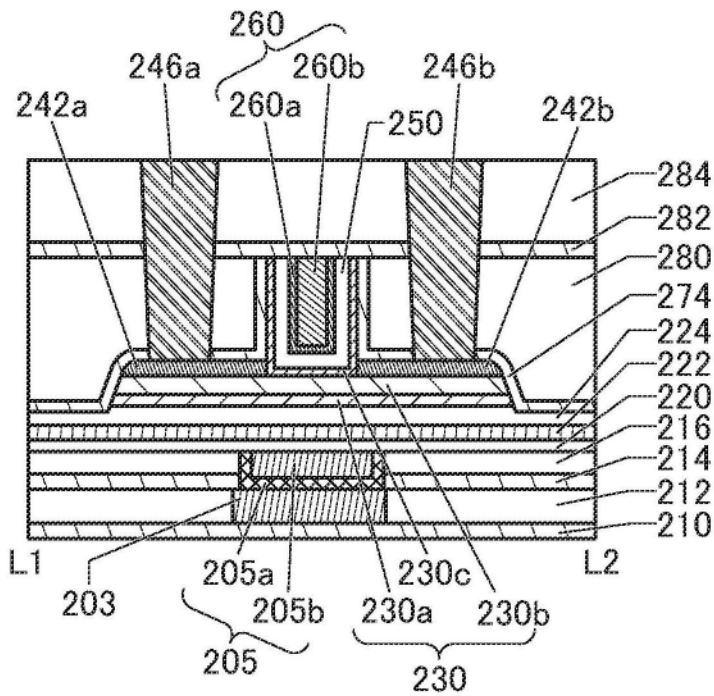


图11

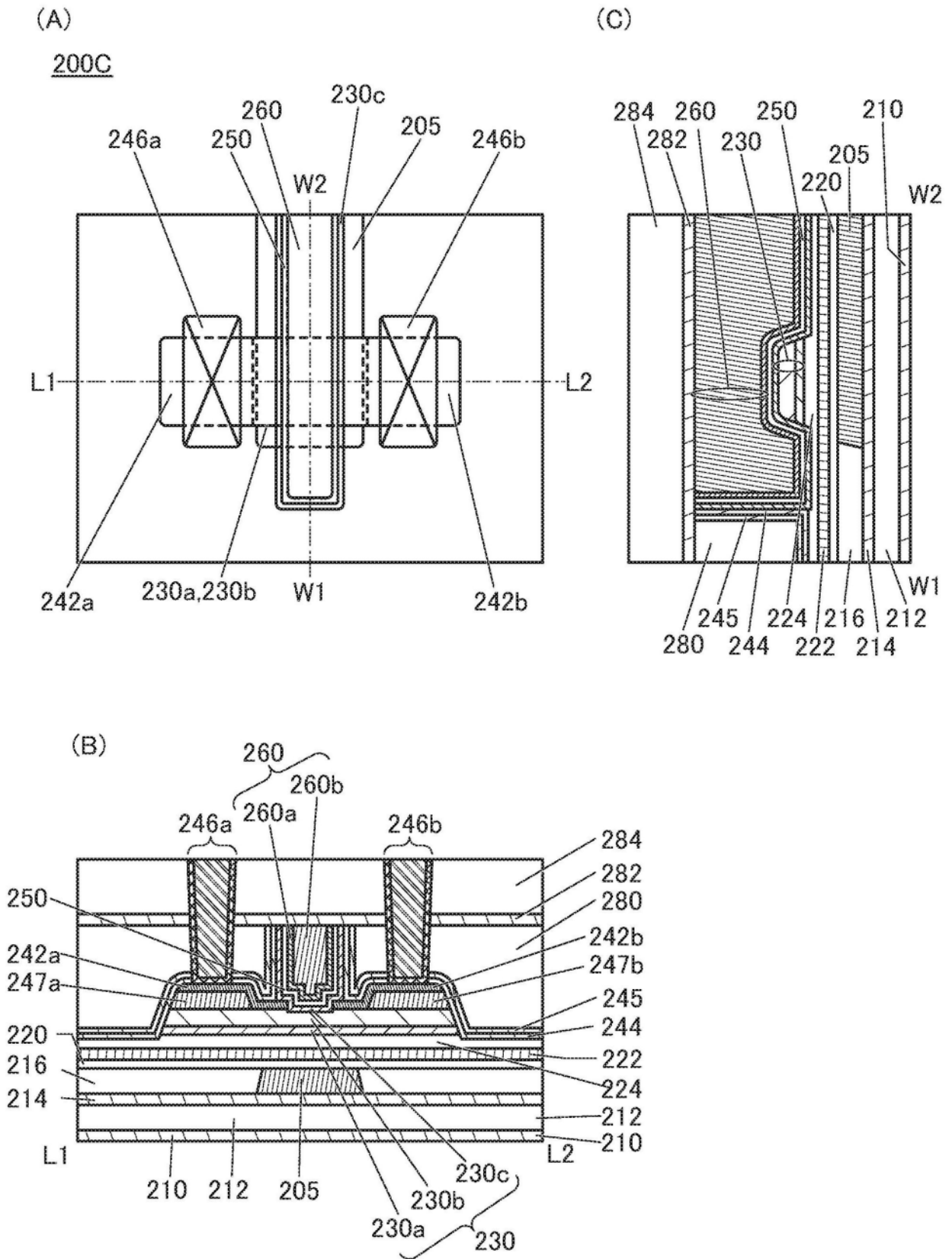


图12

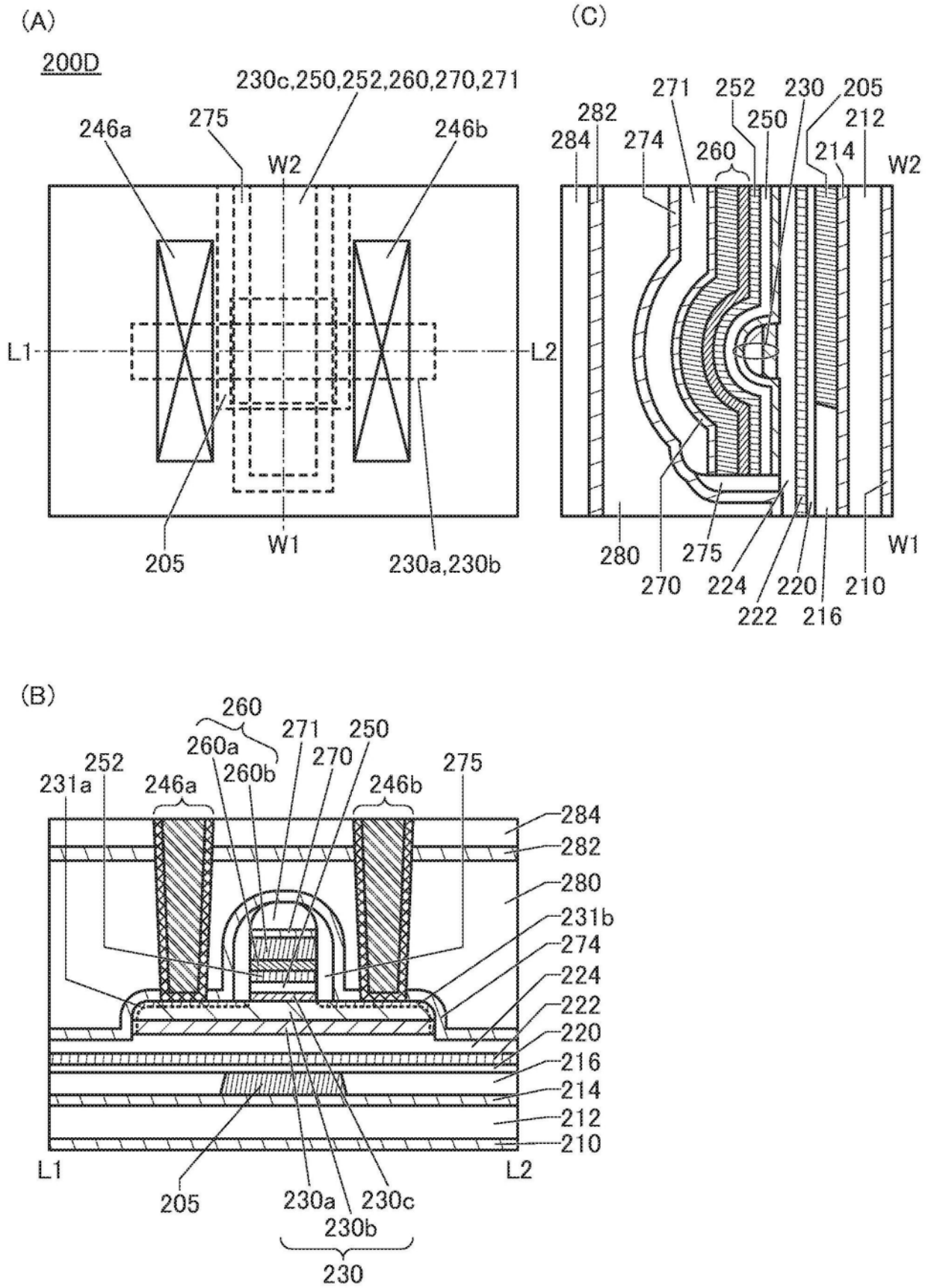
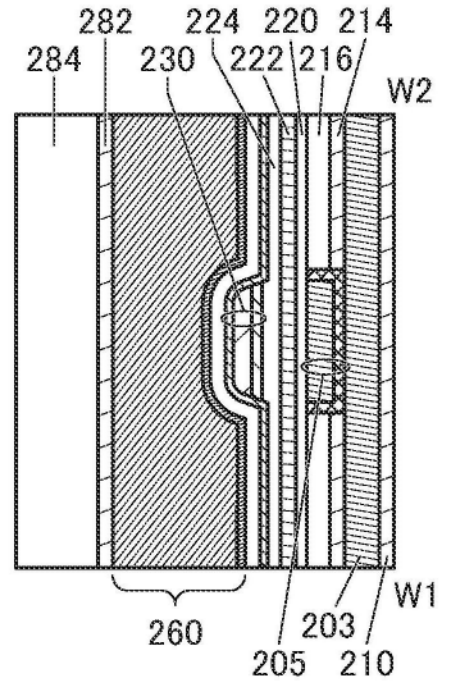
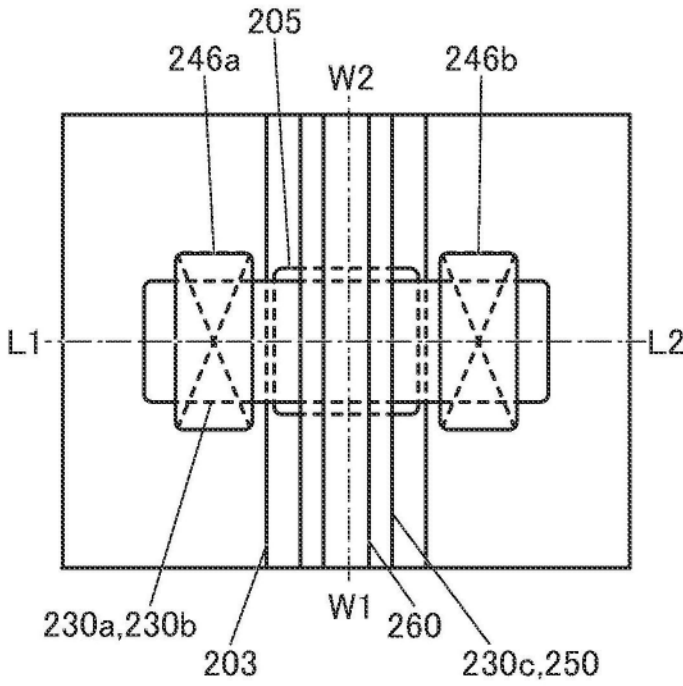


图13

(A)

(C)

200E



(B)

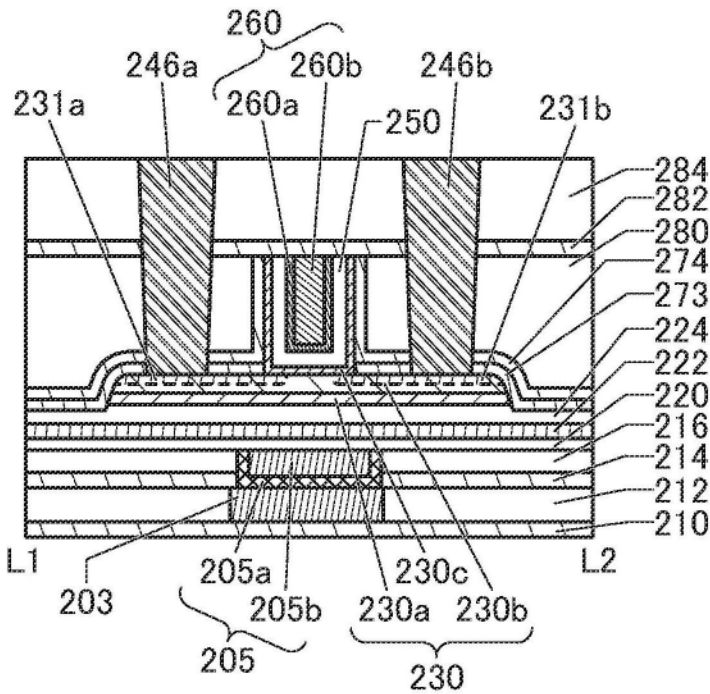


图14

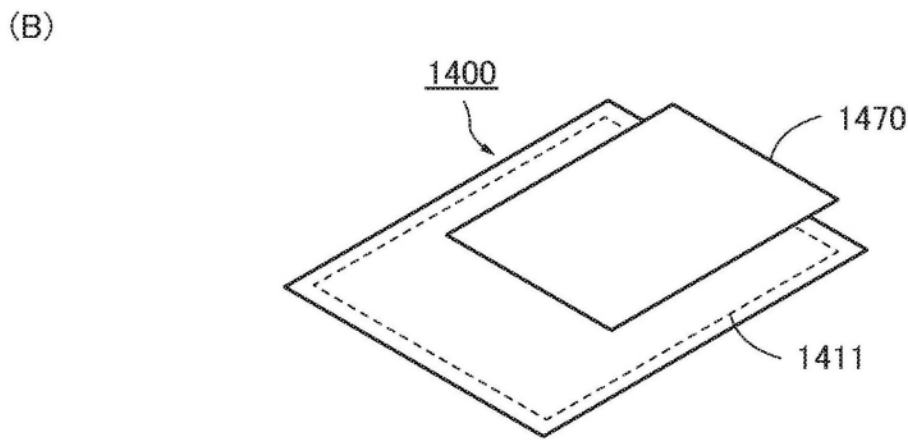
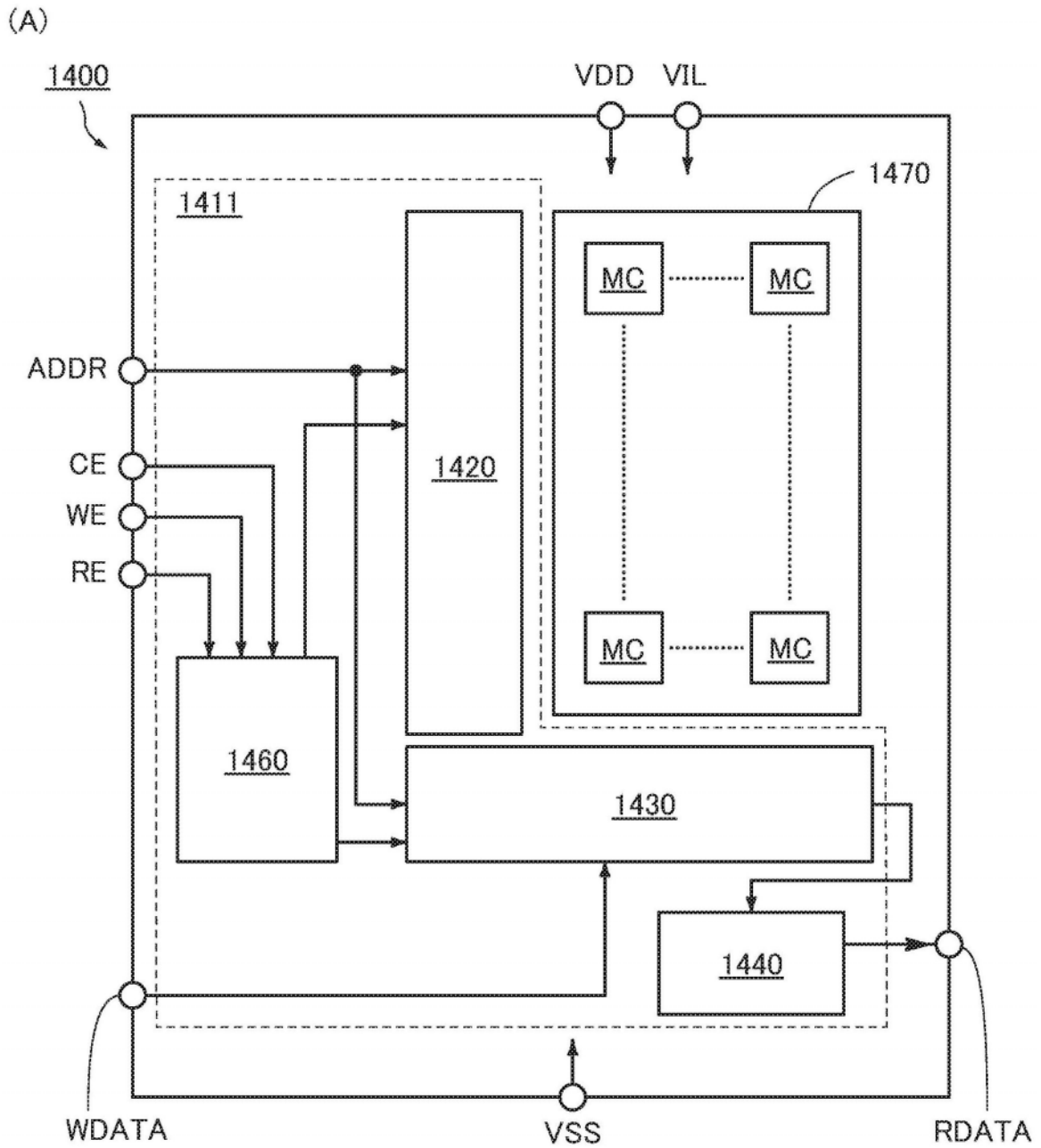


图15

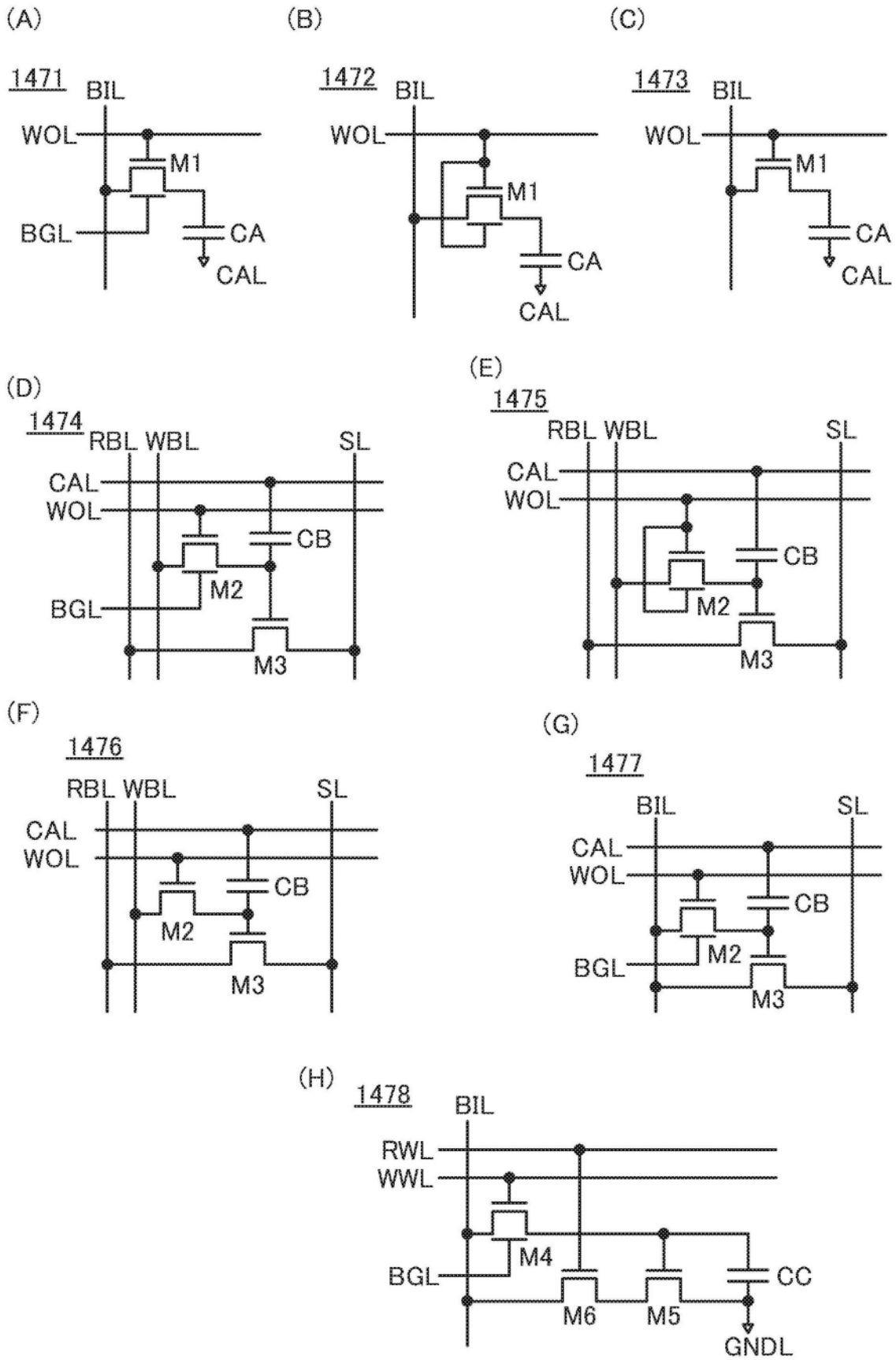
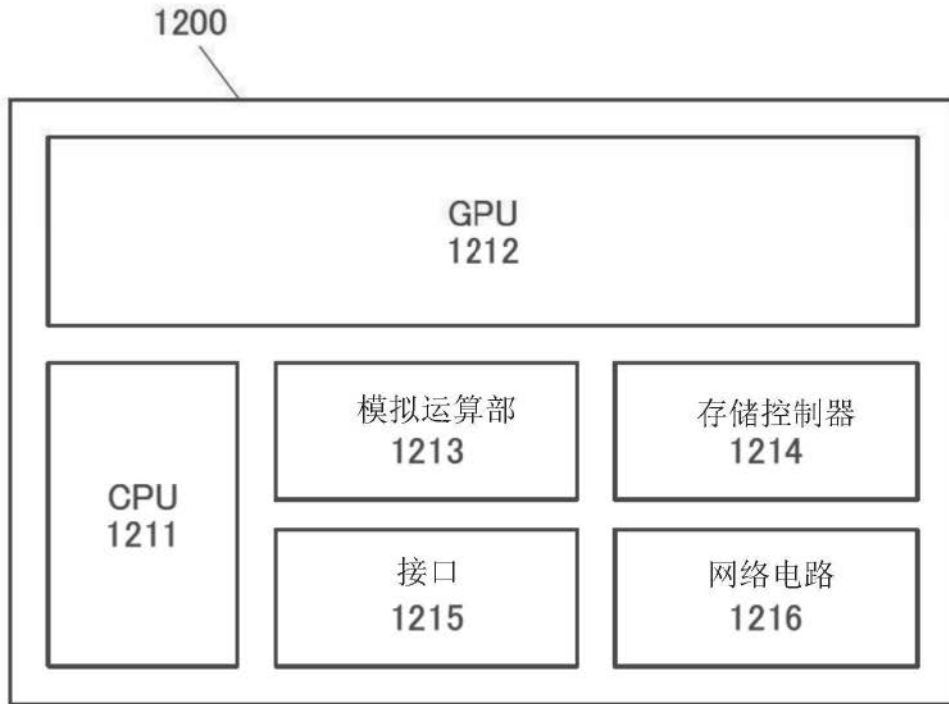


图16

(A)



(B)

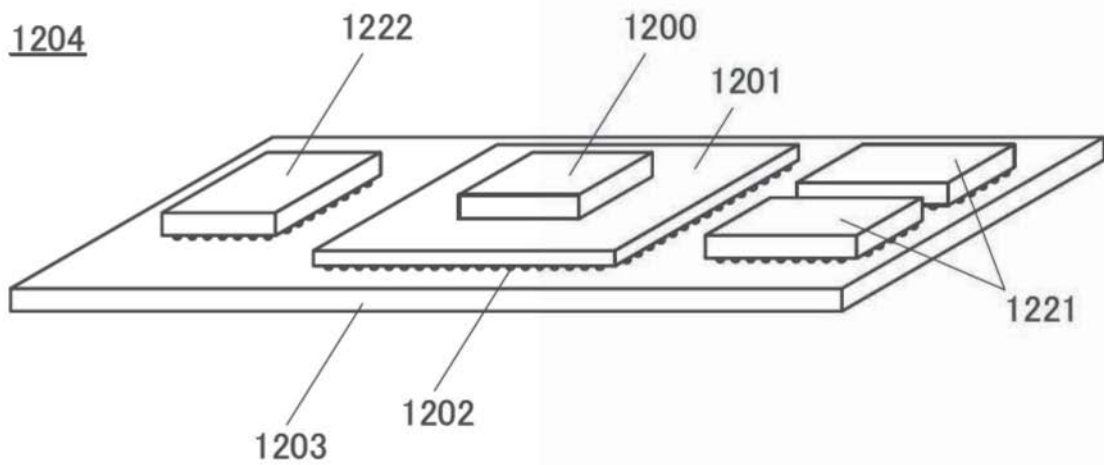


图17

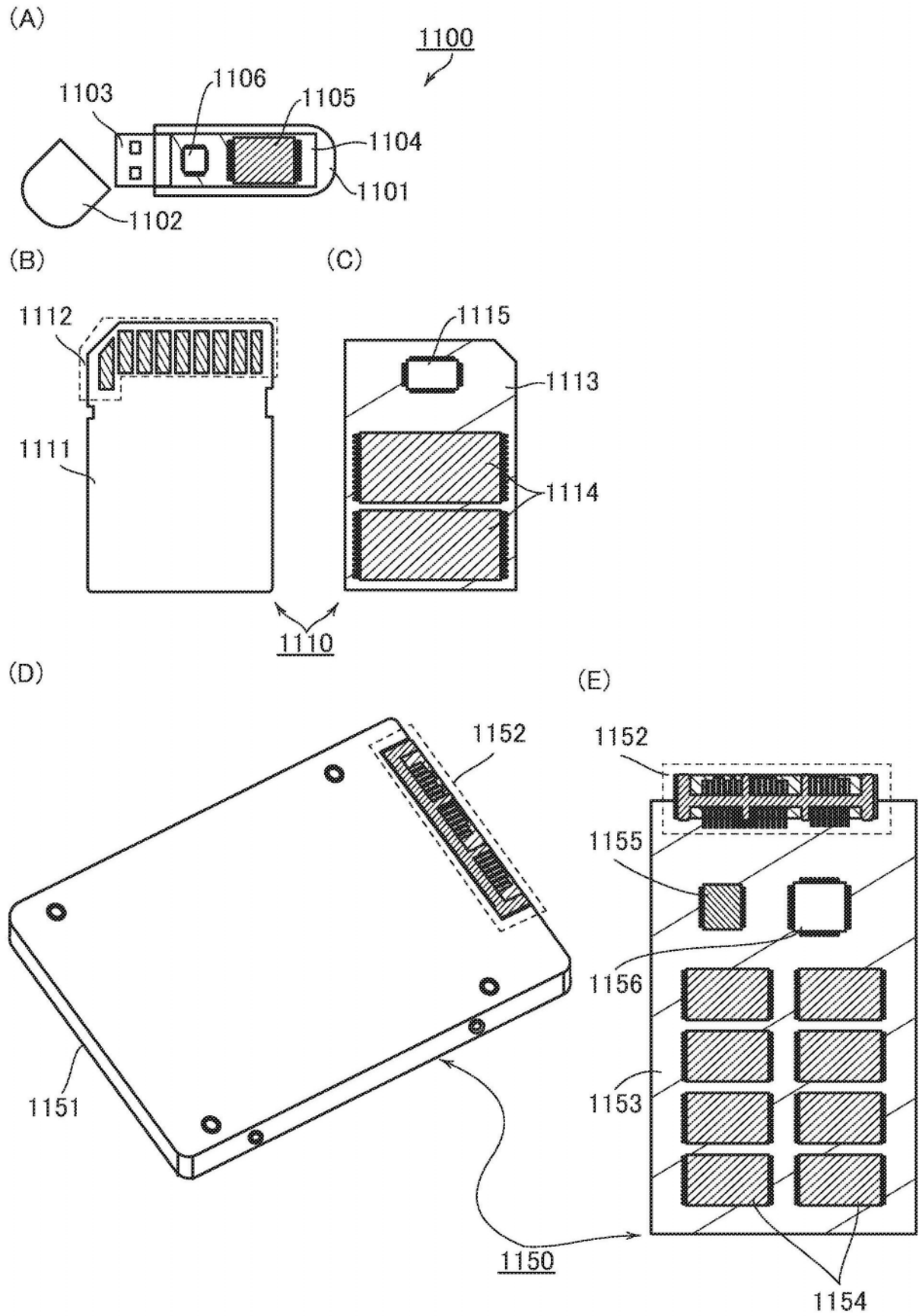


图18

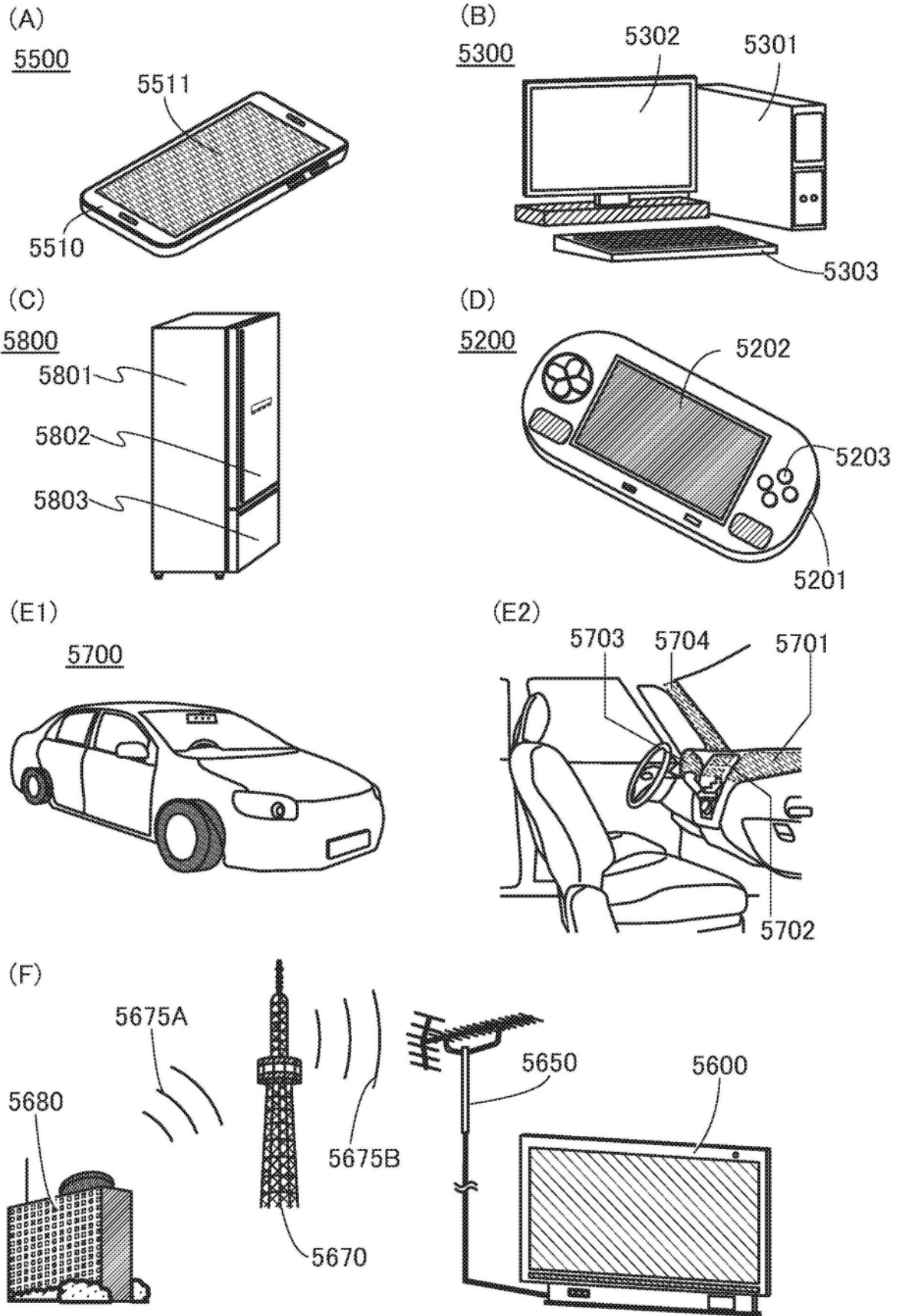


图19

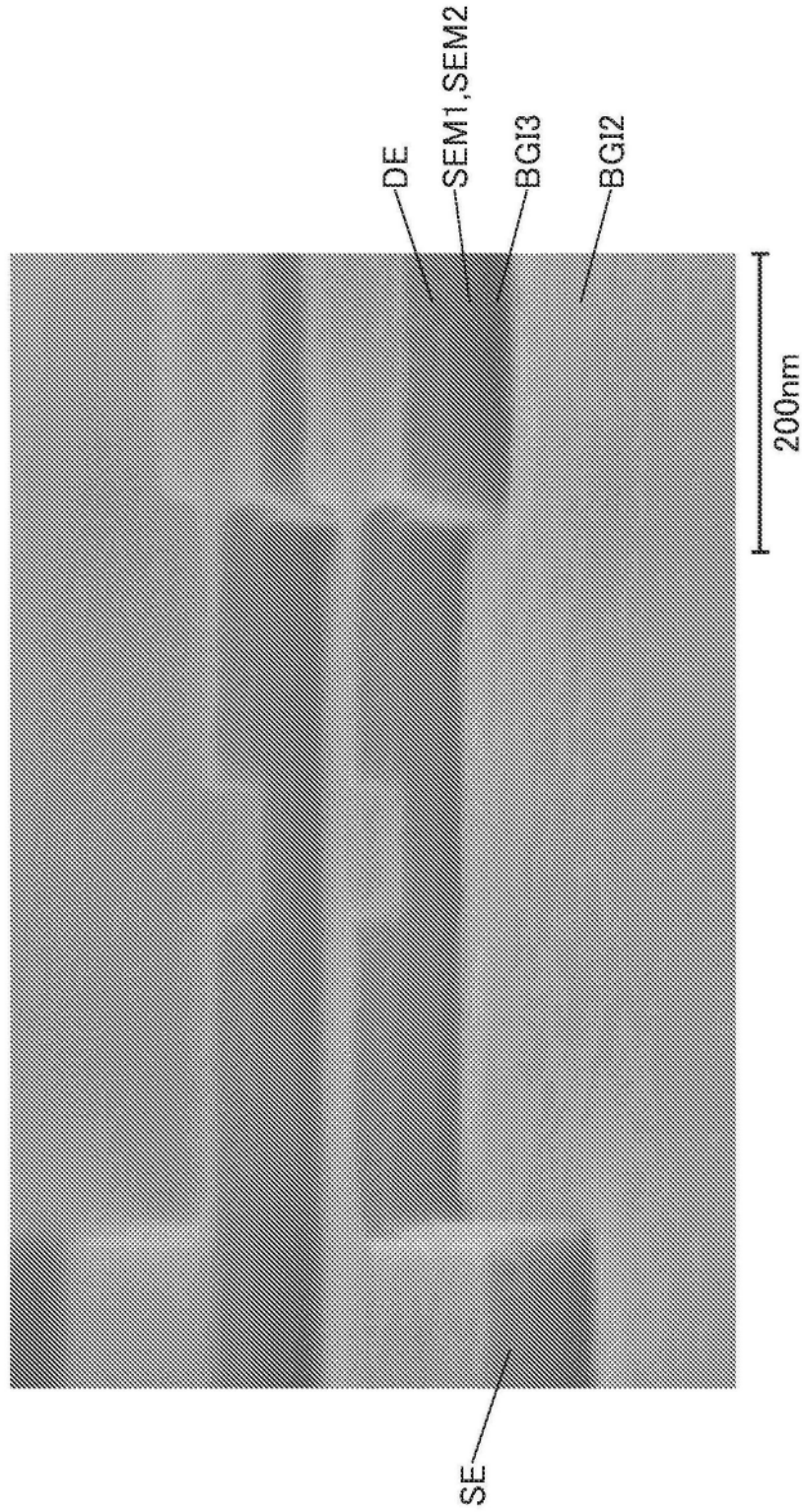


图20

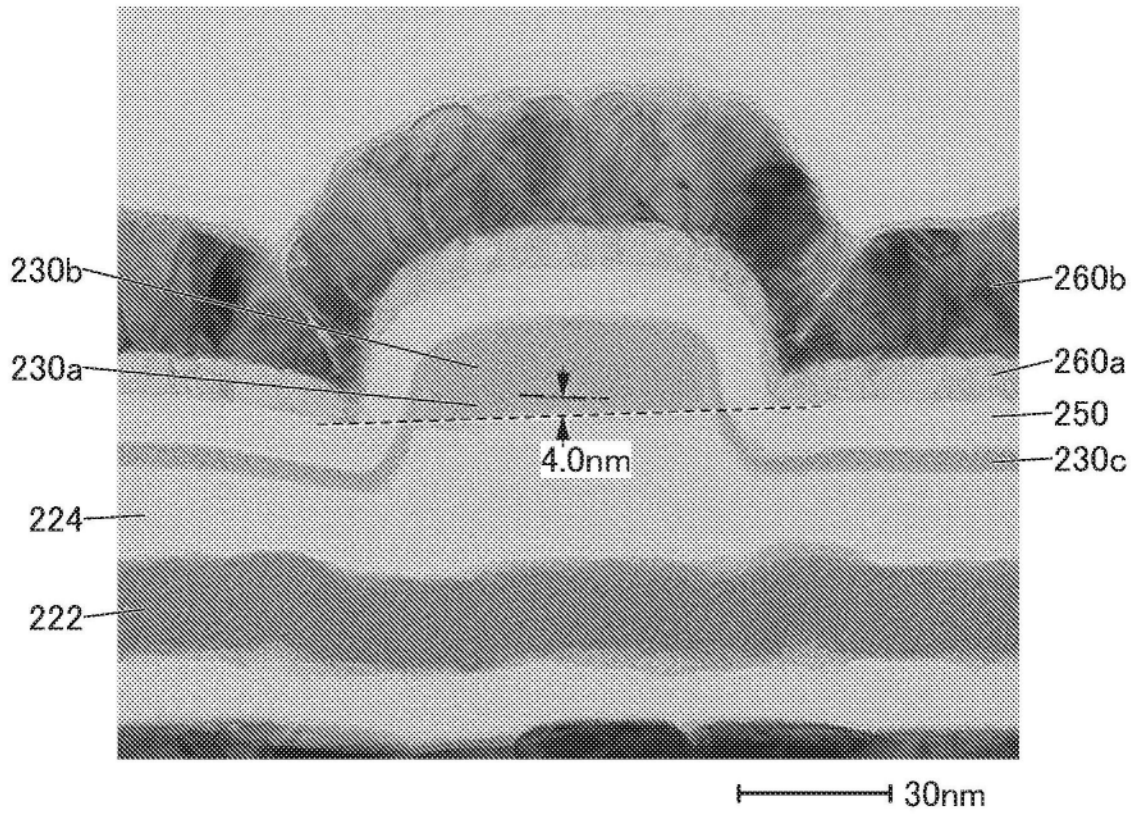


图21