

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-102724

(P2019-102724A)

(43) 公開日 令和1年6月24日(2019.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 H	5 F 0 0 3
HO 1 L 29/737 (2006.01)	HO 1 L 29/80 F	5 F 0 3 3
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 G	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 21/88 T	
HO 1 L 21/3205 (2006.01)	HO 1 L 21/92 6 O 2 D	

審査請求 未請求 請求項の数 10 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2017-234277 (P2017-234277)
 (22) 出願日 平成29年12月6日 (2017.12.6)

(71) 出願人 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74) 代理人 100105887
 弁理士 来山 幹雄
 (74) 代理人 100145023
 弁理士 川本 学
 (72) 発明者 黒川 敦
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内
 Fターム(参考) 5F003 AP09 BA11 BA13 BA22 BA92
 BB90 BC90 BE90 BF06 BH01
 BH02 BH05 BH07 BH16 BH94
 BH99 BJ06 BJ18 BM03

最終頁に続く

(54) 【発明の名称】 半導体素子

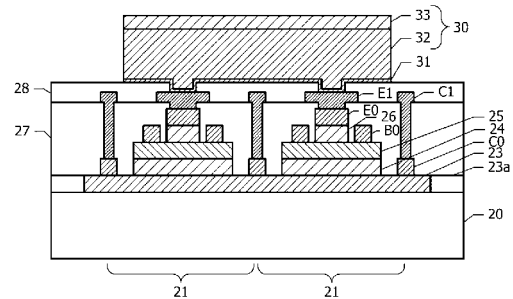
(57) 【要約】

【課題】 バンプと半導体層との熱膨張係数の相違に起因して発生する熱応力を低減させるとともに、配線層の層数を少なくすることが可能な半導体素子を提供する。

【解決手段】 トランジスタが、基板に設けられた半導体領域、及び3種類の端子電極を含み、少なくとも1つの端子電極は複数の導体パターンで構成された分離電極構造を持つ。分離電極構造を持つ端子電極の上に、複数の導体パターンを相互に電気的に接続するバンプが配置されている。トランジスタの半導体領域とバンプとの間に、高融点金属を含む金属材料からなる応力緩和層が配置されている。導体パターンとバンプとの間には、複数の導体パターンを相互に接続する電流経路が配置されていない。

【選択図】 図2

図2



【特許請求の範囲】**【請求項 1】**

基板に設けられた半導体領域、及び 3 種類の端子電極を含み、少なくとも 1 つの前記端子電極は複数の導体パターンで構成された分離電極構造を持つトランジスタと、

前記分離電極構造を持つ前記端子電極の上に配置され、複数の前記導体パターンを相互に電氣的に接続するバンプと、

前記トランジスタの半導体領域と前記バンプとの間に配置され、高融点金属を含む金属材料からなる応力緩和層とを有し、

前記導体パターンと前記バンプの間には、複数の前記導体パターンを相互に接続する電流経路が配置されていない半導体素子。

10

【請求項 2】

前記応力緩和層は、W、Mo、Ta、及びCrからなる群より選択された少なくとも 1 つの高融点金属を含み、その厚さが 100nm 以上である請求項 1 に記載の半導体素子。

【請求項 3】

前記応力緩和層は、高融点金属としてTiを含み、その厚さが 300nm 以上である請求項 1 に記載の半導体素子。

【請求項 4】

前記応力緩和層は、前記バンプの下地層として形成され、前記バンプの平面形状と同一の平面形状を有する請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子。

20

【請求項 5】

前記応力緩和層は、前記分離電極構造を持つ前記端子電極の一部を構成する請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子。

【請求項 6】

さらに、前記端子電極と前記バンプとの間に配置された 1 つの配線層を有し、

前記バンプ及び前記導体パターンは、前記配線層に含まれる配線に、他の配線層を介することなく接続されている請求項 1 乃至 5 のいずれか 1 項に記載の半導体素子。

【請求項 7】

前記トランジスタは、コレクタ層、ベース層、エミッタ層を含むバイポーラトランジスタであり、

30

3 つの前記端子電極は、それぞれ前記コレクタ層、前記ベース層、及び前記エミッタ層に接続されたコレクタ電極、ベース電極、及びエミッタ電極を含む請求項 1 乃至 6 のいずれか 1 項に記載の半導体素子。

【請求項 8】

平面視において、前記バンプの内側に前記エミッタ層が配置されている請求項 7 に記載の半導体素子。

【請求項 9】

前記トランジスタは、前記基板の表層部に画定された活性領域を含む電界効果トランジスタであり、

3 つの前記端子電極は、それぞれ前記活性領域の上に配置されたソース電極、ドレイン電極、及びゲート電極を含む請求項 1 乃至 6 のいずれか 1 項に記載の半導体素子。

40

【請求項 10】

平面視において、前記ゲート電極と前記活性領域とが重なる領域が前記バンプの内側に配置されている請求項 9 に記載の半導体素子。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体素子に関する。

【背景技術】**【0002】**

50

bumps を介して半導体素子を実装基板に実装し、 bumps を放熱経路として利用する技術が公知である（特許文献 1、2）。

【0003】

特許文献 1 に開示された半導体装置においては、化合物半導体基板に形成された複数の単位トランジスタを並列接続することによりヘテロ接合バイポーラトランジスタ（HBT）が構成されている。複数の単位トランジスタのエミッタに bumps が電氣的に接続されている。複数の単位トランジスタは第 1 の方向に配列され、 bumps は第 1 の方向に延伸して配置されている。

【0004】

特許文献 2 に開示された半導体装置においては、配線層に含まれる電流経路が導電性ピラーに接続されている。導電性ピラーは、HBT のエミッタに接続されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2016 - 103540 号公報

【特許文献 2】米国特許第 8314472 号

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献 1 に開示された複数の単位トランジスタの各々は、コレクタ、ベース、及びエミッタの三端子を有する。複数の単位トランジスタのコレクタ同士、ベース同士、及びエミッタ同士が、それぞれまとめ配線で接続される。三端子をそれぞれまとめ配線に接続するために配線を交差させる必要があるため、少なくとも 2 層の配線層が必要である。

20

【0007】

特許文献 2 に開示された半導体装置においては、導電性ピラー（ bumps ）と半導体層との熱膨張係数の相違により半導体層に熱応力が発生する。この熱応力により、半導体装置の信頼性の低下、電氣的特性のばらつき、電氣的特性の不良等が発生しやすくなる。

【0008】

本発明の目的は、 bumps と半導体層との熱膨張係数の相違に起因して発生する熱応力を低減させるとともに、配線層の層数を少なくすることが可能な半導体素子を提供すること

30

【課題を解決するための手段】

【0009】

本発明の第 1 の観点による半導体素子は、

基板に設けられた半導体領域、及び 3 種類の端子電極を含み、少なくとも 1 つの前記端子電極は複数の導体パターンで構成された分離電極構造を持つトランジスタと、

前記分離電極構造を持つ前記端子電極の上に配置され、複数の前記導体パターンを相互に電氣的に接続する bumps と、

前記トランジスタの半導体領域と前記 bumps との間に配置され、高融点金属を含む金属材料からなる応力緩和層と

40

を有し、

前記導体パターンと前記 bumps との間には、複数の前記導体パターンを相互に接続する電流経路が配置されていない。

【0010】

応力緩和層を配置することにより、トランジスタの半導体領域に発生する熱応力を低減させることができる。分離電極構造を持つ端子電極の複数の導体パターンが bumps によって相互に電氣的に接続されているため、複数の導体パターンを相互に接続する配線層を配置する必要がない。このため、配線層の層数を少なくすることが可能になる。

【0011】

本発明の第 2 の観点による半導体素子は、第 1 の観点による半導体素子の構成に加えて

50

、
前記応力緩和層は、W、Mo、Ta、及びCrからなる群より選択された少なくとも1つの高融点金属を含み、その厚さが100nm以上であるという特徴を有する。

【0012】

応力緩和層をこのような構成にすることにより、熱応力を低減させる十分な効果が得られる。

【0013】

本発明の第3の観点による半導体素子は、第1の観点による半導体素子の構成に加えて、

、
前記応力緩和層は、高融点金属としてTiを含み、その厚さが300nm以上であるという特徴を有する。

【0014】

応力緩和層をこのような構成にすることにより、熱応力を低減させる十分な効果が得られる。

【0015】

本発明の第4の観点による半導体素子は、第1から第3のまでの観点による半導体素子の構成に加えて、

前記応力緩和層は、前記パンプの下地層として形成され、前記パンプの平面形状と同一の平面形状を有するという特徴を有する。

【0016】

パンプの下地層となる応力緩和層が、パンプと半導体領域との間に配置されることにより、パンプの熱膨張率と半導体領域の熱膨張率との差に起因して半導体領域に発生する熱応力を低減させる。

【0017】

本発明の第5の観点による半導体素子は、第1から第3のまでの観点による半導体素子の構成に加えて、

前記応力緩和層は、前記分離電極構造を持つ前記端子電極の一部を構成するという特徴を有する。

【0018】

端子電極が応力緩和層として機能することにより、半導体領域に発生する熱応力を低減させることができる。

【0019】

本発明の第6の観点による半導体素子は、第1から第5のまでの観点による半導体素子の構成に加えて、

さらに、前記端子電極と前記パンプとの間に配置された1つの配線層を有し、

前記パンプ及び前記導体パターンは、前記配線層に含まれる配線に、他の配線層を介することなく接続されているという特徴を有する。

【0020】

1層の配線層を介してパンプと複数の導体パターンとが接続され、複数の導体パターンがパンプによって相互に接続されるため、2層以上の配線層を配置する必要がない。これにより、製造コストの低減を図ることができる。

【0021】

本発明の第7の観点による半導体素子は、第1から第6のまでの観点による半導体素子の構成に加えて、

前記トランジスタは、コレクタ層、ベース層、エミッタ層を含むバイポーラトランジスタであり、

3つの前記端子電極は、それぞれ前記コレクタ層、前記ベース層、及び前記エミッタ層に接続されたコレクタ電極、ベース電極、及びエミッタ電極を含むという特徴を有する。

【0022】

バイポーラトランジスタの半導体領域に発生する熱応力を低減させることにより、バイ

10

20

30

40

50

ポーラトランジスタの信頼性の低下、電気的特性のばらつき等を抑制することができる。

【0023】

本発明の第8の観点による半導体素子は、第7の観点による半導体素子の構成に加えて、
平面視において、前記バンプの内側に前記エミッタ層が配置されているという特徴を有する。

【0024】

エミッタ層で発生する熱を、バンプを通して効率的に外部に放熱することができる。バンプと半導体領域との間に応力緩和層が配置されているため、平面視においてバンプの内側にエミッタ層が配置されている場合であっても、エミッタ層に発生する熱応力が低減されるため、信頼性の低下、特性のばらつき等を抑制することができる。

10

【0025】

本発明の第9の観点による半導体素子は、第1から第6までの観点による半導体素子の構成に加えて、

前記トランジスタは、前記基板の表層部に画定された活性領域を含む電界効果トランジスタであり、

3つの前記端子電極は、それぞれ前記活性領域の上に配置されたソース電極、ドレイン電極、及びゲート電極を含むという特徴を有する。

【0026】

電界効果トランジスタの半導体領域に発生する熱応力を低減させることにより、電界効果トランジスタの信頼性の低下、電気的特性のばらつき等を抑制することができる。

20

【0027】

本発明の第10の観点による半導体素子は、第9の観点による半導体素子の構成に加えて、

平面視において、前記ゲート電極と前記活性領域とが重なる領域が前記バンプの内側に配置されているという特徴を有する。

【0028】

ゲート電極と活性領域とが重なる動作領域で発生する熱を、バンプを通して効率的に外部に放熱することができる。バンプと半導体領域との間に応力緩和層が配置されているため、平面視においてバンプの内側に動作領域が配置されている場合であっても、動作領域に発生する熱応力が低減されるため、信頼性の低下、特性のばらつき等を抑制することができる。

30

【発明の効果】

【0029】

応力緩和層を配置することにより、トランジスタの半導体領域に発生する熱応力を低減させることができる。分離電極構造を持つ端子電極の複数の導体パターンがバンプによって相互に電気的に接続されているため、複数の導体パターンを相互に接続する配線層を配置する必要がない。このため、配線層の層数を少なくすることが可能になる。

【図面の簡単な説明】

【0030】

40

【図1】図1は、第1実施例による半導体素子の平面図である。

【図2】図2は、図1の一点鎖線2-2における断面図である。

【図3】図3は、比較例による半導体素子の概略平面図である。

【図4】図4Aは、第1実施例の第2変形例による半導体素子の断面図であり、図4Bは、第1実施例の第3変形例による半導体素子の断面図である。

【図5】図5は、第2実施例による半導体素子の平面図である。

【図6】図6は、図5の一点鎖線6-6における断面図である。

【図7】図7は、第2実施例において、応力緩和層として機能するアンダーバンプメタル層が配置されていない場合を基準としたときの、真性エミッタ層に発生する熱応力の最大値の変化率を示すグラフである。

50

【図 8】図 8 は、第 3 実施例による半導体素子の断面図である。

【図 9】図 9 は、第 3 実施例において、応力緩和層が配置されていない場合を基準としたときの、真性エミッタ層に発生する熱応力の最大値の変化率を示すグラフである。

【図 10】図 10 は、第 4 実施例において、応力緩和層としてのエミッタ電極が配置されていない場合を基準としたときの、真性エミッタ層に発生する熱応力の最大値の変化率を示すグラフである。

【図 11】図 11 は、第 5 実施例による半導体素子の平面図である。

【図 12】図 12 は、図 11 の一点鎖線 12 - 12 における断面図である。

【図 13】図 13 は、第 5 実施例の変形例による半導体素子の断面図である。

【発明を実施するための形態】

10

【0031】

[第 1 実施例]

図 1、図 2、及び図 3 を参照して、第 1 実施例による半導体素子について説明する。

図 1 は、第 1 実施例による半導体素子の平面図である。半導体素子の基板の上面を x y 面とし、上面の法線方向を x 軸の正方向とする x y z 直交座標系を定義する。第 1 実施例による半導体素子は、トランジスタ及びトランジスタに接続された配線、及びパンプを含む。このトランジスタは、相互に並列に接続された 2 つの単位トランジスタ 21 を含む。

【0032】

2 つの単位トランジスタ 21 は、 x 軸方向に並んで配置されている。単位トランジスタ 21 の各々は、エミッタ層、ベース層、及びコレクタ層、及びこれらにそれぞれ接続されたエミッタ電極 E_0 、ベース電極 B_0 、及びコレクタ電極 C_0 を含む。図 1 において、エミッタ電極 E_0 、ベース電極 B_0 、及びコレクタ電極 C_0 にハッチングを付している。

20

【0033】

エミッタ電極 E_0 の各々は、 y 軸方向に長い長方形の平面形状を有する。ベース電極 B_0 が、 x 軸方向に関して正及び負の側、及び y 軸に関して正の側の三方向からエミッタ電極 E_0 の各々を取り囲むように配置されている。 x 軸方向に関してベース電極 B_0 の両側にそれぞれコレクタ電極 C_0 が配置されている。2 つの単位トランジスタ 21 のベース電極 B_0 の間に配置されたコレクタ電極 C_0 は、2 つの単位トランジスタ 21 で共用される。

【0034】

実施例による半導体素子は、1 層目の配線層に配置されたエミッタ配線 E_1 、コレクタ配線 C_1 、及びベース配線 B_1 を含む。1 層目のエミッタ配線 E_1 は、2 つのエミッタ電極 E_0 にそれぞれ重なるように配置された 2 つの孤立した導体パターンで構成され、導体パターンの各々は、その下のエミッタ電極 E_0 に電氣的に接続されている。

30

【0035】

1 層目のコレクタ配線 C_1 は櫛歯型の平面形状を有する。1 層目のコレクタ配線 C_1 の櫛歯部分が、それぞれコレクタ電極 C_0 と重なるように配置されている。コレクタ電極 C_0 を構成する複数の導体パターンは、1 層目のコレクタ配線 C_1 によって相互に接続されている。

【0036】

1 層目のベース配線 B_1 は、2 つの単位トランジスタ 21 の各々のベース電極 B_0 を相互に接続する。

40

【0037】

パンプ 30 が、1 層目のエミッタ配線 E_1 の 2 つの導体パターンと重なるように配置されている。パンプ 30 は、1 層目のエミッタ配線 E_1 の 2 つの導体パターンに電氣的に接続されている。2 つの単位トランジスタ 21 のエミッタ電極 E_0 を構成する 2 つの導体パターンは、パンプ 30 により相互に電氣的に接続されている。

【0038】

図 2 は、図 1 の一点鎖線 2 - 2 における断面図である。半絶縁性の $GaAs$ からなる基板 20 の上にサブコレクタ層 23 が配置されている。サブコレクタ層 23 は、高濃度の n

50

型 GaAs で形成され、その厚さは例えば $0.5 \mu\text{m}$ である。サブコレクタ層 23 の一部は、イオン注入により絶縁化されたアイソレーション領域 23a とされている。サブコレクタ層 23 は、2 つの単位トランジスタ 21 で共用される。

【0039】

サブコレクタ層 23 の上に、単位トランジスタ 21 ごとにコレクタ層 24、ベース層 25、及びエミッタ層 26 が順番に積層されている。コレクタ層 24 は、n 型 GaAs で形成され、その厚さは例えば $1 \mu\text{m}$ である。ベース層 25 は p 型 GaAs で形成され、その厚さは例えば 100nm である。ベース層 25 とコレクタ層 24 とは、同一の平面形状を有し、コレクタメサを構成する。

【0040】

エミッタ層 26 は、ベース層 25 の一部の領域の上に配置されている。エミッタ層 26 は、例えば、ベース層 25 側から順番に配置された厚さ $30 \text{nm} \sim 40 \text{nm}$ の n 型 InGaP 層、厚さ 100nm の高濃度の n 型 GaAs 層、及び厚さ 100nm の高濃度の n 型 InGaAs 層を含む。高濃度の n 型 InGaAs 層は、その上に配置されるエミッタ電極 E0 とオーミックコンタクトを取るためのものである。

【0041】

サブコレクタ層 23 の上に、コレクタ電極 C0 が配置されており、サブコレクタ層 23 にオーミックに接続されている。コレクタ電極 C0 は、3 個の導体パターンで構成されており、3 個の導体パターンは、x 軸方向に関してコレクタメサの間、及び 2 つのコレクタメサの外側に配置されている。コレクタ電極 C0 は、例えば厚さ 60nm の AuGe 膜、厚さ 10nm の Ni 膜、及び厚さ 200nm の Au 膜を積層することにより形成される。

【0042】

ベース電極 B0 がベース層 25 の上に配置されており、ベース層 25 にオーミックに接続されている。図 2 に示した断面において、ベース電極 B0 はエミッタ層 26 の両側に配置されている。ベース電極 B0 は、例えば厚さ 50nm の Ti 膜、厚さ 50nm の Pt 膜、厚さ 200nm の Au 膜を積層することにより形成される。

【0043】

エミッタ層 26 の上にエミッタ電極 E0 が配置されている。エミッタ電極 E0 として、例えば厚さ 50nm の Ti 膜が用いられる。

【0044】

単位トランジスタ 21 を覆うように、絶縁膜 27 が配置されている。絶縁膜 27 として、例えば SiN 膜とポリイミド等の樹脂膜との積層膜が用いられる。絶縁膜 27 の上面は平坦化されている。なお、絶縁膜 27 を SiN 膜の単層で構成してもよい。

【0045】

絶縁膜 27 の上に、1 層目のエミッタ配線 E1 及びコレクタ配線 C1 が配置されている。エミッタ配線 E1 は、絶縁膜 27 に設けられた開口を經由してエミッタ電極 E0 に電氣的に接続されている。1 層目のコレクタ配線 C1 は、絶縁膜 27 に設けられた開口を經由してコレクタ電極 C0 に電氣的に接続されている。図 2 に示した断面には表れていないが、絶縁膜 27 の上に、1 層目のベース配線 B1 (図 1) も配置されている。ベース配線 B1 は、絶縁膜 27 に設けられた開口を經由してベース電極 B0 に電氣的に接続されている。

【0046】

1 層目のエミッタ配線 E1、コレクタ配線 C1、及びベース配線 B1 は、例えば厚さ 50nm の Ti 膜と、その上に配置された厚さ $1 \mu\text{m}$ の Au 膜との 2 層構造を有する。

【0047】

1 層目のエミッタ配線 E1、コレクタ配線 C1、及びベース配線 B1 を覆うように、絶縁膜 27 の上に、上層の絶縁膜 28 が配置されている。絶縁膜 28 として、例えば SiN 膜、または SiN 膜と樹脂膜との積層膜が用いられる。

【0048】

絶縁膜 28 の上に、パンプ 30 が配置されている。パンプ 30 は、絶縁膜 28 に 1 層目

10

20

30

40

50

のエミッタ配線 E 1 ごとに設けられた開口を經由してエミッタ配線 E 1 に電氣的に接続されている。パンプ 3 0 は、メタルポスト 3 2、及びその上のハンダ層 3 3 を含む。パンプ 3 0 の下に、下地層としてアンダーパンプメタル層 3 1 が配置されている。

【 0 0 4 9 】

アンダーパンプメタル層 3 1 は、例えば T i で形成される。メタルポスト 3 2 として、例えば厚さ 5 0 μm の C u 膜が用いられる。ハンダ層 3 3 として、例えば厚さ 3 0 μm の S n 膜が用いられる。メタルポスト 3 2 とハンダ層 3 3 との間に、N i 等からなる相互拡散防止用のバリアメタル層を配置してもよい。

【 0 0 5 0 】

次に、第 1 実施例による半導体素子の構造を採用することにより得られる優れた効果について、図 3 に示した比較例による半導体素子と比較しながら説明する。

10

【 0 0 5 1 】

図 3 は、比較例による半導体素子の概略平面図である。複数の単位トランジスタを並列に接続するために、コレクタまとめ配線 C C、エミッタまとめ配線 E C、及びベースまとめ配線 B C が配置されている。コレクタまとめ配線 C C は複数のコレクタ電極 C 0 を相互に接続する。エミッタまとめ配線 E C は複数のエミッタ電極 E 0 を相互に接続する。ベースまとめ配線 B C は複数のベース電極 B 0 を相互に接続する。3 種類の電極を、それぞれ対応するまとめ配線に接続するためには、通常、少なくとも 2 つの配線を交差させなければならない。例えば、図 3 に示した比較例では、エミッタ電極 E 0 をエミッタまとめ配線 E C に接続するための配線が、コレクタまとめ配線 C C と交差している。このため、複数の単位トランジスタ 2 1 を並列に接続するために、少なくとも 2 層の配線層が必要である。

20

【 0 0 5 2 】

第 1 実施例では、図 1 に示したように、1 層目のコレクタ配線 C 1 及びベース配線 B 1 が、それぞれコレクタまとめ配線及びベースまとめ配線としての役割を担う。1 層目のエミッタ配線 E 1 は、エミッタ電極 E 0 の 2 つの導体パターンごとに配置されており、エミッタまとめ配線としての役割を持たない。第 1 実施例では、パンプ 3 0 がエミッタ電極 E 0 の 2 つの導体パターンを相互に接続しており、エミッタまとめ配線としての役割を担う。このように、パンプ 3 0 が、本来の外部接続用の端子としての機能の他に、エミッタ電極 E 0 の 2 つの導体パターンを相互に接続するまとめ配線としての機能を持つ。このため

30

【 0 0 5 3 】

上述のように、第 1 実施例では、必ずしも 2 層の配線層を設ける必要がないため、比較例 (図 3) に比べて配線層の層数を減らすことが可能になる。配線層の層数を減らすことにより、製造コストの低減を図ることができる。

【 0 0 5 4 】

次に、アンダーパンプメタル層 3 1 (図 2) を配置することにより得られる優れた効果について説明する。G a A s、I n G a A s 等の半導体からなるエミッタ層 2 6、ベース層 2 5、及びコレクタ層 2 4 の熱膨張率と、C u や S n 等からなるメタルポスト 3 2 及びハンダ層 3 3 の熱膨張率との差に起因して、エミッタ層 2 6 等の半導体層に熱応力が発生する。例えば、G a A s の熱膨張率が約 6 p p m / $^{\circ}\text{C}$ 、I n G a P の熱膨張率が 5 p p m / $^{\circ}\text{C}$ 以上 6 p p m / $^{\circ}\text{C}$ 以下の範囲内であるのに対し、C u の熱膨張率は 1 7 p p m / $^{\circ}\text{C}$ 、S n の熱膨張率は 2 2 p p m / $^{\circ}\text{C}$ である。また、半導体素子を実装するプリント回路板の熱膨張率も、一般的に 1 5 p p m / $^{\circ}\text{C}$ 以上 2 0 p p m / $^{\circ}\text{C}$ 以下の範囲内である。

40

【 0 0 5 5 】

アンダーパンプメタル層 3 1 に用いられている T i の熱膨張率は 8 . 6 p p m / $^{\circ}\text{C}$ であり、半導体層の熱膨張率に近い。このため、アンダーパンプメタル層 3 1 が、半導体層に発生する熱応力を緩和する応力緩和層として機能する。

【 0 0 5 6 】

半導体層に、熱応力による歪みが発生すると、高温での通電動作時にバイポーラトラン

50

ジスタの電流増幅率が低下してしまう。第1実施例では、半導体層に発生する熱応力が低減されるため、電流増幅率の低下を抑制することができる。

【0057】

さらに、第1実施例では、発熱源となるエミッタ層26等がパンプ30の真下に配置されている。発熱源からパンプ30までの熱伝達経路が短くなるため、パンプ30を介した良好な放熱特性を確保することができる。この結果、バイポーラトランジスタの温度上昇による高周波特性の低下を抑制することができる。

【0058】

次に、第1実施例の第1変形例について説明する。第1実施例ではアンダーパンプメタル層31(図2)にTiを用いたが、その他の高融点金属、高融点金属を含む化合物、または高融点金属を含む合金を用いてもよい。高融点金属として、Tiの他にTa、Mo、Cr、Wが挙げられる。高融点金属を含む化合物として、Ta₂N、TiN等の高融点金属の窒化物、MoSi₂、WSi₂等の高融点金属のシリサイドが挙げられる。高融点金属を含む合金として、TiW等が挙げられる。

10

【0059】

アンダーパンプメタル層31として、SiN等の下地の絶縁膜28(図1)に対して接着性のよいTi膜と、その上に配置されたW等の応力緩和作用の高い膜とを含む多層構造を採用してもよい。このように、アンダーパンプメタル層31を、複数の金属膜からなる積層構造としてもよい。

【0060】

次に、図4A及び図4Bを参照して、さらに第1実施例の第2変形例及び第3変形例について説明する。

20

図4Aは、第1実施例の第2変形例による半導体素子の断面図である。第1実施例では、エミッタ電極E0とパンプ30とが1層目のエミッタ配線E1(図2)を介して接続されていた。第2変形例では、1層目の配線層が省略され、エミッタ電極E0とパンプ30とが配線層を介することなく電氣的に接続されている。さらに、ベース用のパンプ及びコレクタ用のパンプも、それぞれベース電極B0及びコレクタ電極C0に、配線層を介することなく電氣的に接続されている。

【0061】

第1変形例では、エミッタ電極E0、ベース電極B0、及びコレクタ電極C0と、パンプ30との間に配線層を配置する必要がないため、製造コストをより低減させることができる。

30

【0062】

図4Bは、第1実施例の第3変形例による半導体素子の断面図である。第1実施例では、1層目のエミッタ配線E1がエミッタ電極E0(図2)を介してエミッタ層26に接続されていた。第3変形例では、エミッタ電極E0が省略され、1層目のエミッタ配線E1がエミッタ層26に直接接触している。すなわち、1層目のエミッタ配線E1が、第1実施例のエミッタ電極E0(図2)を兼ねている。

【0063】

また、コレクタ電極C0を省略し、1層目のコレクタ配線C1をサブコレクタ層23に直接オーミック接触させてもよい。さらに、ベース電極B0を省略し、1層目のベース配線B1(図1)をベース層25に直接オーミック接触させてもよい。

40

【0064】

次に、第1実施例の第4変形例について説明する。

第1実施例による半導体素子に含まれるHBTは、3種類の端子電極、すなわちエミッタ電極E0、ベース電極B0、及びコレクタ電極C0を含む。第1実施例による半導体素子では、複数のコレクタ電極C0が1層目のコレクタ配線C1により相互に電氣的に接続され、複数のベース電極B0が1層目のベース配線B1により相互に電氣的に接続されている。これに対し、エミッタ電極E0を構成する複数の導体パターンは、パンプ30により相互に電氣的に接続されており、エミッタ電極E0とパンプ30との間の配線層には、

50

エミッタ電極 E 0 の複数の導体パターンを相互に接続する電流経路は配置されていない。

【 0 0 6 5 】

第 4 変形例では、コレクタ電極 C 0 を構成する複数の導体パターンがバンプによって相互に接続されており、コレクタ電極 C 0 とバンプとの間には、コレクタ電極 C 0 を構成する複数の導体パターンを相互に接続する電流経路が配置されていない。エミッタ電極 E 0 を構成する複数の導体パターンは、1 層目のエミッタ配線 E 1 により相互に電氣的に接続されている。

【 0 0 6 6 】

ベース電極 B 0 を構成する複数の導体パターンをバンプによって相互に接続し、ベース電極 B 0 とバンプとの間に、ベース電極 B 0 を構成する複数の導体パターンを相互に接続する電流経路を配置しない構成としてもよい。

【 0 0 6 7 】

また、第 1 実施例では、エミッタ電極 E 0 の平面形状を長方形にしたが、その他の形状、例えば八角形等の多角形にしてもよい。エミッタ電極 E 0 の形状に合わせて、その下のエミッタ層 2 6 の平面形状も、八角形等の多角形にしてもよい。

【 0 0 6 8 】

[第 2 実施例]

次に、図 5、図 6、及び図 7 を参照して、第 2 実施例による半導体素子について説明する。以下、第 1 実施例による半導体素子と共通の構成については説明を省略する。

【 0 0 6 9 】

図 5 は、第 2 実施例による半導体素子の平面図である。第 1 実施例では 2 個の単位トランジスタ 2 1 (図 1) を並列接続したが、第 2 実施例では、3 個以上の複数の、例えば 1 0 個の単位トランジスタ 2 1 を並列接続することにより H B T が構成される。1 0 個の単位トランジスタ 2 1 は、x 軸方向に並んで配置されている。単位トランジスタ 2 1 の各々は、エミッタ電極 E 0、ベース電極 B 0、及びコレクタ電極 C 0 を含む。図 5 において、エミッタ電極 E 0、ベース電極 B 0、及びコレクタ電極 C 0 にハッチングを付している。

【 0 0 7 0 】

1 層目のエミッタ配線 E 1 が、1 0 個のエミッタ電極 E 0 に対応して 1 0 個の導電パターンにより構成される。1 層目のコレクタ配線 C 1 が、コレクタ電極 C 0 を構成する複数の導体パターンを相互に接続する。複数の 1 層目のベース配線 B 1 が、それぞれベース電極 B 0 を構成する複数の導体パターンに接続されている。

【 0 0 7 1 】

第 1 実施例では、x 軸方向に関してベース電極 B 0 がエミッタ電極 E 0 の両側に配置されていたが、第 2 実施例では、エミッタ電極 E 0 の片側 (x 軸の負の側) にのみベース電極 B 0 が配置されている。

【 0 0 7 2 】

バンプ 3 0 は、x 軸方向に長い長方形の両端に半円を接続したレーストラック形状を有する。平面視において 1 層目のコレクタ配線 C 1 の内側に、複数のコレクタ用のバンプ 3 5 が配置されており、1 層目のコレクタ配線 C 1 は、コレクタ用のバンプ 3 5 に電氣的に接続されている。

【 0 0 7 3 】

図 6 は、図 5 の一点鎖線 6 - 6 における断面図である。基板 2 0、コレクタ層 2 4、及びベース層 2 5 の構成は、第 1 実施例によるこれらの構成と同一である。エミッタ層 2 6 は、第 1 実施例による半導体素子のエミッタ層 2 6 (図 2) と同様に、n 型 I n G a P 層、高濃度の n 型 G a A s 層、及び高濃度の n 型 I n G a A s 層を含む。

【 0 0 7 4 】

第 2 実施例では、最も下の n 型 I n G a P 層がベース層 2 5 の上面の全域の上に配置されている。n 型 I n G a P 層の一部の領域の上に、n 型 G a A s 層と n 型 I n G a A s 層とからなるエミッタメサ層 2 6 B が配置されている。n 型 I n G a P 層のうちエミッタメサ層 2 6 B が配置されていない領域は空乏化している。空乏化している領域をレッジ層 2

10

20

30

40

50

6Cという。n型InGaP層のうちエミッタメサ層26Bと重なる領域を、真性エミッタ層26Aという。真性エミッタ層26Aとエミッタメサ層26Bとが、第1実施例による半導体素子のエミッタ層26(図2)に相当する。

【0075】

レジ層26Cに設けられた開口内にベース電極B0が配置されている。エミッタ電極E0及びコレクタ電極C0の構成は、第1実施例による半導体素子のエミッタ電極E0及びコレクタ電極C0(図2)の構成と同一である。

【0076】

単位トランジスタ21を覆うようにSiNからなる絶縁膜27が配置されている。第1実施例では、絶縁膜27(図2)の上面が平坦化されていたが、第2実施例では、絶縁膜27の上面は平坦化されていない。

10

【0077】

絶縁膜27の上に配置された1層目のエミッタ配線E1及びコレクタ配線C1が、それぞれ絶縁膜27に設けられた開口を經由してエミッタ電極E0及びコレクタ電極C0に電氣的に接続されている。1層目のエミッタ配線E1及びコレクタ配線C1として、例えば厚さ1 μ mのAu膜が用いられる。

【0078】

1層目のエミッタ配線E1及びコレクタ配線C1を絶縁膜28が覆う。絶縁膜28は、樹脂膜28A、SiN膜28B、及び樹脂膜28Cがこの順番に積層された3層構造を有する。絶縁膜28の上面は平坦化されている。絶縁膜28の上のアンダーパンプメタル層31及びパンプ30の構造は、第1実施例による半導体素子(図2)のこれらの構造と同一である。

20

【0079】

複数の単位トランジスタ21の真性エミッタ層26Aは、エミッタメサ層26B、エミッタ電極E0、及び1層目のエミッタ配線E1を介して、パンプ30により相互に接続されている。複数の単位トランジスタ21のコレクタ層24は、サブコレクタ層23、コレクタ電極C0を介して、1層目のコレクタ配線C1により相互に接続されている。

【0080】

複数の単位トランジスタ21のベース層25は、ベース電極B0を介して1層目のベース配線B1(図1)に接続されている。図1では、複数のベース電極B0が1層目のベース配線B1により相互に接続されている例を示したが、単位トランジスタ21の各々のベース層25には、パラスト抵抗、高周波入力用のキャパシタ等を接続することが好ましい。ベース層25は、パラスト抵抗を介してバイアス回路に接続され、キャパシタを介して高周波入力用のパンプに接続される。なお、ベース層25は、キャパシタ、及び同一基板上のマッチング回路を介して高周波入力用のパンプに接続してもよい。

30

【0081】

第2実施例による半導体素子は、エミッタ用のパンプ30、コレクタ用のパンプ35(図5)、高周波入力用のパンプ等を実装基板のランド等にハンダ付けすることにより、実装基板に実装される。実装基板として、例えばアルミナ等のセラミック基板、樹脂基板等が用いられる。

40

【0082】

次に、図7を参照して、エミッタ層26に発生する熱応力をシミュレーションにより求めた結果について説明する。シミュレーションにおいて、真性エミッタ層26A(図6)のy軸方向の寸法(長さ)を30 μ mとし、x軸方向の寸法(幅)を4 μ mとした。10本の真性エミッタ層26A(図5)のうち1本を取り出して熱応力を計算した。パンプ30(図5)は、長さ240 μ m、幅75 μ mの長方形の短辺に直径75 μ mの半円を接続したレーストラック形状とした。樹脂膜28A、28Cの各々の厚さを1.5 μ mとし、SiN膜28Bの厚さを0.5 μ mとした。半導体素子の温度を、ハンダの接合温度付近の230 から150 まで下降させたときに真性エミッタ層26Aに発生する熱応力を計算した。

50

【0083】

図7は、応力緩和層として機能するアンダーパンプメタル層31が配置されていない場合を基準としたときの、真性エミッタ層26Aに発生する熱応力の最大値の変化率を示すグラフである。横軸は応力緩和層として機能するアンダーパンプメタル層31の厚さを単位「 μm 」で表し、縦軸は応力変化率を単位「%」で表す。負の応力変化率は、熱応力が低減されていることを意味する。応力変化率の絶対値が大きいことは、熱応力が小さいことを意味する。アンダーパンプメタル層31にTi、Ta、Mo、Cr、Wの5種類の高融点金属を用いた場合についてシミュレーションを行った。Ti、Ta、Mo、Cr、Wの熱膨張率は、それぞれ8.6ppm/、6.3ppm/、5.1ppm/、4.9ppm/、4.5ppm/である。

10

【0084】

アンダーパンプメタル層31が厚くなるに従って熱応力が低下することがわかる。これは、アンダーパンプメタル層31の材料の熱膨張率が、半導体素子を構成する半導体材料の熱膨張率に近いためである。このシミュレーションにより、アンダーパンプメタル層31が、熱応力を緩和させる機能を有していることが確認された。

【0085】

[第3実施例]

次に、図8及び図9を参照して、第3実施例による半導体素子について説明する。以下、図5、図6、図7に示した第2実施例による半導体素子と共通の構成については説明を省略する。

20

【0086】

図8は、第3実施例による半導体素子の断面図である。第2実施例では、パンプ30の下地層として用いられるアンダーパンプメタル層31(図6)が応力緩和層として機能した。第3実施例では、アンダーパンプメタル層31が配置されておらず、その代わりに1層目のエミッタ配線E1の下に、応力緩和層41が配置されている。1層目のエミッタ配線E1は、応力緩和層41を介してエミッタ電極E0に接続される。

【0087】

図9は、応力緩和層41が配置されていない場合を基準としたときの、真性エミッタ層26A(図8)に発生する熱応力の最大値の変化率を示すグラフである。横軸は応力緩和層41の厚さを単位「 μm 」で表し、縦軸は応力変化率を単位「%」で表す。応力緩和層にTi、Ta、Mo、Wの4種類の高融点金属を用いた場合についてシミュレーションを行った。

30

【0088】

応力緩和層41が厚くなるに従って熱応力が低下しており、応力緩和層41が、熱応力を緩和させる機能を有していることが確認された。図8に示した例では、応力緩和層41を1層目のエミッタ配線E1の下に配置したが、応力緩和層41は、1層目のエミッタ配線E1の上または内部に配置してもよい。

【0089】

[第4実施例]

次に、図10を参照して、第4実施例による半導体素子について説明する。以下、図5、図6、図7に示した第2実施例による半導体素子と共通の構成については説明を省略する。

40

【0090】

第2実施例では、エミッタ電極E0として厚さ50nmのTi膜を用いたが、第4実施例では、エミッタ電極E0を構成するTi膜をより厚くするか、エミッタ電極E0にTi以外の高融点金属を用いる。また、応力緩和層として機能するアンダーパンプメタル層31(図6)は配置しない。

【0091】

図10は、応力緩和層として機能するエミッタ電極E0が配置されていない場合を基準としたときの、真性エミッタ層26Aに発生する熱応力の最大値の変化率を示すグラフで

50

ある。横軸はエミッタ電極 E 0 の厚さを単位「 μm 」で表し、縦軸は応力変化率を単位「 $\%$ 」で表す。エミッタ電極 E 0 に Ti、Ta、Mo、W の 4 種類の高融点金属を用いた場合についてシミュレーションを行った。

【0092】

エミッタ電極 E 0 が厚くなるに従って熱応力が低下しており、エミッタ電極 E 0 が、熱応力を緩和させる機能を有していることが確認された。

【0093】

[応力緩和層の厚さ]

次に、第 2 実施例、第 3 実施例、及び第 4 実施例による半導体素子における応力変化率のシミュレーション結果から導き出される応力緩和層の好ましい厚さについて説明する。アンダーパンプメタル層 3 1 (図 6)、応力緩和層 4 1 (図 8)、及びエミッタ電極 E 0 (図 1 0) 等の応力緩和層のいずれも極めて薄くして H B T の寿命試験を行った。その結果、短時間で H B T が劣化し、この H B T を実使用に適用することが困難であることが判明した。これは、熱応力によって真性エミッタ層 2 6 A 等の半導体層がダメージを受けるためである。応力緩和層を配置することによって真性エミッタ層 2 6 A に発生する熱応力を 2 % 低減させると、H B T の寿命が約 3 5 倍に延びた。この寿命は、実使用に耐える範囲である。

【0094】

応力緩和層を配置しない場合の熱応力を基準としたときの応力変化率の絶対値が 2 % 以上になると、H B T の寿命はさらに延びる。ただし、応力変化率の絶対値が 2 % 以上の範囲では、寿命の延び方は緩やかである。例えば、応力変化率が - 2 8 % の場合、H B T の寿命の延びは高々 4 1 倍であった。これらの評価実験から、H B T の長寿命化を図るために、応力緩和層を配置しない場合に比べて、真性エミッタ層 2 6 A に発生する熱応力を 2 % 以上低減させることが好ましいと考えられる。

【0095】

図 7、図 9、及び図 1 0 に示したシミュレーション結果から、H B T の長寿命化を図るために、高融点金属として Ta、Mo、Cr、または W を用いた応力緩和層の厚さを 1 0 0 n m 以上にすることにより、十分な寿命を確保することができると考えられる。また、これらの高融点金属を含む合金または化合物からなる応力緩和層を用いる場合にも、応力緩和層の厚さを 1 0 0 n m 以上にすることにより、十分な寿命を確保することができると

【0096】

高融点金属として Ti を用いた応力緩和層の厚さを 3 0 0 n m 以上にすることにより、十分な寿命を確保することができると考えられる。また、Ti を含む合金または化合物からなる応力緩和層を用いる場合にも、応力緩和層の厚さを 3 0 0 n m 以上にすることにより、十分な寿命を確保することができると考えられる。

【0097】

応力緩和層が、Ta、Mo、Cr、及び W から選択された 1 つの高融点金属と、Ti とを含む場合には、応力緩和層の厚さを 1 0 0 n m 以上にすればよい。例えば、応力緩和層に Ti W 合金を用いる場合には、その厚さを 1 0 0 n m 以上にすればよく、Ti Al 合金を用いる場合には、その厚さを 3 0 0 n m 以上にすればよい。

【0098】

応力緩和層を厚くしすぎることは、電気抵抗の観点から好ましくない。H B T の性能を決めるエミッタ抵抗の実用上の値は、エミッタ面積 $1 0 0 \mu\text{m}^2$ 当たり 0 . 1 程度である。応力緩和層の抵抗値は、このエミッタ抵抗の実用上の値より 1 桁以上小さくすることが好ましい。すなわち、0 . 0 1 以下にすることが好ましい。応力緩和層に用いられる Ti、Ta、Mo、Cr、W 等の電気抵抗率は、概ね $1 0^{-7} \text{m}$ のオーダーである。応力緩和層がエミッタ面積と同程度の開口でエミッタ電極に接していると仮定すると、応力緩和層の抵抗を 0 . 0 1 以下にするために、応力緩和層の厚さを、例えば 1 0 μm 以下にすることが好ましい。

10

20

30

40

50

【 0 0 9 9 】

[第 5 実施例]

次に、図 1 1 及び図 1 2 を参照して、第 5 実施例による半導体素子について説明する。以下、第 1 実施例による半導体素子と共通の構成については説明を省略する。第 1 実施例による半導体素子はバイポーラトランジスタを含んでいたが、第 5 実施例による半導体素子は、バイポーラトランジスタの代わりに電界効果トランジスタ (F E T) を含む。

【 0 1 0 0 】

図 1 1 は、第 5 実施例による半導体素子の平面図である。基板の上面を x y 面とし、上面の法線方向を z 軸の正方向とする x y z 直交座標系を定義する。x 軸方向に複数の単位トランジスタ 2 1 が並んでいる。複数の単位トランジスタ 2 1 が並列に接続されることにより、1 つの電界効果トランジスタを構成している。図 1 1 では、4 個の単位トランジスタ 2 1 が配置されている例を示している。単位トランジスタ 2 1 の各々は、M E S F E T である。

10

【 0 1 0 1 】

単位トランジスタ 2 1 の各々は、ゲート電極 G 0、ソース電極 S 0、及びドレイン電極 D 0 を含む。図 1 1 において、ゲート電極 G 0、ソース電極 S 0、及びドレイン電極 D 0 にハッチングを付している。x 軸方向に長い長方形の活性領域 5 0 と、y 軸方向に長い 4 本のゲート電極 G 0 の各々が交差している。複数のゲート電極 G 0 は、活性領域 5 0 の外側で相互に連結されている。例えば、図 1 1 において、左側の 2 本のゲート電極 G 0 が相互に連結されており、右側の 2 本のゲート電極 G 0 が相互に連結されている。全てのゲート電極 G 0 は、1 層目のゲート配線 G 1 に電氣的に接続されている。

20

【 0 1 0 2 】

ゲート電極 G 0 の各々の一方の側にドレイン電極 D 0 が配置され、他方の側にソース電極 S 0 が配置されている。相互に隣り合う単位トランジスタ 2 1 は、1 つのソース電極 S 0 または 1 つのドレイン電極 D 0 を共用している。図 1 1 では、2 本のソース電極 S 0 及び 3 本のドレイン電極 D 0 が配置されている例を示している。

【 0 1 0 3 】

櫛歯型の 1 層目のドレイン配線 D 1 の櫛歯部分が、それぞれ 3 本のドレイン電極 D 0 に重なって配置されており、ドレイン電極 D 0 に電氣的に接続されている。1 層目のドレイン配線 D 1 の複数の櫛歯部分は、活性領域 5 0 の外側において相互に連結されている。

30

【 0 1 0 4 】

ソース電極 S 0 に重なるように 1 層目のソース配線 S 1 が配置されている。ソース配線 S 1 は、ソース電極 S 0 のそれぞれに対応して配置された複数の導体パターンで構成される。1 層目のソース配線 S 1 を構成する複数の導体パターンは、パンプ 3 0 により相互に電氣的に接続されている。

【 0 1 0 5 】

活性領域 5 0 とゲート電極 G 0 とが重なっている部分が、F E T の動作においてドレイン電流が制御される部分である。本明細書において、活性領域 5 0 とゲート電極 G 0 とが重なっている部分を動作領域 6 0 ということとする。複数の動作領域 6 0 は、平面視においてパンプ 3 0 の内側に配置されている。

40

【 0 1 0 6 】

図 1 2 は、図 1 1 の一点鎖線 1 2 - 1 2 における断面図である。半絶縁性の G a A s からなる基板 5 1 の上に n 型 G a A s からなるチャネル層 5 2 がエピタキシャル成長されている。チャネル層 5 2 の一部の領域は、イオン注入技術によって絶縁化されてアイソレーション領域 5 2 a とされている。アイソレーション領域 5 2 a により、活性領域 5 0 が画定される。

【 0 1 0 7 】

チャネル層 5 2 に接するように、2 本のソース電極 S 0、4 本のゲート電極 G 0、及び 3 本のドレイン電極 D 0 が配置されている。これらの電極を覆うように、絶縁膜 5 5 が配置されている。絶縁膜 5 5 は、例えば S i N 膜からなる単層構造、または S i N 膜とポリ

50

イミド膜からなる2層構造を有する。

【0108】

絶縁膜55の上に1層目のドレイン配線D1及びソース配線S1が配置されている。1層目のドレイン配線D1は、絶縁膜55に設けられた開口を經由してドレイン電極D0に電氣的に接続されている。1層目のソース配線S1は、絶縁膜55に設けられた開口を經由してソース電極S0に電氣的に接続されている。絶縁膜55の上には、1層目のゲート配線G1(図11)も配置されている。1層目のドレイン配線D1、ソース配線S1、及びゲート配線G1は、例えば厚さ50nmのTi膜と、その上に配置された厚さ1µmのAu膜との2層構造を有する。

【0109】

これらの1層目の配線を覆うように、絶縁膜55の上に上層の絶縁膜56が配置されている。絶縁膜56は、例えばSiN膜からなる単層構造、またはSiN膜とポリイミド膜からなる2層構造を有する。

【0110】

絶縁膜56の上にバンプ30が配置されている。バンプ30は、第1実施例による半導体素子のバンプ30(図2)と同様に、メタルポスト32、及びハンダ層33からなる2層構造を有する。バンプ30の下地層として、アンダーバンプメタル層31が配置されている。アンダーバンプメタル層31は、第1実施例による半導体素子の場合と同様に、応力緩和層として機能する。

【0111】

次に、第5実施例による半導体素子の構成を採用することにより得られる優れた効果について説明する。

【0112】

FETの真上にバンプが配置されていると、バンプ材料と半導体材料との熱膨張率の相違により、FETの半導体領域に熱応力が発生しやすくなる。半導体領域、特に動作領域60に熱応力が発生すると、FETの信頼度の低下、電氣的特性のばらつき、特性不良等が起きやすくなる。特に、GaAs等の化合物半導体からなるチャンネル層52では、ゲート電極G0の近傍に発生する熱応力によりピエゾ電荷が発生する。このピエゾ電荷によって、閾値電圧の変動等が発生し、特性のばらつきが大きくなる。

【0113】

第5実施例では、アンダーバンプメタル層31が応力緩和層として機能するため、熱応力に起因する特性のばらつき、特性の不良、信頼性の低下等を抑制することができる。

【0114】

さらに、1層目のソース配線S1を構成する複数の導体パターンをバンプ30によって相互に電氣的に接続しているため、これらの導体パターンを接続するための他の配線層を配置する必要がない。このため、配線層の層数を少なくすることが可能になり、その結果、製造コストの低減を図ることができる。

【0115】

次に、図13を参照して、第5実施例の変形例による半導体素子について説明する。第5実施例では、アンダーバンプメタル層31を応力緩和層として用いたが、本変形例では、第3実施例による半導体素子の応力緩和層41(図8)と同様に、1層目のソース配線S1及びドレイン配線D1の下に、応力緩和層42を配置する。応力緩和層42が動作領域60の真上に配置されるように、ソース配線S1及びドレイン配線D1をゲート電極G0の真上まで延伸させている。これにより、動作領域60に発生し得る応力を低減させることができる。応力緩和層42を配置する場合には、アンダーバンプメタル層31に応力を緩和させる機能を持たせなくてもよい。このため、第5実施例の場合と比べて、アンダーバンプメタル層31を薄くしてもよい。

【0116】

その他に、第4実施例による半導体素子の応力緩和層として機能するエミッタ電極E0(図6)と同様に、ゲート電極G0を高融点金属で形成し、応力緩和層として機能させて

10

20

30

40

50

もよい。また、ゲート電極 G 0 の一部を高融点金属からなる層にしてもよい。

【 0 1 1 7 】

このように、1層目の配線層またはゲート電極 G 0 の一部に応力緩和層を配置しても、第5実施例と同様に、動作領域 6 0 に発生する熱応力を低減させることができる。

【 0 1 1 8 】

上述の各実施例は例示であり、異なる実施例で示した構成の部分的な置換または組み合わせが可能であることは言うまでもない。複数の実施例の同様の構成による同様の作用効果については実施例ごとには逐次言及しない。さらに、本発明は上述の実施例に制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なのは当業者に自明であろう。

10

【符号の説明】

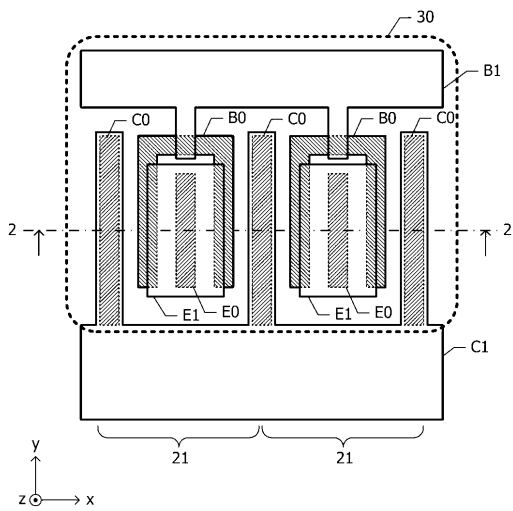
【 0 1 1 9 】

2 0	基板	
2 1	単位トランジスタ	
2 3	サブコレクタ層	
2 3 a	アイソレーション領域	
2 4	コレクタ層	
2 5	ベース層	
2 6	エミッタ層	
2 6 A	真性エミッタ層	20
2 6 B	エミッタメサ層	
2 6 C	レジ層	
2 7、2 8	絶縁膜	
2 8 A	樹脂膜	
2 8 B	S i N 膜	
2 8 C	樹脂膜	
3 0	エミッタ用のバンブ	
3 1	アンダーバンブメタル層	
3 2	メタルポスト	
3 3	ハンダ層	30
3 5	コレクタ用のバンブ	
4 1	応力緩和層	
5 0	活性領域	
5 1	基板	
5 2	チャンネル層	
5 2 a	アイソレーション領域	
5 5、5 6	絶縁膜	
6 0	動作領域	
B 0	ベース電極	
B 1	1層目のベース配線	40
B C	ベースまとめ配線	
C 0	コレクタ電極	
C 1	1層目のコレクタ配線	
C C	コレクタまとめ配線	
D 0	ドレイン電極	
D 1	1層目のドレイン配線	
E 0	エミッタ電極	
E 1	1層目のエミッタ配線	
E C	エミッタまとめ配線	
G 0	ゲート電極	50

- G 1 1層目のゲート配線
- S 0 ソース電極
- S 1 1層目のソース配線

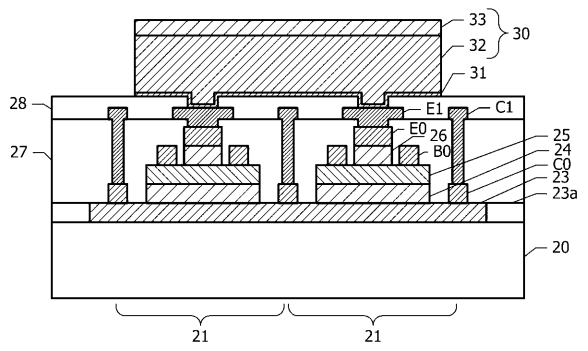
【 図 1 】

図1



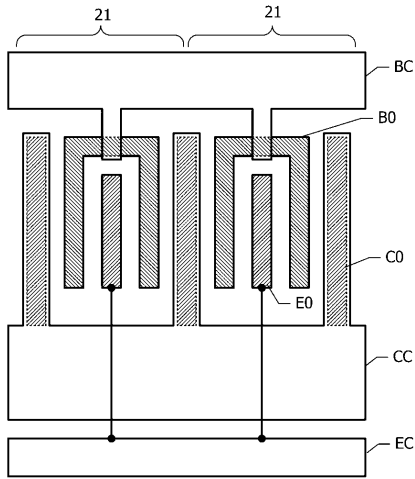
【 図 2 】

図2



【 図 3 】

図3



【 図 4 】

図4A

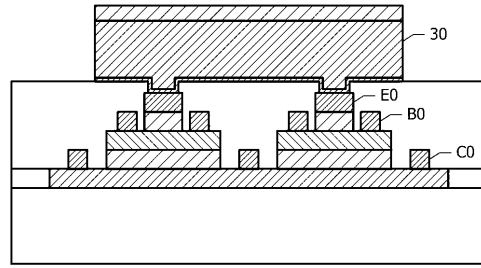
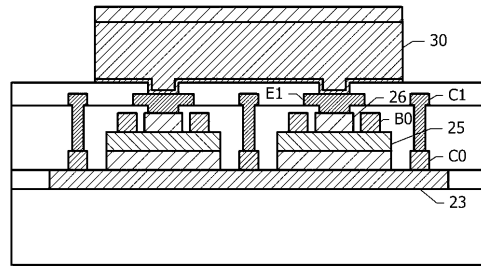
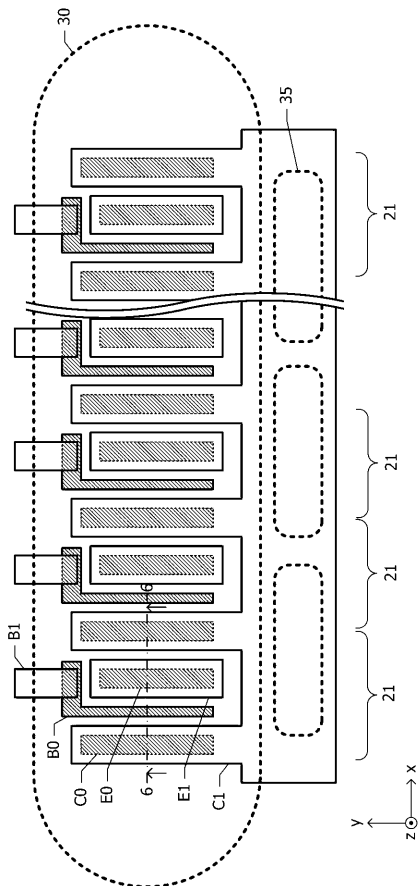


図4B



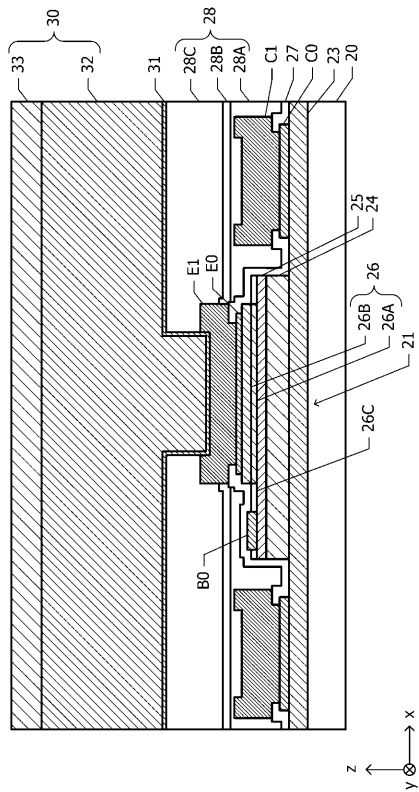
【 図 5 】

図5



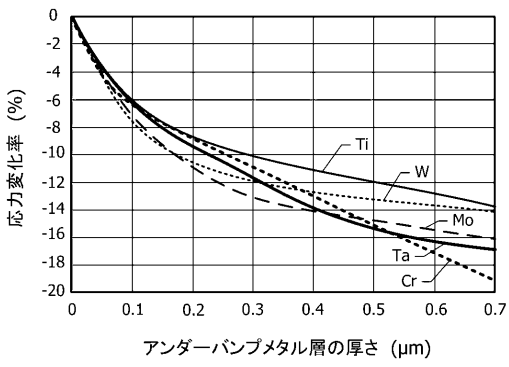
【 図 6 】

図6



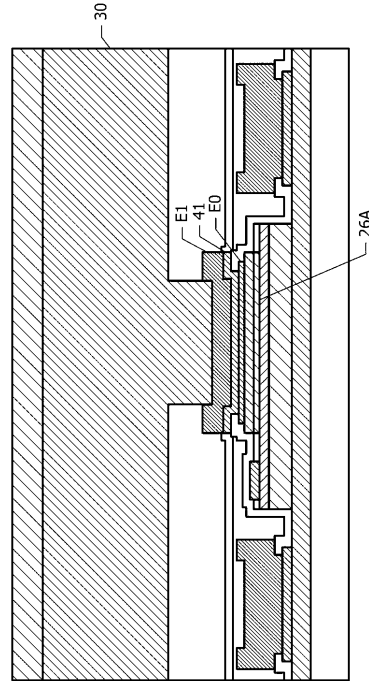
【 図 7 】

図7



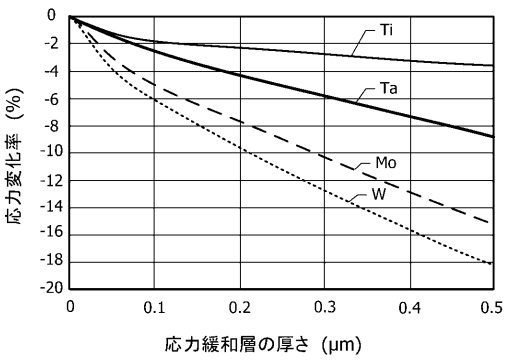
【 図 8 】

図8



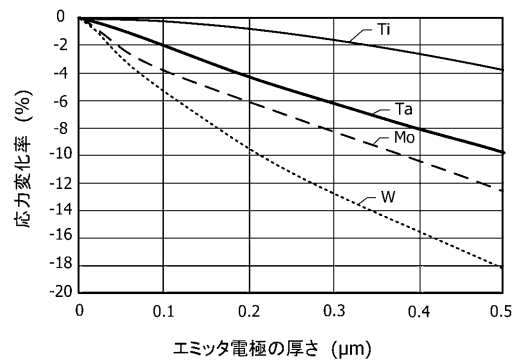
【 図 9 】

図9



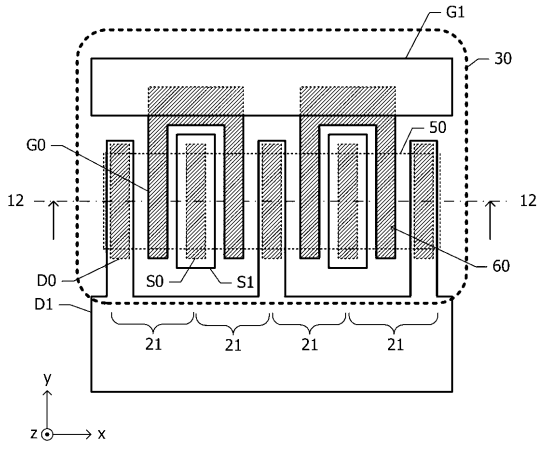
【 図 10 】

図10



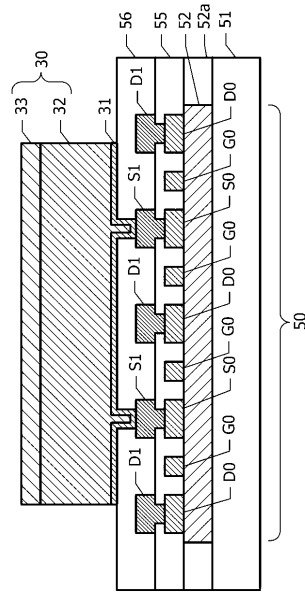
【 図 1 1 】

図 11



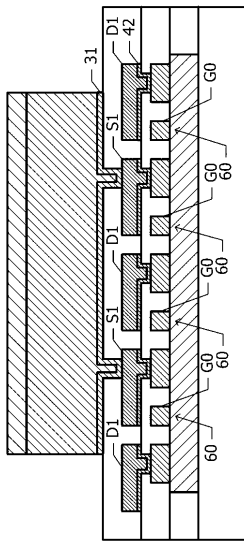
【 図 1 2 】

図 12



【 図 1 3 】

図 13



【手続補正書】

【提出日】平成30年11月21日(2018.11.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

図1、図2、及び図3を参照して、第1実施例による半導体素子について説明する。

図1は、第1実施例による半導体素子の平面図である。半導体素子の基板の上面を x y 面とし、上面の法線方向を z 軸の正方向とする x y z 直交座標系を定義する。第1実施例による半導体素子は、トランジスタ及びトランジスタに接続された配線、及びバンプを含む。このトランジスタは、相互に並列に接続された2つの単位トランジスタ21を含む。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

第2変形例では、エミッタ電極E0、ベース電極B0、及びコレクタ電極C0と、バンプ30との間に配線層を配置する必要がないため、製造コストをより低減させることができる。

フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)		
<i>H 0 1 L 21/768 (2006.01)</i>	H 0 1 L	21/92	6 0 2 H			
<i>H 0 1 L 23/522 (2006.01)</i>	H 0 1 L	21/92	6 0 2 N			
<i>H 0 1 L 21/60 (2006.01)</i>	H 0 1 L	21/92	6 0 3 D			

Fターム(参考) 5F033 GG02 HH07 HH11 HH17 HH18 HH19 HH20 HH21 MM08 VV07
XX19
5F102 FA10 GB01 GC01 GD01 GJ05 GL05 GR13 GS01 GS09 GT03
GV03 GV06 GV08