



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0110526
(43) 공개일자 2009년10월22일

(51) Int. Cl.

H03K 19/0185 (2006.01)

(21) 출원번호 10-2008-0036071

(22) 출원일자 2008년04월18일

심사청구일자 2008년04월18일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

텐소풍성전자(주)

경상남도 창원시 외동 853-11

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

(74) 대리인

이철희

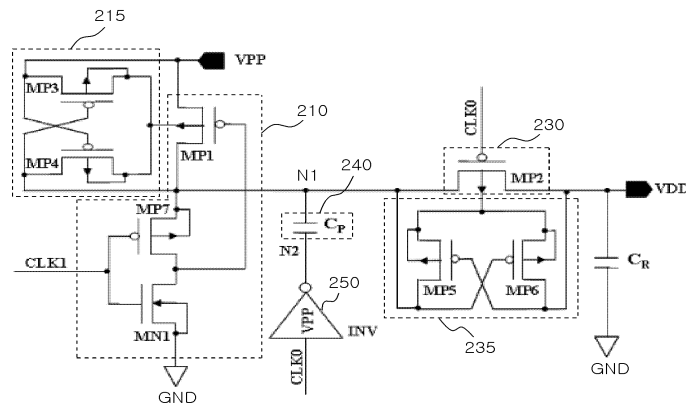
전체 청구항 수 : 총 3 항

(54) 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프

(57) 요약

본 발명의 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프는 일정한 주기를 갖는 클럭신호에 의해 입력전압(VPP)을 펌핑하여 일정한 크기의 출력전압(VDD)을 발생하는 전하펌프 회로에 있어서, 제1 노드(N1) 전압을 상기 입력전압(VPP)으로 프리차징하기 위한 프리차징 회로부; 및 상기 일정주기를 갖는 클럭신호에 의해 전하의 전달을 스위칭하는 전하전달 스위치; 를 구비하되, 상기 프리차징회로부의 일구성을 이루며 상기 입력전압(VPP)을 인가 받는 제 1 프리차징 회로와 함께 래치회로를 형성하기 위한 제1 벌크 포텐셜 바이어싱 회로부; 및 상기 전하전달 스위치와 함께 래치회로를 형성하기 위한 제2 벌크 포텐셜 바이어싱 회로부를 더 포함하는 전하펌프 회로를 제공함으로써, 프리차지 회로 및 전하전달 스위치 회로에 기생하는 PNP 트랜지스터로 인한 전하손실을 제거함으로써 전하펌핑의 효율을 최대화 할 수 있는 장점이 있다.

대표도 - 도2



특허청구의 범위

청구항 1

일정한 주기를 갖는 클럭신호에 의해 입력전압(VPP)을 펌핑하여 일정한 크기의 출력전압(VDD)을 발생시키는 전하펌프 회로에 있어서,

제1 노드(N1) 전압을 상기 입력전압(VPP)으로 프리차징하기 위한 프리차징 회로부; 및

상기 일정주기를 갖는 클럭신호에 의해 전하의 전달을 스위칭하는 전하전달 스위치;를 구비하되,

상기 프리차징회로부의 일구성을 이루며 상기 입력전압(VPP)을 인가 받는 제 1 프리차징 회로와 함께 래치회로를 형성하기 위한 제1 벌크 포텐셜 바이어싱 회로부; 및

상기 전하전달 스위치와 함께 래치회로를 형성하기 위한 제2 벌크 포텐셜 바이어싱 회로부를 더 포함하는 것을 특징으로 하는 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프.

청구항 2

제1항에 있어서, 상기 제1 벌크 포텐셜 바이어싱 회로부는

상기 제1 프리차징 회로의 일단자와 각각 연결된 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터를 구비하되, 상기 제1 PMOS 트랜지스터의 게이트 단자는 제2 PMOS 트랜지스터의 드레인 단자와 상기 제2 PMOS 트랜지스터의 게이트 단자는 제1 PMOS 트랜지스터의 드레인 단자와 각각 X자 크로스(cross) 형태로 연결된 것을 특징으로 하는 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프.

청구항 3

제1항에 있어서, 상기 제2 벌크 포텐셜 바이어싱 회로부는

상기 전하전달 스위치의 일단자와 각각 연결된 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터를 구비하되, 상기 제1 PMOS 트랜지스터의 게이트 단자는 제2 PMOS 트랜지스터의 드레인 단자와 상기 제2 PMOS 트랜지스터의 게이트 단자는 제1 PMOS 트랜지스터의 드레인 단자와 각각 X자 크로스(cross) 형태로 연결된 것을 특징으로 하는 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 전하펌프에 관한 것으로, 더욱 상세하게는 벌크 포텐셜 바이어싱 회로를 구비함으로써 프리차지 회로 및 전하전달 스위치 회로에 기생하는 PNP BJT 트랜지스터로 인한 전하손실을 제거하는 전하펌프에 관한 것이다.

배경기술

<2> 도 1은 종래의 H-tree 전하 펌프의 구성을 도시한 것이다.

<3> 도 1을 참조하면, 종래의 H-tree 전하 펌프는 $1\mu F$ 의 외장형 펌핑 커패시터(C_P), 전하 저장 커패시터(Charge Reservoir Capacitor)(C_R), 부스트랩(Bootstrap) 노드(N1)를 입력 전압(VIN)으로 프리차징(precharging) 시키는 PMOS 트랜지스터인 MP1(110), 펌핑 커패시터의 N2 노드를 접지(GND)와 입력전압(VIN) 사이에 스위칭 시키는 인버터(Inverter)로 작용하는 PMOS 트랜지스터 MP3 및 NMOS 트랜지스터 MN1, 상기 노드 N2가 접지(GND)에서 입력전압(VIN)으로 스위칭 하였을 때 N1 노드의 부스트랩 된 전하를 출력전압(VOUT)으로 전달시키는 전하전달 스위치(Charge Transfer Switch)F로 PMOS 트랜지스터 MP2(130)를 포함한다.

<4> 이하 H-tree 전하 펌프의 동작을 간단히 설명한다.

<5> 클럭신호 CLK0가 로우(Low)일 때 프리차징 트랜지스터인 MP1이 턴 온(Turn ON)되어 노드 N1을 입력전압(VIN)으로 프리차징 시킨 뒤 클럭신호 CLK0는 로우(Low)에서 하이(High)로 스위칭하면서 MP1을 턴 오프(Turn OFF)시킨다. 이 후 상기 클럭신호 CLK1이 하이(High)에서 로우(Low)로 스위칭하면서 노드 N2는 접지(GND)에서 입력전압

(VIN)으로 스위칭하여 노드 N1은 입력전압(VIN)에서 2배의 입력전압인 2VIN으로 부스팅(Boosting) 된다. 이 때 MP2가 턴 온(Turn ON) 되면서 노드 N1의 양 전하(Positive charge)가 출력전압(VOUT) 노드로 전달된다.

<6> 그러나, 종래의 전하펌프는 노드 N1이 입력전압(VIN)에서 2배의 입력전압인 2VIN으로 부스팅(Boosting) 할 때, MP2 트랜지스터에 기생하는 PNP BJT(Bipolar Junction Transistor)가 활성영역(Active region)에 있으므로 펌핑된 전하의 일부가 P형 기판 (P-Substrate)으로 빠져나가는 전하 손실(Charge loss)이 발생하는 문제가 있다.

<7> 또한 노드 N2의 전압이 입력전압(VIN)에서 접지(GND)로 스위칭 할 때 노드 N1의 목표로 하는 출력전압(VOUT)이 출력전압(VOUT)과 입력전압(VIN)의 차이($VOUT - VIN$)에 해당하는 값으로 전압강하 될 때, MP1 트랜지스터에 기생하는 BJT가 활성영역(Active region)에 있으므로 입력전압(VIN)의 전하가 P형 기판(P-Substrate)으로 빠져나가는 전하 손실(Charge loss)이 발생하는 문제가 있다.

발명의 내용

해결 하고자하는 과제

<8> 본 발명이 해결하고자 하는 기술적 과제는, 프리차지 회로 및 전하전달 스위치 회로에 기생하는 PNP BJT 트랜지스터로 인한 전하손실을 제거하기 위한 전하펌프 회로를 제공하는데 있다.

과제 해결수단

<9> 상기 기술적 과제를 이루기 위한 본 발명에 따른 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프는, 일정한 주기를 갖는 클럭신호에 의해 입력전압(VPP)을 펌핑하여 일정한 크기의 출력전압(VDD)을 발생하는 전하펌프 회로에 있어서, 제1 노드(N1) 전압을 상기 입력전압(VPP)으로 프리차징하기 위한 프리차징 회로부; 및 상기 일정주기를 갖는 클럭신호에 의해 전하의 전달을 스위칭하는 전하전달 스위치; 를 구비하되, 상기 프리차징회로부의 일구성을 이루며 상기 입력전압(VPP)을 인가 받는 제 1 프리차징 회로와 함께 래치회로를 형성하기 위한 제1 벌크 포텐셜 바이어싱 회로부; 및 상기 전하전달 스위치와 함께 래치회로를 형성하기 위한 제2 벌크 포텐셜 바이어싱 회로부를 더 포함하는 전하펌프 회로를 제공한다.

효과

<10> 본 발명은 프리차지 회로 및 전하전달 스위치 회로에 기생하는 PNP BJT 트랜지스터로 인한 전하손실을 제거함으로써 전하펌핑의 효율을 최대화 할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<11> 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

<12> 도 2는 본 발명에 의한 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프의 구성을 도시한 것이다.

<13> 도 2를 참조하면, 본 발명에서 입력전압은 VDD 발생기의 전원전압으로 사용되는 VPP 이며, 출력전압은 OLED 패널 전원전압으로 사용되는 VDD 이다. 본 발명의 VDD 전하펌프는 N1 노드전압을 입력전압(VPP)으로 프리차징 시켜주는 프리차지 회로(MP1, MP7, MN1)를 구비한 프리차지 회로부(210), N2 노드를 입력전압(VPP)과 접지(GND) 사이에서 스위칭 시키는 인버터(250), PMOS 전하 전달 스위치(MP2), MP1의 양 단자단에 연결되고, MP3, MP4를 구비하는 제1 벌크 포텐셜 바이어싱(Bulk-Potential Biasing) 회로부(215), MP2의 양 단자단에 연결되고, MP5, MP6를 구비한 제2 벌크 포텐셜 바이어싱(Bulk-Potential Biasing) 회로부(235), 외장형 펌핑 커패시터(C_p)(240)와 외장형 전하 저장 커패시터(Charge Reservoir Capacitor, C_R)로 구성되어 있다.

<14> 상기 제1 벌크 포텐셜 바이어싱(Bulk-Potential Biasing) 회로부(215)는 상기 제1 바이어스 회로인 MP1과 함께 래치(latch) 회로를 형성하기 위한 MP3, MP4를 구비하며, 상기 MP3의 게이트 단자는 상기 MP4의 드레인 단자에 MP4의 게이트 단자는 MP3의 드레인 단자에 X자 크로스(cross) 형태로 연결되어 있다. 상기 MP3의 드레인 단자는 또한 MP1의 소스 단자에 연결되어 있고, MP3의 소스 단자는 MP4의 소스 단자와 연결되어 있다. 상기 MP4의 드레인 단자는 상기 MP1의 드레인 단자에 연결되어 있다. 상기 MP3와 MP4의 상기 상호 연결에 의해 VPP와 N1 노드의 전압 중 높은 전압이 MP1의 바디(Body)에 인가되도록 하여 항상 PNP BJT가 턴 오프 (Turn OFF) 상태에 있도록 하여 N1 노드의 전압을 VPP로 프리차징 할 때 MP1에 기생하는 PNP BJT로 인한 전하손실 문제를 해결하였다.

<15> 마찬가지로, 상기 제2 벌크 포텐셜 바이어싱(Bulk-Potential Biasing) 회로부(235)는 상기 전하전달 스위치인 MP2(230)와 함께 래치(latch) 회로를 형성하기 위한 MP5, MP6를 구비하며, 상기 MP5의 게이트 단자는 상기 MP6의 드레인 단자에 MP6의 게이트 단자는 MP5의 드레인 단자에 X 자의 크로스(cross) 형태로 연결되어 있다. 상기 MP5의 드레인 단자는 또한 MP2(230)의 소스 단자에 연결되어 있고, MP5의 소스 단자는 MP6의 소스 단자와 연결되어 있다. 상기 MP6의 드레인 단자는 상기 MP2(230)의 드레인 단자에 연결되어 있다. 상기 MP5와 MP6의 상기 상호 연결에 의해 N1 노드 전압과 출력전압(VDD) 중 높은 전압이 MP2(230)의 바디(Body)에 인가되도록 하여 항상 PNP BJT가 턴 오프(Turn OFF) 상태에 있도록 하여 전하 펌핑 시 MP2(230)에 기생하는 PNP BJT 트랜지스터로 인한 전하손실 문제를 해결 하였다.

<16> 도 3은 본 발명에 의한 정상 상태(steady state)에서 VDD 전하 펌프의 전압 파형을 도시한 것이다.

<17> 아래의 [표3]은 VDD 전하 펌프의 각 노드의 전압을 정리하여 나타낸 것이다.

<18> [표3]

Node Name	Node Voltage	
	t4	t1
CLK0	VSS	VDD
CLK1	VSS	VDD
V(N1)	2VPP	VPP
V(N2)	VPP	VSS

<20> 이하 표3 및 도3을 참조하여 정상 상태(steady state)에서 VDD 전하 펌프의 전압 파형에 대하여 상세히 설명한다.

<21> t1의 시간 구간 동안 클럭신호 CLK0과 CLK1은 VDD가 된다. 이 때 N1, N2 노드의 전압은 각각 VPP, VSS 이므로 MP2는 턴 오프(Turn OFF) 상태이고, MP1은 턴 온(Turn ON) 상태가 되어 N2 노드의 전압은 VPP 전압으로 프리차징(precharging) 된다.

<22> 한편 t4 시간 구간 동안 클럭신호 CLK0과 CLK1은 VSS가 되어 프리차징 트랜지스터(MP1)는 턴 오프(Turn OFF) 상태가 되고, 노드 N2의 부스트랩 된 양 전하는 전하전달 스위치(MP2)를 통해 VDD 노드로 완전히 전달된다.

<23> 결국 전하 펌핑(charge pumping)은 1 사이클(Cycle) 동안 1회 일어나고, 출력전압(VDD)은 최대 2VPP 전압 레벨까지 부스팅(Boosting) 된다.

<24> 도 4는 본 발명에 의한 VDD 전하 펌프의 발진 주기에 따른 펌핑 전류를 모의 실험한 결과를 도시한 것이다.

<25> 도 4를 참조하면, 도4에 도시된 그래프는 8V의 VPP 전압, 90℃의 온도, 슬로우(Slow) 트랜지스터 모델 조건에서 설계된 VDD 전하 펌프의 발진 주기에 따른 펌핑 전류를 나타낸 것이다.

<26> 본 발명에 의할 경우 설계 사양인 10kHz의 클럭 주파수에서 부하 전류>Loading current) 40mA보다 더 큰 값을 갖는 42mA의 펌핑 전류(pumping current)를 구동시키는 것을 확인 할 수 있다.

<27> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

<28> 도 1은 종래의 H- tree 전하 펌프의 구성을 도시한 것이다.

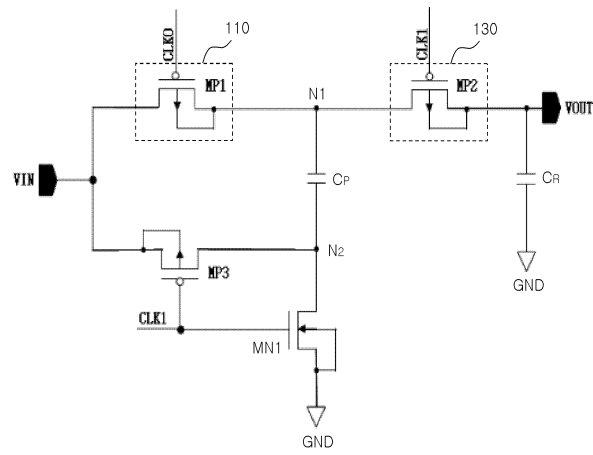
<29> 도 2는 본 발명에 의한 벌크 포텐셜 바이어싱 회로를 구비한 전하펌프의 구성을 도시한 것이다.

<30> 도 3은 본 발명에 의한 정상 상태에서 VDD 전하 펌프의 전압 파형을 도시한 것이다.

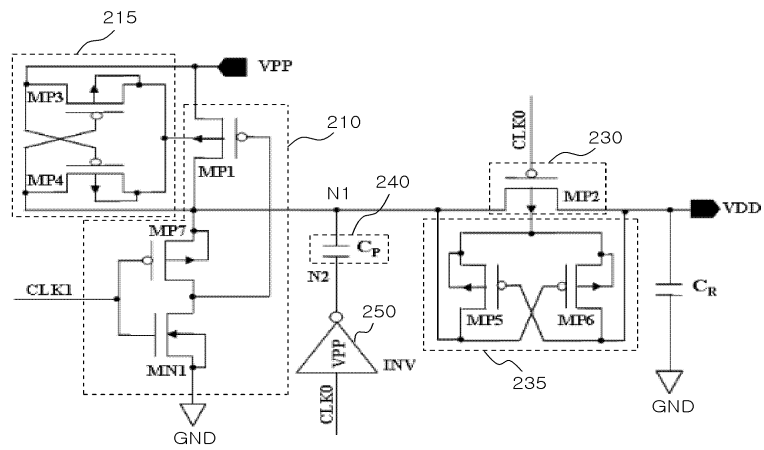
<31> 도 4는 본 발명에 의한 VDD 전하 펌프의 발진 주기에 따른 펌핑 전류를 모의 실험한 결과를 도시한 것이다.

도면

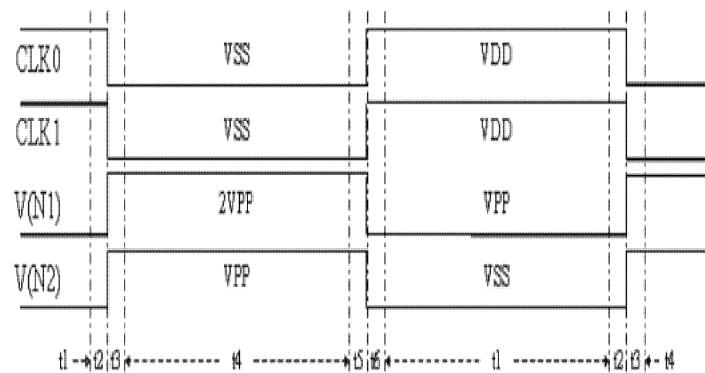
도면1



도면2



도면3



도면4

