

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

G01R 31/317

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94193616.3

[45]授权公告日 2000 年 5 月 10 日

[11]授权公告号 CN 1052308C

[22]申请日 1994.9.30 [24]颁证日 2000.2.5

[21]申请号 94193616.3

[30]优先权

[32]1993.10.1 [33]FI [31]934327

[86]国际申请 PCT/FI94/00439 1994.9.30

[87]国际公布 WO95/10048 英 1995.4.13

[85]进入国家阶段日期 1996.4.1

[73]专利权人 诺基亚电信公司

地址 芬兰埃斯波

[72]发明人 O·皮雷恩

审查员 黄 颖

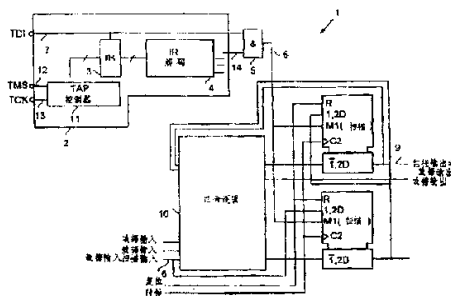
[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所
代理人 付建军

权利要求书 2 页 说明书 5 页 附图页数 1 页

[54]发明名称 用于测试集成电路的方法和装置

[57]摘要

本发明涉及测试集成电路的一种方法,所述电路包括测试电路卡和/或在集成电路(1)安装到电路卡后连接集成电路的其它电路的测试装置(2),控制测试装置的输入(7,12,13),以及测试集成电路(1)内部操作的测试结构。为了保持电路输入端口数量小,要限定测试装置(2)的测试方式,在此测试方式中测试装置的输入(7)之一连到用于集成电路(1)内部操作的测试结构,并且当测试集成电路(1)内部操作时,测试装置(2)设为所述测试方式,在此集成电路的内部测试结构可由测试装置(2)的输入(7)控制。本发明还涉及一个集成电路,其中采用依照本发明的方法。





权 利 要 求 书

1. 测试集成电路的一个方法,所述电路包括:

测试装置(2),用于测试电路卡和/或在集成电路(1)被安装在电路卡上后连接到该集成电路的其它电路,

用于控制测试装置的输入(7,12,13),以及

用于测试集成电路(1)内部操作的测试结构,其特征在于所述方法包括:

为测试装置定义测试方式,在测试方式中测试装置的一个输入(7)连到用于集成电路(1)内部操作的测试结构,和

当集成电路(1)的内部操作被测试时,测试装置(2)设为所述方式,在此集成电路的内部测试结构可以由测试装置(2)的输入(7)来控制。

2. 一个集成电路,包括

用于测试电路卡和/或在集成电路(1)被安装在电路卡上后连接到该集成电路的其它电路的测试装置(2),

用于控制测试装置(2)的输入(7,12,13),以及

用于测试集成电路(1)内部操作的测试结构,其特征在于该集成电路包括:

测试装置(2)的输入(7)中的至少一个连到 开关装置(5)的输入,该开关装置通过测试装置(2)控制,

为测试装置(2)定义测试方式,在测试方式中所述开关装置(5)允许输送其输入的数据从其输出端传送,并且

99 00 25

开关装置(5)的输出连到用于集成电路(1)内部操作的测试结构,从而内部操作的测试结构可以通过在测试方式中设定测试装置(2)的输入(7)来控制。

3. 依照权利要求 2 的一个集成电路,其特征在于所述集成电路(1)是同步 *ASIC* 电路。

4. 依照权利要求 2 的一个集成电路,其特征在于测试装置(2)包括

至少三个输入,时钟脉冲送到第一个输入(13),指明测试方式的数据送到第二个输入(12),串行测试数据送到第三个输入(7),

一个指令寄存器(3),它基于送入输入端的信号选择要完成的测试。

说 明 书

用于测试集成电路的方法和装置

本发明涉及测试集成电路的一种方法,所述电路包含测试电路卡和/或在集成电路安装到电路卡后连接到该集成电路的其它电路的测试装置,为控制测试装置的输入端口,以及测试集成电路内部操作的测试结构。本发明还涉及一个集成电路,其包含测试电路卡和/或当集成电路安装到电路卡后连接到该集成电路的其它电路的测试装置,为控制测试装置的输入端口,以及测试集成电路内部操作的测试结构。

本发明尤其涉及 *ASIC* 电路内部操作的测试,该电路由电路生产厂商提供。该测试的目的是通过向电路输入端送测试数据,然后监视从电路输出端所获得的信号来检查电路的操作。为了进行这些测试,在电路制作过程中形成所谓的扫描路径测试结构,该测试结构特意地专门针对由电路内部测试。一个单独的管脚,即输入端,保留在电路中用于控制扫描路径测试结构。所述管脚被证明存在很大问题。因为在集成电路中装配它经常要求更大的空间。扫描路径测试在例如“数字系统测试和可测试设计”中被描述(由 *M. Abramovie, M. A. Breuer* 和 *A. D. Friedman*, 美国纽约计算机科学出版社),因此它在此连接中没有被更详细地描述。

除对一个集成电路的内部操作测试外,安装该集成电路的整个电路卡也经常被测试。为了此目的,这种测试类型特别需要的测试

逻辑被做在该集成电路中。例如在 ASIC 电路中,在测试安装到电路卡的各部分的连接中可以按照 IEEE(美国电气电子工程师协会)标准 1149.1 使用边界扫描模块(可以应用的模块)于其它部分中。为了实施这些测试这一目的,ASIC 电路包含特殊的管脚,即输入端用于控制测试。

为了满足集成电路逐步小型化的要求,显然需要限制电路中管脚的数目,即输入和输出端,因为一般它们足以影响集成电路外壳的尺寸。使用较大的外壳就可能导致这样的情况,即安装该集成电路的电路卡的尺寸太小,因此需要使用更大的电路卡。本发明的目的在于提供一种无需在集成电路增加额外管脚就可测试集成电路内部结构的方法。这些目标根据依本发明的一种方法实现,该方法特点是限定测试装置的测试方式,在些测试方式中,测试装置的一个输入连到集成电路内部操作的测试结构上,并且其特点还有,当集成电路的内部操作被测试时,测试装置设置为所述测试方式,其方式中集成电路的内部测试结构可以由测试装置的输入来控制。

本发明基于这样的思想,当测试电路内部操作所需的测试结构以一种方式连接到测试装置以测试电路卡上各个电路之间的连接时,即为这种测试装置定义一种方式,即在此方式中,测试装置的一个输入连接到内部测试结构,则不需要向集成电路提供一个单独的管脚,即输入端来控制内部测试结构。这样,集成电路的外壳尺寸可以减小,除此之外,因为依本发明的解决方案可以同时测试几条扫描路径,所以电路内部测试变得更快。因此,依照本发明的方法的优点是节省空间,因为集成电路的管脚数减少,导致电路尺寸的明显减小。为测试装置定义几种测试方式以独立测试不同模块内部

结构是很容易的。

本发明还涉及一种集成电路,在此依照本发明的方法被应用。依照本发明的电路的特征在于,测试装置的至少一个输入连接到开关装置的输入,此装置通过测试装置控制;并且,为测试装置定义一个测试方式,其中所述开关装置允许数据从其输出端向输入端传送;以及开关装置的输出连接到集成电路内部操作的测试结构。在此内部操作的测试结构可以通过设置在测试方式中的测试装置,根据测试装置的输入来控制。

因此,依照本发明的集成电路的主要优点是这种电路比已知电路需要更少的用于测试目的的管脚(输入/输出),因此电路的尺寸可以减小并且在电路通常操作中不需要控制额外的管脚,而且测试该电路的内部结构比已知电路快。

依照本发明的集成电路的最佳实施例在所附的有关权利要求书中阐明。

本发明将参照附图在后面更详细地描述,该图是依据本发明的集成电路的最佳实施例的框图。

图中所示 ASIC 电路 1 包括依照 *IEEE*(美国电气电子工程师协会)标准 1149.1 的边界扫描模块 2。该模块,在其它部分中,应用于测试图中所示 ASIC 电路装到电路卡后电路卡上各部分间的连接。边界扫描模块包括三个输入端 7,12 和 13,其中每个连到 ASIC 电路的一个管脚。*TMS* 输入 12(测试方式选择输入)用于选择测试方式,时钟脉冲送以 *TCK* 输入 13(测试时钟输入),实施测试所需的串行数据从 *TDI* 口 7(测试数据输入)送来。测试操作通过从前面提到的输入端得到并由 *TAP*(测试访问端口)控制器 11 解码的数

据来控制。

TAP 控制器 11 的输出连到指令寄存器(*IR*)3 的输入。指令寄存器用于选择要完成的测试。指令寄存器的解码模块 4(*IR* 解码)连到指令寄存器的输出,从指令寄存器得到的指令通过解码模块被解释和执行。测试电路卡上各部分之间连接方式在图中未示。边界扫描模块 2 的操作在标准 *IEEE*—1149.1“*IEEE* 标准测试访问端口和边界扫描结构”(IEEE,1990,美国,纽约)中有更详细的描述。

为了测试 *ASIC* 电路 1 的内部结构的目的,图中所示电路包含一个扫描路径测试结构,它专门用于电路内部操作的测试。通过扫描路径进行的测试由它的控制输入 6 来控制。扫描路径测试在例如“数字系统测试和可测试设计”中被叙述(由 *M. Abramovic, M. A. Breuer & A. D. Friedman*, 计算机科学出版社,纽约,美国),因此它在这种连接上没有被更详细地叙述。

为了测试 *ASIC* 电路 1 的内部结构,在 *IEEE* 标准 1149.1 中定义的一个专用指令被保留在图中所示边界扫描模块 2 的指令寄存器 3 中,以控制 *ASIC* 电路 1 的扫描路径;所述指令此后被称为扫描方式。

当扫描方式从指令寄存器中被选出,指明扫描方式的指令寄存器的解码模块中的输出 14 被激活,即赋给值“1”。在其它指令方式中,即当 *ASIC* 电路的内部操作不被测试时,输出 14 的值为 0。

由于放在解码模块 4 和 *ASIC* 电路的扫描路径控制输入 6 之间的与门 5,当指明扫描方式的输出 14 处于被动状态时,控制输入 6 保持无效。因此可以肯定在电路 10 的通常操作中和边界扫描模块 2 的其它测试状态下,控制输入 6 保持不动作。然后, *TDI* 输入 7

用于输送串行测试数据,在此将这些测试数据同时送入控制输入 6 会导致错误情况。

当在扫描方式的一指令给定后,指明扫描方式的输出 14 为值“1”,“与”电路 5 被激活。在此从 *TDI* 端口 7 提供的控制信号可传播到扫描方式的控制输入 6。这样 *ASIC* 电路 1 的内部测试可以通过 *TDI* 口 7(测试数据输入)直接控制,即测试可由边界扫描方式 2 的输入 7 控制,因此不需要为此目的在 *ASIC* 电路 1 中提供一个单独的管脚(输入)。

ASIC 电路中的一个普通输入,例如输入 8,被用作扫描路径结构所需的扫描输入,如图所示。扫描路径中一些触发器的输出反过来直接用作扫描路径结构所需的扫描输出,例如图中所示的输出 9。只要它是从电路 10 直接输出的输出口。如果电路的一个直接输出口不能被选为扫描路径的扫描输出,该扫描输出可以通过多路复用器(未图示)送到电路的一个输出口。

必须明白,附加的描述和相应的图只是依照本发明的一个最佳实施例。因此,例如依照本发明的方法也可应用于其它集成电路而不仅是 *ASIC* 电路,虽然本发明在以上的描述中主要与 *ASIC* 相联系。因此本方法的最佳实施例和依照本发明的集成电路可以在附加权利要求范围内改变。

说明书附图

