



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

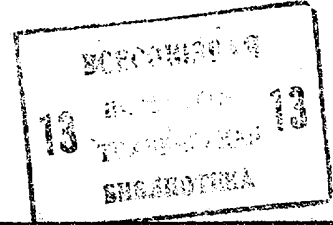
(19) SU (11) 1160410 A

4(51) G 06 F 9/36

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3690057/24-24
 (22) 11.01.84
 (46) 07.06.85. Бюл. № 21
 (72) В.Г. Чулошников и Ю.А.Иванов
 (53) 681.325(088.8)
 (56) 1. Авторское свидетельство СССР № 691840, кл. G 06 F 3/04, 1979.
 2. Авторское свидетельство СССР № 1005052, кл. G 06 F 9/36, 1983 (прототип).

(54) (57) УСТРОЙСТВО АДРЕСАЦИИ ПАМЯТИ, содержащее регистры старших и младших разрядов адреса, счетчики старших и младших разрядов адреса, схему сравнения, счетчик, дешифратор, регистр начала и регистр конца массива, выход регистра начала массива соединен с установочным входом счетчика разрядов адреса, выход регистра конца массива соединен с первым входом схемы сравнения, вход регистра старших разрядов адреса и старшие разряды второго входа схемы сравнения подключены к выходу счетчика старших разрядов адреса, вход регистра младших разрядов адреса соединен с выходом счетчика младших разрядов адреса, выходы регистров младших и старших разрядов адреса являются группой выходов устройства, отличающемся я,

тем, что, с целью сокращения аппаратных затрат, оно содержит элемент задержки, элемент ИЛИ и элемент И, первый вход которого соединен с тактовым входом устройства и первым входом элемента ИЛИ, выход которого соединен со счетным входом счетчика младших разрядов адреса, выход переноса которого соединен со счетным входом счетчика старших разрядов адреса, выходы счетчика младших разрядов адреса подключены к младшим разрядам второго входа схемы сравнения, установочные входы счетчика и счетчика младших разрядов адреса соединены с выходами регистра начала массива, входы управления записью счетчиков старших и младших разрядов адреса соединены с выходом схемы сравнения, выход счетчика соединен с входом дешифратора, выход которого соединен с сигнальным выходом устройства, входом управления записью счетчика и через элемент задержки с вторым входом элемента ИЛИ, счетный вход счетчика соединен с выходом элемента И, второй вход которого соединен с входом режима устройства, первый и второй входы устройства соединены соответственно с входом регистра начала массива и входом регистра конца массива.

(19) SU (11) 1160410 A

Изобретение относится к цифровой вычислительной технике и может применяться для формирования адресов буферной памяти систем ввода-вывода информации многоканальных измерительных комплексов.

Известно устройство формирования адреса, содержащее блок передачи данных, блок управления, формирования адреса, генераторы констант и два сумматора [1].

Недостатком этого устройства является большой объем оборудования.

Наиболее близким по технической сущности к изобретению является устройство адресации для канала прямого доступа к памяти, содержащее регистры старших и младших разрядов адреса, счетчики старших и младших разрядов адреса, схему сравнения кодов, счетчик, дешифратор переполнения, регистр начала и регистр конца массива, блок управления, блок регистров и триггер, при этом выходы разрядов регистра начала массива соединены с установочными входами счетчика старших разрядов адреса, а выходы разрядов регистра конца массива соединены с первой группой соответствующих входов схемы сравнения кодов, входы регистра старших разрядов адреса и второй группы соответствующих входов схемы сравнения кодов попарно объединены и подключены к выходам разрядов счетчика старших разрядов адреса, а выходы регистра младших разрядов соединены с выходами разрядов счетчика младших разрядов адреса, первый выход блока управления соединен через счетчик младших разрядов адреса с входом регистра младших разрядов, второй выход - с первым входом счетчика старших разрядов адреса, третий выход - с входом счетчика, выход которого подключен к первому входу блока управления, второй вход которого соединен с входом данных устройства, первый вход блока регистров подключен к входу данных устройства, второй вход блока регистров подключен к четвертому выходу блока управления, третий вход блока регистров - к выходу счетчика старших разрядов адреса, выход схемы сравнения кодов подключен к третьему входу блока управления, к четвертому входу которого подключен выход триггера, пер-

вый вход которого подключен к выходу счетчика, а второй вход триггера - к выходу дешифратора переполнения, к входу которого подключен выход счетчика младших разрядов адреса [2].

Недостатком известного устройства являются большие аппаратные затраты.

Цель изобретения - сокращение аппаратных затрат.

Поставленная цель достигается тем, что в устройстве адресации памяти, содержащее регистры старших и младших разрядов адреса, счетчики старших и младших разрядов адреса, схему сравнения, счетчик, дешифратор, регистр начала и регистр конца массива, выход регистра начала массива соединен с установочным входом счетчика старших разрядов адреса, выход регистра конца массива соединен с первым входом схемы сравнения, вход регистра старших разрядов адреса и старшие разряды второго входа схемы сравнения подключены к выходу счетчика старших разрядов адреса, вход регистра младших разрядов адреса соединен с выходом счетчика младших разрядов адреса, выходы регистров младших и старших разрядов адреса являются группой выходов устройства, введены элемент задержки, элемент ИЛИ и элемент И, первый вход которого соединен с трактовым входом устройства и первым входом элемента ИЛИ, выход которого соединен со счетным входом счетчика младших разрядов адреса, выход переноса которого соединен со счетным входом счетчика старших разрядов адреса, выходы счетчика младших разрядов адреса подключены к младшим разрядам второго входа схемы сравнения, установочные выходы счетчика младших разрядов адреса и счетчика соединены с выходом регистра начала массива, входы управления записью счетчиков старших и младших разрядов адреса соединены с выходом схемы сравнения, выход счетчика соединен с входом дешифратора, выход которого соединен с сигнальным выходом устройства, входом управления записью счетчика и через элемент задержки с вторым входом элемента ИЛИ, счетный вход счетчика соединен с выходом элемента И, второй вход которого соединен с входом режима устройства, первый и второй кодовые вхо-

ды устройства соединены соответственно с входом регистра начала массива и входом регистра конца массива.

На чертеже представлена функциональная схема устройства адресации памяти.

Устройство содержит регистр 1 старших и регистр 2 младших разрядов адреса, счетчик 3 старших и счетчик 4 младших разрядов адреса, схему 5 сравнения, счетчик 6, дешифратор 7, регистр 8 начала и регистр 9 конца массива, элемент 10 задержки, элемент ИЛИ 11, элемент И 12, тактовый вход 13, сигнальный выход 14, вход 15 режима, группу кодовых входов 16, группу кодовых входов 17 и группу выходов 18.

Устройство работает в двух режимах.

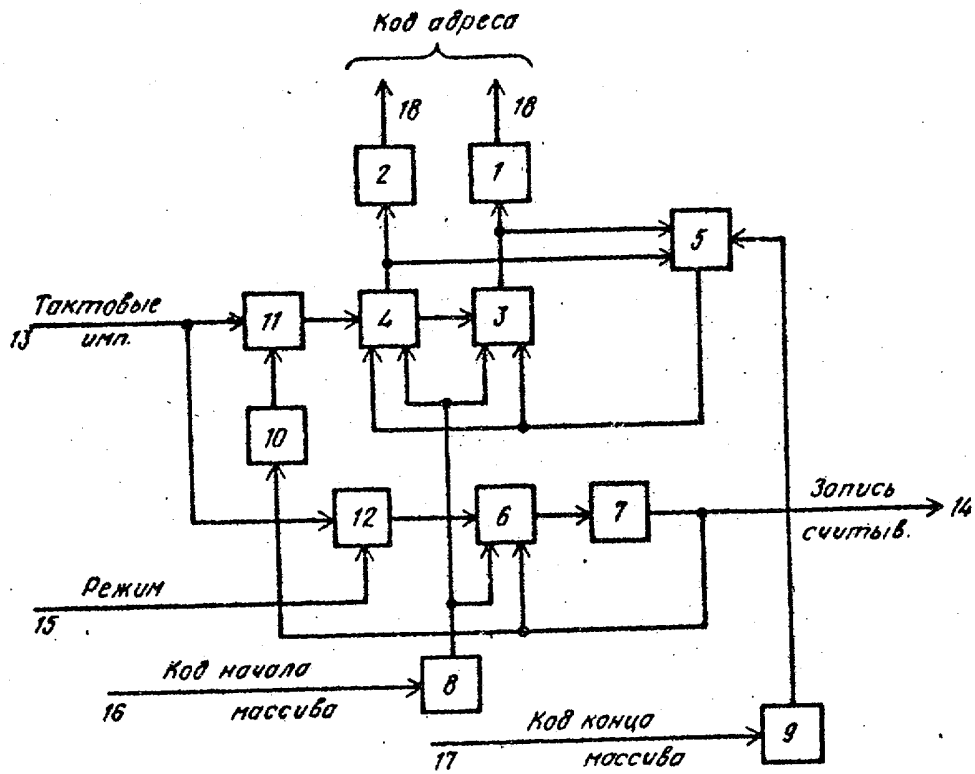
Первый режим. Выдача адресов данных в порядке их возрастания (убывания), начиная с адреса, разряды которого находятся в регистре начала массива, и заканчивая адресом, старшие и младшие разряды которого находятся в регистре конца массива. В этом режиме после начальной засылки содержимое регистра 8 передается в счетчики 3 и 4, а затем в регистры 1 и 2, адреса, а код регистра 9 конца массива подается на вход схемы 5 сравнения. Так формируется первый адрес. При этом на вход 15 устройства подается нулевой потенциал, в результате чего на вход счетчика 6 запрещается поступление импульсов, подаваемых на вход 13. Затем через элемент ИЛИ 11 прибавляют единицу в счетчик 4 и производится выдача содержимого счетчиков 3 и 4 в регистры 1 и 2 соответственно. В конце каждой новой выдачи адреса проверяется с помощью схемы 5 совпадение кодов счетчиков 3 и 4 с кодом регистра 9 конца массива. В случае их совпадения прекращается выдача адресов.

Второй режим адресов, при которой обеспечивается режим бегущей строки. При работе в этом режиме на вход 15 подается уровень логической "1", при котором разрешается поступление импульсов, подаваемых на шину 13, одновременно на входы счетчика 4 младших разрядов адреса и счетчика 6. После начальной засылки содержимое регистра 8 передается в счетчики 3 и 4, а

затем в регистры 1 и 2. Код регистра 9 конца массива подается на вход схемы 5. Так формируется первый адрес. Затем через элементы 11 и 12 на входы счетчиков 4 и 6 прибавляется единица и производится выдача содержимого счетчиков 3 и 4 в регистры 1 и 2 соответственно. Так формируются последующие адреса памяти до конечного адреса массива. При равенстве кодов счетчиков 3 и 4 и кода регистра 9 конца массива формируется импульс, который поступает на входы управления записью начального адреса, определяемого кодом регистра 8 начала массива, который и записывается в счетчики 3 и 4 и через них в регистры 1 и 2 соответственно. Одновременно с импульсом на выходе схемы 5 вырабатывается короткий импульс на выходе дешифратора 7, который выдается на выход 14 и через элемент 10 задержки и элемент ИЛИ 11 поступает на вход счетчика 4 младших разрядов адреса, а код его в регистр 2 на выход устройства. Таким образом, во втором цикле обращения к массиву памяти в первый адрес памяти записывается новая информация (на место ранее записанной). Запись обеспечивается выдачей в память короткого импульса соответствующего уровня на выходе 14 (не меняя адреса памяти информация считывается из этого же адреса). Одновременно с появлением короткого импульса на выходе дешифратора 7 в счетчик 6 записывается код начала массива. Наличие связи между выходом дешифратора 7 через элементы 10 и 11 и выходом счетчика младших разрядов адреса приводит к тому, что до прихода тактового импульса во втором цикле обращения к памяти сигнал, поступивший с выхода дешифратора 7, добавляет единицу в счетчик 4. Это приводит к тому, что в этом цикле обращения к памяти сначала срабатывает схема 5, а с задержкой на такт (период следования тактовых импульсов на входе 13) - дешифратор 7. В следующем цикле опроса адресов памяти эта задержка составляет два такта и т.д. Таким образом, в каждом цикле обращения к памяти производится запись на место самых старых данных новой информации и вывод массива данных, хранящихся в памяти, начиная с очередного адреса, на единицу больше

го, чем это было в предыдущем цикле в пределах массива, задаваемого регистрами 8 и 9).

Применение изобретения позволяет сократить аппаратные затраты.



Составитель М. Кудряшев

Редактор О. Юрковецкая

Техред Л. Микеш

Корректор В. Бутяга

Заказ 3779/46

Тираж 710

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4