

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1362 (2006.01)

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410054421.9

[45] 授权公告日 2009 年 7 月 22 日

[11] 授权公告号 CN 100517037C

[22] 申请日 2001.11.28

[21] 申请号 200410054421.9

分案原申请号 01145455.5

[30] 优先权

[32] 2000.11.28 [33] JP [31] 361971/00

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 山崎舜平 小山润

[56] 参考文献

CN1258103A 2000.6.28

US6124604A 2000.9.26

EP1006589A2 2000.6.7

US5946561A 1999.8.31

审查员 章 放

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 梁 永

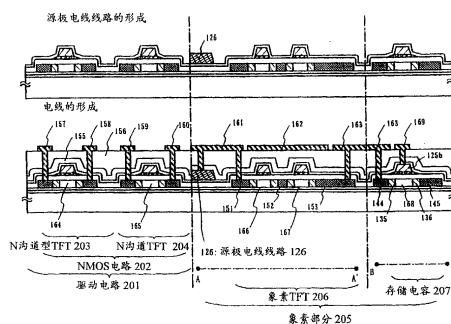
权利要求书 5 页 说明书 22 页 附图 14 页

[54] 发明名称

半导体装置

[57] 摘要

在半导体装置和半导体装置的制造方法中，像素部分 205 的源极电线 126 是由低阻的材料(具有代表性的是铝，银，铜)而形成的。驱动电路的源极电线是在与像素部分的栅极电线 162 和像素电极 163 相同的形成过程中形成的。



1. 一种半导体装置，它包括：

包括第一栅电极的一第一 n 沟道型 TFT，设置在象素部分中；

包括第二栅电极的一第二 n 沟道型 TFT，设置在驱动电路中；

包括第三栅电极的一第三 n 沟道型 TFT，设置在上述驱动电路中；

在所述第一栅电极、所述第二栅电极和所述第三栅电极上的第一夹层绝缘膜；

在所述第一夹层绝缘膜上的第二夹层绝缘膜；

在所述第一夹层绝缘膜上的第一电线；以及

在所述第二夹层绝缘膜上的第二电线，

其中每个上述第一 n 沟道型 TFT，上述第二 n 沟道型 TFT，和上述第三 n 沟道型 TFT 的栅电极具有由一第一导电层和一第二导电层组成的层状结构，作为下层的所述第一导电层具有第一宽度，作为上层的第二导电层具有一比第一宽度小的第二宽度；

其中所述第一电线主要包含铝；以及

其中所述第二电线电连接所述第一 n 沟道型 TFT 的杂质区域与所述第一电线。

2. 一种半导体装置，它包括：

包括第一栅电极的一第一 n 沟道型 TFT，设置在象素部分中；

包括第二栅电极的一第二 n 沟道型 TFT，设置在驱动电路中；

包括第三栅电极的一第三 n 沟道型 TFT，设置在上述驱动电路中；

在所述第一栅电极、所述第二栅电极和所述第三栅电极上的第一夹层绝缘膜；

在所述第一夹层绝缘膜上的第二夹层绝缘膜；

在所述第一夹层绝缘膜上的第一电线；以及

在所述第二夹层绝缘膜上的第二电线，

其中上述第一 n 沟道型 TFT 的栅电极具有由一第二导电层和一第一导电层组成的层状结构，第一导电层和上述第二导电层具有相同的

宽度，每个上述第二 n 沟道型 TFT 和上述第三 n 沟道型 TFT 的栅电极具有由第一导电层和第二导电层组成的层状结构，作为下层的导电层具有第一宽度，作为上层的第二导电层具有一比第一宽度小的第二宽度；

其中所述第一电线主要包含铝；以及

其中所述第二电线电连接所述第一 n 沟道型 TFT 的杂质区域与所述第一电线。

3. 一种半导体装置，它包括：

包括第一栅电极的第一 n 沟道型 TFT，设置在象素部分中；

包括第二栅电极的第二 n 沟道型 TFT，设置在驱动电路中；

包括第三栅电极的第三 n 沟道型 TFT，设置在上述驱动电路中；

在所述第一栅电极、所述第二栅电极和所述第三栅电极上的第一夹层绝缘膜；

在所述第一夹层绝缘膜上的第二夹层绝缘膜；

在所述第一夹层绝缘膜上的第一电线；以及

在所述第二夹层绝缘膜上的第二电线，

其中每个上述第一 n 沟道型 TFT，上述第二 n 沟道型 TFT，和上述第三 n 沟道型 TFT 的栅电极具有由一第一导电层和一第二导电层组成的层状结构，作为下层的导电层具有第一宽度，作为上层的第二导电层具有一比第一宽度小的第二宽度；

其中所述第一电线主要包含铜；以及

其中所述第二电线电连接所述第一 n 沟道型 TFT 的杂质区域与所述第一电线。

4. 一种半导体装置，它包括：

包括第一栅电极的第一 n 沟道型 TFT，设置在象素部分中；

包括第二栅电极的第二 n 沟道型 TFT，设置在驱动电路中；

包括第三栅电极的第三 n 沟道型 TFT，设置在上述驱动电路中；

在所述第一栅电极、所述第二栅电极和所述第三栅电极上的第一夹层绝缘膜；

在所述第一夹层绝缘膜上的第二夹层绝缘膜;

在所述第一夹层绝缘膜上的第一电线; 以及

在所述第二夹层绝缘膜上的第二电线,

其中上述第一n沟道型TFT的栅电极具有由一第二导电层和一第一导电层组成的层状结构, 第一导电层和上述第二导电层具有相同的宽度, 每个上述第二n沟道型TFT和上述第三n沟道型TFT的栅电极具有由第一导电层和第二导电层组成的层状结构, 作为下层的第二导电层具有第一宽度, 作为上层的第二导电层具有一比第一宽度小的第二宽度;

其中所述第一电线主要包含铜; 以及

其中所述第二电线电连接所述第一n沟道型TFT的杂质区域与所述第一电线。

5. 一种半导体装置, 它包括:

包括第一栅电极的一第一n沟道型TFT, 设置在象素部分中;

包括第二栅电极的一第二n沟道型TFT, 设置在驱动电路中;

包括第三栅电极的一第三n沟道型TFT, 设置在上述驱动电路中;

在所述第一栅电极、所述第二栅电极和所述第三栅电极上的第一夹层绝缘膜;

在所述第一夹层绝缘膜上的第二夹层绝缘膜;

在所述第一夹层绝缘膜上的第一电线; 以及

在所述第二夹层绝缘膜上的第二电线,

其中每个上述第一n沟道型TFT, 上述第二n沟道型TFT, 和上述第三n沟道型TFT的栅电极具有由一第一导电层和一第二导电层组成的层状结构, 作为下层的第二导电层具有第一宽度, 作为上层的第二导电层具有一比第一宽度小的第二宽度;

其中所述第一电线主要包含银; 以及

其中所述第二电线电连接所述第一n沟道型TFT的杂质区域与所述第一电线。

6. 一种半导体装置, 它包括:

包括第一栅电极的第一n沟道型 TFT, 设置在象素部分中;
包括第二栅电极的第二n沟道型 TFT, 设置在驱动电路中;
包括第三栅电极的第三n沟道型 TFT, 设置在上述驱动电路中;
在所述第一栅电极、所述第二栅电极和所述第三栅电极上的第一夹层绝缘膜;

在所述第一夹层绝缘膜上的第二夹层绝缘膜;

在所述第一夹层绝缘膜上的第一电线; 以及

在所述第二夹层绝缘膜上的第二电线,

其中上述第一n沟道型 TFT 的栅电极具有由一第二导电层和一第一导电层组成的层状结构, 第一导电层和上述第二导电层具有相同的宽度, 每个上述第二n沟道型 TFT 和上述第三n沟道型 TFT 的栅电极具有由第一导电层和第二导电层组成的层状结构, 作为下层的第二导电层具有第一宽度, 作为上层的第二导电层具有一比第一宽度小的第二宽度;

其中所述第一电线主要包含银; 以及

其中所述第二电线电连接所述第一n沟道型 TFT 的杂质区域与所述第一电线。

7. 如权利要求1-6所述的一种装置, 其特征在于: EEMOS 电路或 EDMOS 电路由所述第二n沟道型 TFT 和所述第三n沟道型 TFT 形成。

8. 如权利要求1-6所述的一种装置, 其特征在于: 所述驱动电路的每个所述第二和第三n沟道型 TFT 包括具有锥形部分的栅电极, 与所述栅电极重合的沟道形成区, 和部分地与所述栅电极重合的杂质区。

9. 如权利要求1-6所述的一种装置, 其特征在于: 每个上述第一和第二和第三n沟道型 TFT 包括一在其中含磷的杂质区域, 上述杂质区域包括一具有磷的浓度梯度范围至少从 1×10^{17} 至 $1 \times 10^{18}/\text{cm}^3$ 的面积, 上述面积中磷的浓度随着与沟道形成区域的距离的增大而增加。

10. 如权利要求1-6所述的一种装置, 其特征在于: 上述驱动

电路的上述 n 沟道型 TFT 的第二电线和上述象素部分的上述 n 沟道型 TFT 的第一电线由不同材料组成。

11. 如权利要求 1-6 所述的一种装置, 其特征在于: 与上述第一 n 沟道型 TFT 相连接的第一电线设置在上述象素部分中。

12. 如权利要求 1-6 所述的一种装置, 其特征在于: 与设置在上述象素部分中的上述第一 n 沟道型 TFT 相连接的第一电线使用溅镀方法、印刷方法、电镀方法或其任意结合的方法而形成。

13. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种反射型的液晶显示设备。

14. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种传输型的液晶显示设备。

15. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种视频摄像机。

16. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种数字摄像机。

17. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种汽车导航仪。

18. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种个人电脑。

19. 如权利要求 1-6 所述的一种装置, 其特征在于上述半导体装置是一种便携式信息终端。

20. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种数字视频光盘播放器。

21. 如权利要求 1-6 所述的一种装置, 其特征在于: 上述半导体装置是一种电子游戏设备。

半导体装置

本申请是申请号为 01145455.5、申请日为 2001 年 11 月 28 日的原案申请的分案申请，该原案的在先申请号为 361971/00、在先申请日为 2000 年 11 月 28 日。

技术领域

本发明涉及一种具有由薄膜晶体管（此下文称之为“TFT”）构成电路的半导体装置，和半导体装置的制造方法。例如，本发明涉及一种由液晶显示屏显示的电光设备和电光设备作为一部件安装在其上面的电子装置。

在本说明书中，半导体装置意味着是一种运用半导体特性而工作的常用设备，电光设备，半导体电路和电子设备定义为半导体装置。

背景技术

最近，人们更多注重通过使用在具有绝缘表面的衬底上形成的半导体薄膜（其厚度大约为几百 nm）而形成薄膜晶体管（TFT）的技术。薄膜晶体管已广泛应用于电子设备，如 IC，电光设备等中，特别是将薄膜晶体管应用于图象显示设备的开关元件中的发展已迅速地成为需要。

众所周知，液晶显示设备是作为一种图象显示设备。有源矩阵型液晶显示设备已经比无源型液晶显示设备更被频繁地使用，这是因为有源矩阵型液晶显示设备能够提供较高分辨率的图象。在有源矩阵型液晶显示设备中，显示图案是通过驱动以矩阵形式排列的象素电极在荧光屏上形成的。更具体地说，一电压作用在一所选择象素电极和与所选择象素电极相对的反电极上以便对象素电极和反电极之间的液晶层进行光调制，这样光调制就被观察者识别为显示图案。

这种有源矩阵型液晶显示设备已经在更多的不同领域中被广泛地使用，人们不仅需要大面积设计的荧光屏尺寸，而且已越来越多地需要高分辨率，高数值孔径和高可靠性的设计。与此同时，也已越来越多地需要提高生产效率和降

低制造成本。

当通过使用铝作为 TFT 的栅极电线材料形成 TFT 时,由于沟道形成区域中铝原子的热处理和扩散,突起的形成,如小丘,晶须等就会引起 TFT 产生故障和 TFT 特性的降低。另一方面,为了克服上述问题使用对热处理具有高阻的金属材料,典型的是具有高熔点的金属元件时,就会产生另一个问题:如果荧光屏的尺寸增加了,电线的电阻将会增大,从而导致功耗等会增加。

发明内容

因此,本发明的一个目的是提供一种即使荧光屏尺寸增加了,功耗也能够降低的半导体装置的结构,和该半导体装置的制造方法。

根据本发明,为了实现上述目的,源极电线和栅极电线是由低阻材料(通常是铝,银,铜或它们的合金)制成的。栅电极设置在与栅极电线不同的层上。而且,所有驱动电路的 NMOS 电路是由 n 沟道型的 TFTs 形成,象素部分的 TFTs 也由 n 沟道型的 TFTs 形成。

为了通过组合 n 沟道型的 TFTs 形成一 NMOS 电路,有两种情况,一种情况是 NMOS 电路通过组合图 8A 所示的增强型 TFTs 而形成(此下文称之为“EEMOS 电路”),另一种情况是 NMOS 电路通过组合图 8B 所示的增强型和抑制型(depression type) TFTs 而形成(此下文称之为“EDMOS 电路”)。

为了形成相互分离的增强型和抑制型,一属于元素周期表第 15 簇的元素(最好是磷)或属于元素周期表第 13 簇的元素(最好是硼)可以作为沟道形成区域适当地掺杂到半导体中。

象素部分的源极电线在与驱动电路部分的源极电线不同的步骤中形成。

根据本发明的另一个方案,它提供一种安装了 TFT 的半导体, TFT 包含一半导体层,形成在一绝缘表面上,一绝缘膜,形成在半导体层上,和一栅电极,形成在绝缘膜上,其特征在于它包括:一象素部分,具有一第一 n 沟道型的 TFT,和一驱动电路,具有一由一第二 n 沟道型的 TFT 和一第三 n 沟道型的 TFT 组成的电路,其中每个第一 n 沟道型的 TFT、第二 n 沟道型的 TFT 和第三 n 沟道型的 TFT 的栅电极具有一由第一导电层和第二导电层组成的层状结构,作为下层的第二导电层具有第一宽度,作为上层的第一导电层具有比第一宽度小的第二宽度。

根据本发明的又一个方案,它提供一种安装了 TFT 的半导体, TFT 包含一半导体层,形成在一绝缘表面上,一绝缘膜,形成在半导体层上,和一栅电极,形成在绝缘膜上,其特征在于它包括:一象素部分,具有一第一 n 沟道型的 TFT,和一驱动电路,具有一由一第二 n 沟道型的 TFT 和一第三 n 沟道型的 TFT 组成的电路,其中第一 n 沟道型的 TFT 的栅电极具有一由第二导电层和与第二导电层有相同宽度的第一导电层组成的层状结构,每个第二和第三 n 沟道型的 TFTs 的栅电极具有一由第一导电层和第二导电层组成的层状结构,作为下层的第一导电层具有第一宽度,作为上层的第二导电层具有比第一宽度小的第二宽度。

在上述的每个半导体装置中, EEMOS 电路或 EDMOS 电路是由第二 n 沟道型的 TFT 和一第三 n 沟道型的 TFT 组成的。

在上述的每个半导体装置中,驱动电路的每个 n 沟道型的 TFTs 设有一具有锥形部的栅电极,一与栅电极叠加的沟道形成区域和一与栅电极部分叠加的杂质区域。

在上述的每个半导体装置中,在 n 沟道型的 TFT 的杂质区域中的杂质浓度包含一浓度梯度的范围至少从 1×10^{17} 至 $1 \times 10^{18}/\text{cm}^3$ 的区域,杂质浓度随着沟道形成区域的距离的增大而增加。

在上述的每个半导体装置中,驱动电路的 n 沟道型 TFTs 的源极电线和象素部分的 n 沟道型 TFTs 的源极电线是由不同材料制成的。

在上述的每个半导体装置中,象素部分的源极电线是由主要包含铝,铜或银的材料制成的。

在上述的每个半导体装置中,象素部分的源极电线是由溅镀方法,印刷方法,电镀方法或其任意结合的方法制成的。

上述每个半导体装置是一种反射型或传输型的液晶模块。

根据本发明的再一个方案,它提供一种在绝缘表面上具有一驱动电路和一象素部分的半导体装置的制造方法,其特征在于它包括:一在绝缘表面上形成半导体层的步骤;一在半导体层上形成第一绝缘膜的步骤;一在第一绝缘膜上形成第一栅电极的步骤;一通过使用第一栅电极作为掩模将提供 n 型的杂质元素掺杂到半导体层中以形成 n 型第一杂质区域的步骤;一蚀刻第一栅电极以形成锥形部的步骤;一将提供 n 型的杂质元素掺杂到半导体层中同时穿过第一栅

电极的锥形部以此形成n型第二杂质区域的步骤；一形成第二绝缘膜以覆盖第一栅电极的步骤；一在第二绝缘膜上形成像素部分源极电线的步骤；一形成第三绝缘膜以覆盖像素部分源极电线的步骤；一在第三绝缘膜上形成驱动电路源极电线和栅极电线的步骤。

根据本发明的还一个方案，它提供一种具有n沟道型TFT的半导体装置的制造方法，n沟道型TFT在绝缘表面上具有第一半导体层和第一栅电极，它还具有第二半导体层和第二栅电极，其特征在于包括：一在绝缘表面上形成第一半导体层和第二半导体层的步骤；一在第一半导体层和第二半导体层上形成第一绝缘膜的步骤；一在第一绝缘膜上形成第一栅电极的步骤；一通过使用第一栅电极作为掩模将提供n型的杂质元素掺杂到第一半导体层和第二半导体层中以形成n型第一杂质区域的步骤；一蚀刻第一栅电极以形成锥形部的步骤；一将提供n型的杂质元素掺杂到第一半导体层和第二半导体层中同时穿过第一栅电极的锥形部以此形成n型第二杂质区域的步骤；一选择性地仅仅去除第二半导体层上的第一栅电极的锥形部以形成第二栅电极；一形成第二绝缘膜以覆盖第一栅电极和第二栅电极的步骤；一在第二绝缘膜上形成像素部分源极电线的步骤；一形成第三绝缘膜以覆盖像素部分源极电线的步骤；一在第三绝缘膜上形成驱动电路源极电线和栅极电线的步骤。

在上述的制造方法中，具有第一栅电极的n沟道型TFT是一种驱动电路的TFT。

在上述的制造方法中，具有第二栅电极的n沟道型TFT是一种像素部分的TFT。

在上述的制造方法中，像素电极是在与驱动电路的源极电线相同的时间内形成的。

在上述的制造方法中，形成像素部分源极电线的步骤是一种溅镀方法，印刷方法，电镀方法或其结合的方法。

在上述的制造方法中，第一栅电极具有一由第一导电层和第二导电层组成的层状结构，作为下层的第一导电层具有第一宽度，作为上层第二导电层具有比第一宽度小的第二宽度。没有与第二导电层叠加的第一导电层区域的截面形状是一种锥形。

附图说明

图 1A 至 1D 表示 AM-LCD 制造过程的简图；
图 2A 至 2C 表示另一种 AM-LCD 制造过程的简图；
图 3A 和 3B 表示又一种 AM-LCD 制造过程的简图；
图 4 表示像素的顶视图；
图 5 表示像素的顶视图；
图 6 表示有源矩阵型液晶显示设备的剖视图；
图 7 表示液晶显示模块的外观视图；
图 8A 和 8B 表示 NMOS 电路结构的简图；
图 9A 和 9B 表示移位寄存器结构的简图；
图 10 表示像素部分的剖视图；
图 11A 和 11B 表示像素部分的剖视图；
图 12 表示装置的顶视图；
图 13A 至 13C 表示像素部分的剖视图；
图 14 表示激光照射工作过程的示意图；
图 15A 至 15C 表示电子设备的简图；
图 16A 和 16B 表示电子设备的简图。

具体实施方式

下面将参考附图描述本发明。

首先，在衬底上形成一基极绝缘膜后，使用第一光刻工艺形成一具有所需形状的半导体层。

接着，形成一绝缘膜（包含栅极绝缘膜）以能覆盖半导体层。在绝缘膜上形成和分层第一导电膜和第二导电膜。通过使用第二光刻工艺对由此形成的层压膜进行第一蚀刻处理以形成一包括第一导电层和第二导电层的栅电极。在本发明中，在栅电极预先形成后，在绝缘膜夹层上形成栅极电线。

然后，提供 n 型的杂质元素（磷等）在使第二光刻工艺中形成的抗蚀剂掩模不变的（left unmodified）的状态下掺杂到半导体中，由此在自对准中形成一 n 型杂质区域（高浓度）。

接着，改变蚀刻条件，在使第二光刻工艺中形成的抗蚀剂掩模不变（left

unmodified)的状态下实现第二蚀刻处理,形成了具有锥形部的第一导电层(第一宽度)和第二导电层(第二宽度),第一宽度设定成大于第二宽度,包括第一导电层和第二导电层的电极用作n沟道型TFT的栅电极(第一栅电极)。

然后,去除抗蚀剂掩模后,提供n型的杂质元素穿过第一导电层的锥形部,通过使用第二导电层作为掩模掺杂到半导体层中。这里,沟道形成区域形成在第二导电层的下面,杂质区域(低浓度)形成在第一导电层的下面以便杂质浓度随着与沟道形成区域的距离的增大而增加。

此后,有选择地去除锥形部以降低偏电流,掩模层的数量增加了一倍以形成一覆盖除了像素部分的部分的抗蚀剂掩模,然后实现蚀刻处理以仅仅去除像素部分的栅电极的锥形部。

接着,在形成保护栅电极的绝缘膜后,掺杂每个在半导体层中的杂质元素被激活,然后通过第三光刻工艺仅在像素部分的绝缘膜上形成源极电线,该源极电线是由具有低阻金属材料(通常该材料包含铝、银、铜为主要成分)制成的。如上所述,根据本发明,像素部分的源极电线是由低阻的金属材料制成。因此,即使像素部分的区域增大了,像素部分也能被充分地驱动。而且由于掩模层数量的减少,源极电线也可通过印刷方法形成。

此后,形成一夹层绝缘膜,接着,通过第四光刻工艺形成接触孔。在此情况下,形成一延伸至杂质区域的接触孔,一延伸至栅电极的接触孔,一延伸至源极电线的接触孔。

接着,形成一具有低阻金属材料制成的导电膜,通过第五光刻工艺形成将每个栅极电线和源极电线与杂质区域和像素电极相连接的电极。在本发明中,每个栅极电线通过设置在夹层绝缘膜上的接触孔与第一栅电极或第二栅电极形成电连接。每个源极电线通过设置在夹层绝缘膜上的接触孔与杂质区域(源极区域)形成电连接。像素电极通过设置在夹层绝缘膜上的接触孔与杂质区域(漏极区域)形成电连接。一具有高反射率的金属材料最好用作导电层的材料,因为它构成了像素电极,通常使用的是包含铝或银作为主要成分的材料。

如上所述,根据本发明,栅极电线是由低阻的金属材料形成的,因此,即使像素部分的区域增加了,像素部分也能够被充分地驱动。

如上所述,如图8A所示,通过实现全部五次光刻工艺,即使用五个掩模

层就能形成一具有象素部分和驱动电路的设备衬底，象素部分具有一象素 TFT (n 沟道 TFT)，驱动电路具有一 EEMOS (n 沟道型 TFT)。在此情况下，前述工艺过程能够直接形成一反射型显示设备，然而，本发明的方法也可用于传输型显示设备。制造传输型显示设备时，就要使用六个掩模层才能形成设备衬底，因为它必须将透明的导电膜进行图案处理。

而且，在如图 8B 所示的 EDMOS 电路是通过增强型和抑制型相结合而形成的情况下，导电膜形成前，掩模事先形成，一属于元素周期表第 15 簇的元素（最好是磷）或属于元素周期表第 13 簇的元素（最好是硼）可以有选择地掺杂到作为沟道形成区域的半导体中。在此情况下，通过使用六个掩模层就能形成设备衬底。

当不使用第三光刻工艺和象素部分的源极电线用印刷方法形成时，设备衬底能够通过使用四个掩模层而形成。

根据下面的最佳实施例将较详细地描述具有上述结构的本发明。

实施例

第一实施例

在本实施例中，参考附图 1 至 5 描述在相同的衬底上同时制造象素部分(n 沟道 TFT) 和 TFTs (EEMOS 电路由 n 沟道 TFT 形成) 的方法，TFTs 包括驱动电路的 NMOS 电路，它设置在象素部分周缘上。

在本实施例中，使用衬底 100，该衬底 100 是由钡硼硅酸盐玻璃，如 Corning. Corp 生产的 #7059 玻璃和 #1737 玻璃或铝硅酸盐玻璃形成的。作为衬底 100，可使用任何衬底。可以使用在表面上形成一绝缘膜的石英衬底，一硅衬底，一金属衬底或不锈钢衬底。也可以使用能够经受本实施例处理温度的耐热塑料衬底。

然后，在衬底 100 上形成一由绝缘膜如氧化硅膜，一氮化硅膜或氮氧化硅膜组成的底层膜 101。在本实施例中，一双层结构用作底层膜 101。然而，也可以使用单层绝缘膜或使用了上述绝缘膜的两层或多层绝缘膜的层状结构。作为底层膜 101 的第一层，氮氧化硅膜 101a 通过等离子 CVD，使用 SiH_4 、 N_2H_4 和 N_2O 作为反应气体所形成的厚度为 10 至 200nm（最好是 50 至 100nm）。在本实施例中，形成了厚度为 50nm 的氮氧化硅膜 101a（成分的比例为：

Si=32%, O=27%, N=24%和 H=17%)。然后, 作为底层膜 101 的第二层, 氮氧化硅膜 101a 通过等离子 CVD, 使用 SiH_4 和 N_2O 作为反应气体所形成的厚度为 50 至 200nm (最好是 100 至 150nm)。在本实施例中, 形成了厚度为 100nm 的氮氧化硅膜 (成分的比例为: Si=32%, O=59%, N=7%和 H=2%)。

接着, 在底层膜上形成半导体层 102。半导体层 102 至 105 通过使用一公知方法 (溅镀, LPCVD, 等离子 CVD 等方法) 形成一具有非晶态结构的半导体膜, 进行公知的结晶处理 (激光结晶, 热结晶或使用催化剂如镍的热结晶) 以获得一结晶状的半导体膜, 并将该膜图案制成为一所需形状而形成。半导体层 102 至 105 形成的厚度为 25 至 80nm (最好是 30 至 60nm)。关于结晶状半导体膜的材料没有特别的限制。然而, 它最好形成硅或硅锗合金的结晶状半导体膜。在本实施例中, 通过等离子 CVD 形成了 55nm 的非晶态硅膜, 此后, 一包含镍的溶液保留在非晶态硅膜上。非晶态硅膜经过脱氢处理 (温度为 500°C , 时间一小时), 然后再进行热结晶 (温度为 550°C , 时间四小时)。而且, 进行激光退火的目的是提高结晶度, 以此形成结晶状硅膜。结晶状硅膜通过光刻工艺进行图案处理以形成半导体层 102 至 105。

而且, 形成半导体层 102 至 105 后, 可以适当地进行微量 (trace amount) 杂质元素 (硼或磷) 的掺杂以能分别地制造出增强型和抑制型。

此外, 在用激光结晶制造结晶状半导体的情况下, 可以使用脉冲振荡型或连续发光型受激准分子激光器, YAG 激光器和 YVO_4 激光器。使用这些激光器时, 激光振荡器发射的激光可以经过光学系统聚焦成线性状, 并被允许照射到半导体膜上。结晶条件可由操作者适当地选择。然而, 使用脉冲振荡型受激准分子激光时, 脉冲振荡频率可设定为 30Hz, 激光能量密度可设定为 100 至 $400\text{mJ}/\text{cm}^2$ (通常为 200 至 $300\text{mJ}/\text{cm}^2$)。在使用脉冲振荡 YAG 激光的情况下, 可以使用其二次谐波, 脉冲振荡频率可设定为 1 至 10Hz, 激光能量密度可设定为 300 至 $600\text{mJ}/\text{cm}^2$ (通常为 350 至 $500\text{mJ}/\text{cm}^2$)。聚焦成线性状、宽度为 100 至 $1000\mu\text{m}$ (例如为 $400\mu\text{m}$) 的激光可以照射在衬底的全部表面上。此时, 线状激光的叠加率可设定为 80% 至 98%。

此外, 激光照射的状态可以简单地用图 14 表示, 激光源 1101 发射的激光通过光系统 1102 和镜子 1103 照射到大衬底上。大衬底上的箭头表示激光的扫

描的方向。图 14 表示实现复合图案以形成大衬底 1105（尺寸为 $650 \times 550\text{nm}$ ）的中的六个衬底（尺寸为 12.1 英寸）。

然后，形成栅极绝缘膜 106 以覆盖半导体层 102 至 105。栅极绝缘膜 106 是由含硅的绝缘膜形成以通过等离子 CVD 或溅镀具有一个 40 至 150nm 的厚度。在本实施例中，氮氧化硅膜（成分的比例为：Si=32%，O=59%，N=7%和 H=2%）通过等离子 CVD 形成的厚度为 115nm。无需多说，栅极绝缘膜 106 不局限于氮氧化硅膜，它可以是含硅的单层或层状结构的绝缘膜。

接着，如图 1A 所示，第一导电膜 107a（厚度：20 至 100nm）和第二导电膜 107b（厚度：100 至 400nm）叠压在栅极绝缘膜 106 上。在本实施例中，由 TaN 膜制成的厚度为 30nm 的第一导电膜和由 W 膜制成的厚度为 370nm 的第二导电膜叠压在其上面。TaN 膜在包含氮的空气中使用 Ta 作为目标通过溅镀而形成，W 膜使用 W 作为目标通过溅镀而形成。W 膜还可以使用六氟化钨（ WF_6 ）通过热 CVD 而形成。在任何情况下，为了使用 W 膜作为栅电极都需要减小电阻并且希望 W 膜的电阻率是 $20 \mu \Omega \text{cm}$ 或更少。W 膜的电阻率通过扩大其晶粒而减小。然而，在 W 膜中有许多杂质元素如氧的情况下，结晶就被禁止，W 膜的电阻就被增大了。因此，在本实施例中，W 膜使用高纯度 W（纯度：99.9999%或 99.99%）作为目标通过溅镀而形成以便在膜形成过程中不允许杂质从气相进入 W 膜中。凭此能够实现 9 至 $20 \mu \Omega \text{cm}$ 的电阻率。

在本实施例中，第一导电膜 107a 由 TaN 膜制成，第二导电膜 107b 由 W 膜制成。然而，本发明并不局限于这些。这两种膜可由从 Ta, W, Ti, Mo, Al, Cu, Cr 和 Nd 选择的一种元素，或包含该元素作为其主要成分的一种合金材料，或混合材料而形成。还可以使用与杂质元素如磷相掺杂的半导体膜如多晶硅膜。而且，可以使用下面的组合：由钽膜（Ta）制成的第一导电膜和由 W 膜制成的第二导电膜；由氮化钛膜（TiN）制成的第一导电膜和由 W 膜制成的第二导电膜；由氮化钽膜（TaN）制成的第一导电膜和由 Al 膜制成的第二导电膜；由氮化钽膜（TaN）制成的第一导电膜和由 Cu 膜制成的第二导电膜。

然后，由抗蚀剂制成的掩模 108a 至 111 a 通过光刻法而形成，进行形成电极和电线的第一蚀刻处理。第一蚀刻处理是作为第一和第二蚀刻条件进行的。在本实施例中，在第一蚀刻条件下，蚀刻是通过一感应耦合等离子（ICP）

蚀刻方法进行的,其中等离子通过使用 CF_4 , Cl_2 和 O_2 作为蚀刻气体(流速速率: 25/25/10(sccm)), 同时在 1Pa 的气压下将 500W 的 RF 功率 (13.56MHz) 提供给线圈形状的电极而产生的。作为蚀刻气体,可以适当地使用氯型气体如 Cl_2 , BCl_3 , SiCl_4 和 CCl_4 或氟气如 CF_4 , SF_6 , 和 NF_3 或 O_2 。这里,可以使用由 Matsushita 电子工业有限公司制造的使用了 ICP 的干燥蚀刻装置(型号 E645-ICP)。150W 的 RF 功率 (13.56MHz) 也可提供给衬底侧(采样阶段),凭此一实质上是负自偏电压可提供给它。在第一蚀刻状态下, W 膜经过蚀刻,第一导电层的端部形成锥形。在第一蚀刻状态下,对 W 的蚀刻速率是 200.39nm/min., 对 TaN 的蚀刻速率是 80.32nm/min., W 相对于 TaN 的选择率大约为 2.5。而且,在第一蚀刻条件下, W 的倾斜角度大约为 26° 。

此后,不去除抗蚀剂制成的掩模 108a 至 111a, 在第二蚀刻条件下进行大约 30 秒钟的蚀刻处理,其中等离子通过使用 CF_4 和 Cl_2 作为蚀刻气体(流速比率: 30/30(sccm)), 同时在 1Pa 的气压下将 500W 的 RF 功率 (13.56MHz) 提供给线圈形状的电极而产生的。20W 的 RF 功率 (13.56MHz) 也可提供给衬底侧(采样阶段),凭此一实质上是负自偏电压可提供给它。在使用 CF_4 和 Cl_2 混合物作为蚀刻气体的第二蚀刻条件下, W 膜和 TaN 膜被蚀刻成相同的程度。在第二蚀刻条件下,对 W 的蚀刻速率为 58.97nm/min., 对 TaN 的蚀刻速率为 66.43nm/min。为了在没有将任何剩余残渣遗留在栅极绝缘膜上进行蚀刻,蚀刻时间可延长大约 10% 至 20%。

根据上述第一蚀刻处理过程,通过适当地限定抗蚀剂掩模的形状,第一导电层和第二导电层的端部由于作用在衬底侧上的偏电压的效应形成锥形,倾斜部分的角度可为 15 至 45° 。

因此,由第一导电层和第二导电层组成的第一形状的导电层 113 至 116(第一导电层 113a 至 116a 和第二导电层 113b 至 116b)通过第一蚀刻处理而形成。(图 1B)在沟道长度方向上的第一导电层的宽度对应于上述实施例方式中图示的第一宽度。虽然未图示,将成为栅极绝缘膜、没有被第一形状的导电层 113 至 116 覆盖的绝缘膜 106 的区域被蚀刻成大约 10 至 20nm 薄的厚度。

不去除抗蚀剂掩模,就进行第一掺杂处理,凭此提供 n 型的杂质元素就被加入半导体层中(图 1c)。通过离子掺杂或离子注射就可进行掺杂处理。离子

掺杂是在剂量为 1×10^{13} 至 $5 \times 10^{15}/\text{cm}^2$ 和加速电压为 60 至 100keV 的条件下进行的。在本实施例中,掺杂是在剂量为 $1.5 \times 10^{15}/\text{cm}^2$ 和加速电压为 80keV 的条件下进行的。作为提供 n 型的杂质元素,该元素属于第 15 簇,通常使用磷(P)或砷(As)。这里使用磷(P)。在本实施例中,导电层 113 至 116 的功能相当于提供 n 型的杂质元素来说起着掩模的作用,凭此高浓度杂质区域 118 至 121 以自校准的方式而形成。提供 n 型的杂质元素被加入到浓度为 1×10^{20} 至 $1 \times 10^{21}/\text{cm}^3$ 的高浓度杂质区域 118 至 121 中。

然后,不去除抗蚀剂掩模,就进行第二蚀刻处理。这里,蚀刻通过使用 SF_6 , Cl_2 和 O_2 作为蚀刻气体(流速速率: 24/12/24(sccm)),同时在 1.3Pa 的气压下将 700W 的 RF 功率(13.56MHz)提供给线圈形状的电极而产生等离子。10W 的 RF 功率(13.56MHz)也可提供给衬底侧(采样阶段),凭此一实质上是负自偏电压可提供给它。在第二蚀刻处理中,对 W 的蚀刻速率是 227.3nm/min.,对 TaN 的蚀刻速率是 32.1nm/min.,W 相对于 TaN 的选择率为 7.1。对 SiON (绝缘膜 106)的蚀刻速率是 33.7nm/min.,W 相对于 TaN 的选择率为 6.83。在使用 SF_6 作为蚀刻气体的情况下,相对于绝缘膜 106 的选择速率是比较高的,这样就抑制减小膜的厚度。

在第二蚀刻处理中,W 的倾斜角度就变为 70° 。而且,在第二蚀刻处理中,能够形成第二导电层 122b 至 125b。另一方面,第一导电层几乎不能经过蚀刻而形成第一导电层 122a 至 125a。(图 1D)虽然未图示,实际上,第一导电层的宽度与第二蚀刻处理前的情况相比变窄了大约 $0.15 \mu\text{m}$ (即相对整个线宽度大约为 $0.3 \mu\text{m}$)。此外,沟道长度方向上的第二导电层的宽度对应于实施例方式中图示的第二宽度。

由第一导电层 122a 和第二导电层 122b 形成的电极将成为由下列步骤形成的 CMOS 电路的 n 沟道 TFT 的栅电极。由第一导电层 125a 和第二导电层 125b 形成的电极将成为由下列步骤形成的保留电容的一个电极。

在第二蚀刻处理中,还可使用 CF_4 , Cl_2 和 O_2 作为蚀刻气体。在此情况下,蚀刻通过在流速速率为 25/25/10(sccm),同时在 1Pa 的气压下将 500W 的 RF 功率(13.56MHz)提供给线圈形状的电极产生等离子而进行的。20W 的 RF 功率(13.56MHz)也可提供给衬底侧(采样阶段),凭此一实质上是负自偏电压可

提供给它。在使用 CF_4 , Cl_2 和 O_2 情况下, 对 W 的蚀刻速率是 $124.62\text{nm}/\text{min}$, 对 TaN 的蚀刻速率是 $20.67\text{nm}/\text{min}$, W 相对于 TaN 的选择率大约为 6.05。因此, W 膜能被有选择地进行蚀刻。而且, 在此情况下, 没有被第一形状的导电层 122 至 125 覆盖的绝缘膜 106 的区域被蚀刻成大约 50nm 薄的厚度。

然后, 去除抗蚀剂掩模后, 就能进行第二掺杂处理以获得图 2A 所示的情况。使用第二导电层 122b 至 125b 作为相对于杂质元素的掩模进行掺杂以便杂质元素能被加入到第一导电层锥形部下面的半导体层中。在本实施例中, 使用磷 (P) 作为杂质元素, 等离子体掺杂是在剂量为 $1.5 \times 10^{14}/\text{cm}^2$, 加速电压为 90keV , 离子电流密度为 $0.5 \mu\text{A}/\text{cm}^2$, 5% 的氢稀释气体的三氢化磷 (PH_3), 流速速率为 30sccm 的条件下进行的。因此, 低浓度杂质区域 127 至 136 就能形成以便以自校准的方式与第一导电层相叠加。加入到低浓度杂质区域 127 至 136 中的磷 (P) 的浓度为 1×10^{17} 至 $1 \times 10^{19}/\text{cm}^2$, 低浓度杂质区域 127 至 136 具有一个与第一导电层锥形部厚度相应的浓度梯度。在与第一导电层锥形部相叠加的半导体层中, 杂质浓度 (P 的浓度) 从第一导电层的锥形部向内逐渐递减。更具体地说, 在第二掺杂处理中, 形成了一浓度分布。而且, 杂质元素还可以加入到高浓度杂质区域 118 至 121 中以形成高浓度杂质区域 137 至 145。

在本实施例中, 锥形部的宽度 (沟道长度方向的宽度) 最好至少为 $0.5 \mu\text{m}$ 或更少, 其上限为 1.5 至 $2 \mu\text{m}$ 。因此, 虽然取决于膜的厚度, 但是在具有浓度梯度的杂质区域 (低浓度) 的沟道长度方向上的宽度也可以为 1.5 至 $2 \mu\text{m}$ 。杂质区域 (低浓度) 和杂质区域 (高浓度) 在附图中表示为分离的区域。事实上, 二者之间没有明确的界限, 除了一个仅具有浓度梯度的区域。同样, 沟道形成区域和杂质区域 (低浓度) 在它们之间也没有一个明确的界限。

接着, 除了象素部分之外的区域被抗蚀剂掩模 146 和 147 覆盖以进行第三蚀刻处理。在第三蚀刻处理中, 第一导电层的锥形部被有选择地进行蚀刻以能去除叠加半导体层的区域。第三蚀刻处理使用相对 W 具有较高选择率的蚀刻气体 Cl_3 , 和使用 ICP 蚀刻装置。在本实施例中, Cl_3 的气体流速速率设定为 80sccm , 350W 的 RF 功率 (13.56MHz) 在 1.2Pa 的气压下提供给线圈状的电极以产生 30 秒钟蚀刻处理的等离子。衬底侧 (采样阶段) 接收 50W 的 RF 功率 (13.56MHz) 以提供一实质上是负自偏电压。第一导电层 124c 通过第三蚀刻

处理而形成(图 2B)。

虽然在本实施例中说明的是执行第三蚀刻处理的一个实例,但是这里如果没有需要也不必实现第三蚀刻处理。

接着,抗蚀剂掩模 146 和 147 被去除以形成第一夹层绝缘膜 154。第一夹层绝缘膜 154 是通过等离子 CVD 或溅镀由含硅的绝缘膜形成的,厚度为 10 至 200nm。第一夹层绝缘膜 154 用作蚀刻停止器以避免在制造过程中接触孔在厚度减小的绝缘膜上后来形成时对半导体层的过度蚀刻。在本实施例中,厚度为 50nm 的氧化硅膜是用等离子 CVD 形成的。第一夹层绝缘膜 154 不局限于氧化硅膜,当然,也可以使用其它单层或层状结构的绝缘膜。

然后,用于掺杂半导体层的杂质元素如图 2C 所示被激活。这种激活是使用退火炉通过热退火(thermal annealing)而实现的。衬底是在包含 1ppm 或更小氧气的氮气体,氮气体最好为 0.1ppm 或更小,温度为 400 至 700°C,通常为 500 至 550°C 中热退火的。在本实施例中,激活处理是在 550°C 的高温中经过四小时的热处理而完成的。除了热退火外,也可以使用激光退火或快速热退火(RTA)。

虽然附图中未图示,杂质元素通过激活处理进行扩散以此几乎能够完全消除 n 型杂质区域(低浓度)和杂质区域(高浓度)之间的界限。

在本实施例中,在结晶中用作催化剂的镍在进行上述激活处理的同时被吸收,移至包含高浓度磷的杂质区域中。结果,在主要用作沟道形成区域的半导体层中镍的浓度就降低了。如果由此形成的沟道形成区域在 TFT 中使用,TFT 由于偏电流的降低和结晶度的提高就能具有较高的场效应的迁移率和非常良好的特性。

激活处理可以在形成第一夹层绝缘膜前进行。然而,所使用电线的线路材料抗热性能较弱时,它最好与本实施例一样先形成第一夹层绝缘膜(绝缘膜主要包含硅,例如,氮化硅膜),然后再进行激活处理以保护栅电极。

下面,在氢气中进行热处理以氢化半导体层。其它可以使用的氢化方法包括等离子氢化(使用的氢气由等离子激活)。

激活处理使用激光退火时,用受激准分子激光器,YAG 激光器等激光在上述氢化过程后按所期望的那样照射衬底。

然后在第一夹层绝缘膜 154 中形成一源极电线线路 126。(图 3A), 源极电线线路 126 最好由低阻材料, 通常是铝, 银, 铜或主要包含上述材料的一种材料制成。

在本实施例中主要包含铝的导电膜通过溅镀而形成, 此后, 源极电线线路 126 使用光刻而形成。此外, 作为源极电线线路 126 的另一种制造方法, 也可以使用印刷和电镀方法。

然后, 形成一第二夹层绝缘膜 155 以覆盖象素的源极电线。第二夹层绝缘膜 155 可以使用一种主要包含硅的无机绝缘膜。

虽然这里所图示的是一种在第一夹层绝缘膜 154 上形成源极电线线路 126 的情况, 但是源极电线线路也可在第二夹层绝缘膜上形成。在此情况下, 第二夹层绝缘膜在激活后使用氮化硅而形成, 进行热处理(温度为 300 至 550⁰ C, 时间为 1 至 12 小时)以氢化半导体层, 然后源极电线线路在第二夹层绝缘膜上形成。在此情况下的氢化是为了用包含在第二夹层绝缘膜中的氢气半导体层中的悬空键。

下面, 第三夹层绝缘膜 156 由有机绝缘材料形成在第二夹层绝缘膜 155 上。在本实施例中, 一丙烯酸树脂形成的厚度为 1.6 μm 。延伸至杂质区域(137, 138, 149, 150, 151, 153, 154 和 144)的接触孔, 一延伸至象素部分的源极电线线路 126 的接触孔, 延伸至栅电极 124 的接触孔, 延伸至电极 125b 的接触孔通过制作图案而形成。

接着形成的是分别与杂质区域 137, 138, 149 和 150 形成电连接的电极 157 至 160, 还形成的是驱动器电路的源极电线。而且还形成与杂质区域 144 和杂质区域 153 相电连接的象素电极 163, 将用作源极区域的杂质区域 151 与象素部分的源极电线线路 126 相电连接的电极(连接器电极) 161, 与栅电极 124 相电连接的栅极电线线路 162 和与电极 125b 相电连接的电容器电线 169。这些电极和象素电极是由具有非常高反射率的材料, 如主要包含 Al 或 Ag 的膜, 或主要包含 Al 的膜和主要包含 Ag 的膜的层状结构制成。

用作电容存储器 207 其中一个电极的杂质区域 135, 136, 144 和 145 与提供 n 型传导性的杂质元素相掺杂。电容存储器 207 是由与电容器电线 169 相连接的电极 125a、125b 和具有作为绝缘材料的绝缘膜 106 的半导体层组成。

这样,包括CMOS电路202的驱动电路201与具有像素TFT206和电容存储器的像素部分205形成在相同的衬底上,CMOS电路202由一n沟道TFT203和一n沟道TFT204组成,像素TFT206是一种n沟道TFT。(图3B)为了方便起见衬底在此称之为有源矩阵衬底一样。

在本实施例中,EEMOS电路是由使用了图8A所示的n沟道的TFT203和n沟道的TFT204构成的。

图5表示根据本实施例构成的有源矩阵衬底的像素部分的顶视图。在图5中,与图3B中相同的部件用相同的标号表示,图3B中用点划线A-A'表示的剖视图沿图4中的点划线A-A'截取。图3B中用点划线B-B'表示的剖视图沿图5中的点划线B-B'截取。图4表示仅在像素部分的源极电线126形成后的顶视图。

在根据本实施例的像素结构中,像素电极163的边缘叠加源极电线线路126以便像素电极之间的空隙不使用黑色矩阵就能屏蔽光。

本实施例中所示的过程在制造一个有源矩阵衬底时仅需要六个光掩模。

第二实施例

在本实施例中,将描述使用了实施例1中制造的有源矩阵衬底的有源矩阵液晶显示设备的制造过程。参考附图6进行描述。

首先,根据实施例1获得具有图3B所示状态的有源矩阵衬底后,在图3B的有源矩阵衬底上形成一定向膜301以进行摩擦(rubbing)处理。必须注意:在本实施例中,在定向膜301形成前,制作一有机树脂膜如丙烯酸树脂膜图案以形成一圆柱形间隔物,它用于在所需的位置保持衬底之间的空隙。而且,替换圆柱形间隔物,一球形间隔物也可分布在整个表面上。

接着,就制备一相对的衬底300。一对应于每个像素设有有色层302和光屏蔽层303的滤色器设置在相对的衬底300上。而且,光屏蔽层303设置在驱动电路部分上。还设置了用于覆盖滤色器和光屏蔽层303的整平膜(leveling film)304。然后,由透明导电膜制成的反电极305形成在整平膜304上的像素部分中,接着,在相对衬底300的全部表面上形成一定向膜306以进行摩擦(rubbing)处理。

然后,使用一密封件307使在其上形成像素部分和驱动电路的有源矩阵衬

底和相对的衬底相互粘合。填充物与密封件 307 相混合，两个衬底通过填充物和圆柱形间隔物相互粘合而具有一相同的空隙。此后，一液晶材料 308 注入两个衬底之间的空间，然后用一密封件（未图示）进行完全密封。公知的液晶材料可用作液晶材料 308。因此，就能完成图 5 所示的有源矩阵液晶显示设备。如果需要，有源矩阵衬底或相对的衬底可切成一设定的形状。而且，使用公知的技术可适当地设置一极化板等。使用公知的技术将 FPC 与有源矩阵液晶显示设备相连接。

一种由此获得的液晶模块的结构将使用图 7 的顶视图进行描述。注意：对于与图 6 中那些相同的部分使用相同的参考标号。

图 7 的顶视图表示有源矩阵衬底和相对的衬底通过密封件 307 相互粘合的状态。在有源矩阵衬底上，形成了一与象素部分，驱动电路和 FPC（软性印刷电路）相连接的外输入端 309，和一将外输入端 309 与相应电路的输入部分相连接的电线 310 等。而且，在相对的衬底 300 上形成了滤色器等。

一光屏蔽层 303a 设置在相对的衬底上以便与栅极电线侧的驱动器电路 201a 相叠加。此外，一光屏蔽层 303b 设置在相对的衬底上以便与源极电线侧的驱动器电路 201b 相叠加。在设置在象素部分 205 的相对衬底上的滤色器 302 中，对应于每个象素设置了一光屏蔽层和每种颜色红色（R），绿色（G）和蓝色（B）的有色层。实际上，彩色显示器是使用这三种颜色形成的，即，红色（R）的有色层，绿色（G）的有色层和蓝色（B）的有色层。注意：每种颜色的有色层是任意排列的。

这里，对于彩色显示器而言，滤色器 302 设置在相对的衬底上。然而，本发明不受这种情况特别地限制，在制造有源矩阵衬底时，滤色器可形成在有源矩阵衬底上。

而且，在滤色器中，光屏蔽层是设置在相邻象素之间以便能够屏蔽除了显示区域之外的部分。光屏蔽层 303a 和 303b 设置在覆盖驱动电路的区域中。然而，液晶显示设备作为其显示部分装在电子设备中时，覆盖驱动电路的区域被一外壳覆盖。因此滤色器可以在没有光屏蔽层的情况下构成。在制造有源矩阵衬底时，光屏蔽层可形成在有源矩阵衬底上。

而且，如果没有设置光屏蔽层，组成滤色器的有色层可适当地设置在相对

衬底和反电极之间,这样光屏蔽能够通过由许多层叠压而成的叠层实现。因此,除了显示区域之外的部分(像素之间的空隙)和驱动器电路可被避光。

此外,使用一各向异性的导电树脂使由基极膜和电线组成的 FPC411 与外输入端相连接。而且,设置一加强板以提高机械强度。

上述制造的液晶模块能够用作各种电子设备的显示部分。

第三实施例

相对于第一实施例的 n 沟道型 TFT 而言,增强型和抑制型可以通过将属于元素周期表第 15 簇的元素(最好为磷)或属于元素周期表第 13 簇的元素(最好为硼)掺杂到作为沟道形成区域的半导体中而特殊形成。

而且,在通过组合 n 沟道型 TFTs 而形成的 NMOS 电路的情况下,存在两种情况,一种情况是它由增强型 TFTs 而形成(此下文称之为“EEMOS 电路”),另一种情况是由增强型和抑制型组合而形成(此下文称之为“EDMOS 电路”)。

这里,图 8A 表示一种 EEMOS 电路的情况,图 8B 表示一种 EDMOS 电路的情况。在图 8A 中,每个参考标号 31 和 32 表示一增强型的 n 沟道型 TFT(此下文称之为“E 型 NTFT”)。在图 8B 中,参考标号 33 表示一 E 型 NTFT,参考标号 34 表示一抑制型的 n 沟道型 TFT(此下文称之为“D 型 NTFT”)。

在图 8A 和 8B 中,VDH 表示施加正电压的电压源线(正电压源线),VDHL 表示施加负电压的电压源线(负电压源线)。负电压源线可以是地电位的电源线(即地电压源线)。

图 9 表示一种使用图 8A 所示的 EEMOS 电路或图 8B 所示的 EDMOS 电路而形成移位寄存器的情况。在图 9 中,参考标号 40,41 表示触发电路。此外,标号 42,43 表示 E 型 NTFTs。一时钟信号(CL)输入给 E 型 NTFT42 的栅极,一具有反极性的时钟信号(CL 条(bar))输入给 E 型 NTFT43 的栅极。参考标号 44 表示反相器电路,图 8A 中所示的 EEMOS 电路或图 8B 中所示的 EDMOS 电路如图 9B 所示的一样使用。因此,显示设备的整个驱动电路可由 n 沟道型的 TFTs 构成。

本实施例可与第一实施例或第二实施例自由结合。

第四实施例

在本实施例中,如图 10 所示,与第一实施例不同的栅电极设置在像素 TFT

中。在图 10 中,仅显示了显示部分,因为仅是显示部分的栅电极与第一实施例中的不同。

在本实施例中,没有进行图 2B 所示的第一实施例的第三蚀刻处理。因此,第一导电层 604 通过绝缘膜与杂质区域 603, 605 相叠加,第一导电层 607 通过绝缘膜与杂质区域 606, 608 相叠加。

具有锥形部的第一导电层 604, 607 对应于第一实施例的第一导电层 124a。

根据本实施例,与第一实施例相比,掩模层的数量能被减少一倍,需要形成有源矩阵板的光掩模层的数量能被减少至 5 层。

本实施例可与第一至第三实施例中任一个相结合。

第五实施例

在第一实施例中,已描述了在反射型液晶显示设备中使用的有源矩阵板的制造方法。在本实施例中,将描述在传输型液晶显示设备中使用的有源矩阵板的制造方法。在图 11 中,仅有像素部分显示在图 11 中,因为仅有像素部分不同。

图 11A 表示根据第一实施例形成第三夹层绝缘膜后的过程,包括透明导电膜的像素电极 700 使用光掩模经过制作图案处理以形成接触孔和形成每个电极和栅极电线。像素电极的 700 的透明导电膜可由 ITO(氧化铟和氧化锡的合金),氧化铟和氧化锌的合金 ($\text{In}_2\text{O}_3\text{-ZnO}$), 氧化锌 (ZnO) 等形成。

像素电极 700 通过一与像素电极 700 相叠加的连接电极 706 与像素 TFT702 的杂质区域 705 相电连接。在图 11A 中,参考标号 701 表示一源极电线,参考标号 703, 704 表示栅电极。在本实施例中,连接电极是在像素电极形成之后而形成的。然而,接触孔和连接电极形成后,包括透明导电膜的像素电极可形成以能与连接电极相叠加。

在实现图 11A 结构的制造方法中,需要制造有源矩阵板的光掩模的数量可设定为七个。

图 11B 表示在传输型液晶显示设备中使用的有源矩阵板的形成方法,该传输型液晶显示设备使用了第四实施例实现的像素 TFT709。与图 11A 相同的部件用相同的参考标号表示。

在图 11B 中,像素 TFT709 的栅电极与图 11A 一样形成了包括透明导电膜

的像素电极 700。

在图 11B 中，栅电极的结构与图 11A 中的不相同，每个第一导电层 707，708 具有一锥形部。

在实现图 11B 结构的制造方法中，需要形成有源矩阵板的光掩模层的数量能被减少至 6 层。

本实施例可与第一至第四实施例中任一个自由地相结合。

第六实施例

本实施例的特征在于像素部分的源极电线和驱动电路的源极电线是在不同的过程中形成的。在下面的描述中，参考图 12 仅详细地描述不同点。在图 12 中，为了简化描述，图示的仅是像素部分的三个源极电线 91 和三个栅极电线 92。像素部分的源极电线 91 设计为平行布置的条带，其间隔等于像素的间距。

图 12 还表示实现数字驱动操作的方框图。在本实施例中，设有一源极侧驱动电路 93，一像素部分 94 和一栅极侧驱动电路 95。在本说明书中，驱动电路是一个包含源极侧驱动电路和栅极侧驱动电路的通用术语。

源极侧驱动电路 93 包括一移位寄存器 93a，一锁存器 (A) 93b，一锁存器 (B) 93c，一 D/A 转换器 93d 和一缓冲器 93e。栅极侧驱动电路 95 包括一移位寄存器 95a，一电位移相器 95b 和一缓冲器 95c。如果需要，一电位移相器电路可设置在锁存器 (B) 93c，和 D/A 转换器 93d 之间。

在本实施例中，如图 12 所示，一接触部分设置在源极侧驱动电路 93 和像素部分 94 之间。这是因为源极侧驱动电路的源极电线和像素部分的源极电线 91 是在不同过程中形成的。在本实施例中，像素部分的源极电线是由低阻的材料形成，因此它们是在不同于源极侧驱动电路的源极电线形成过程中形成的。

在第一实施例中，像素部分的源极电线 91 是使用溅镀方法形成的，然后使用光刻方法进行蚀刻。

在本实施例中，像素部分的源极电线 91 是使用另一种方法（电镀方法，印刷方法）形成的。

图 13A 表示像素部分的源极电线 801 是使用电镀方法形成的。像素部分的源极电线 801 形成在与栅电极 803，804 不同的层中。

根据该电镀方法,直流电流提供给包含金属离子(电镀材料源)的水溶液以在阴极表面上形成金属膜。作为电镀的金属,例如可以使用铜,银,金,铬,铁,镍,铂或其合金。

在这种电镀方法中,膜的厚度在电流密度和电镀时间的控制下可由执行者进行适当地设定。

在本实施例中,电线是使用光刻方法在第一夹层绝缘膜中形成的,然后金属膜(铜)通过使用电镀方法形成在每个电线的表面上以完成源极电线的形成。铜最适宜于本发明的源极电线,因为其电阻非常小。在下面的步骤中,图 13A 所示的像素 TFT802 可根据第一实施例的方法而形成。

图 13B 表示一种像素部分的源极电线 901 是使用印刷方法(丝网印刷方法)而形成的情况。

根据丝网印刷方法,一具有所需窗孔图案的板用作掩模,一与金属粒子(银,铝等)混合的糊剂(稀释剂)或印剂通过掩模的窗孔部分形成在作为印刷介质的衬底上,然后由此印刷过的衬底经过氧化(燃烧(burned))以形成具有所需要图案的电线。如上所述的印刷方法相对来说成本较低,它能提供一种大面积的印刷图案,因此适合本发明。

在本实施例中,仅有像素部分的源极电线是使用丝网印刷方法在线路方向形成在第一夹层绝缘膜上,像素部分的源极电线 901 是形成在不同于栅电极 903, 904 的层中。

在实现图 13B 结构的制造方法中,需要形成有源矩阵座的光掩模的数量可被减少到四个。

图 13C 表示使用印刷方法(丝网印刷方法)使一种像素部分的源极电线 906 形成在与栅电极相同层上的情况。在下面的情况中,设置导电层 905a, 905b 以提高像素源极电线 906 的位置精度。

在本实施例中,导电层 905a, 906b 是在与栅电极相同的形成过程中形成的。因此,杂质元素是在栅电极没有被绝缘膜覆盖时激活的。作为一种激活方法,热退火处理是在惰性气体减压的情况下实现的,这样就能抑制导电层由于被氧化而导致其电阻的增大。因此,够使用印刷方法形成源极电线 906 能以能填充在导电层 905a, 906b 之间。通过沿源极电线 906 设置导电层 905a, 906b 就

能防止电线易于在印刷方法中产生损坏。

代替丝网印刷方法，一种使用了旋转磁鼓的活版印刷方法(a letterpress)，一种凹刻方法和各种胶版印刷方法都可以适用于本发明。

象素部分的源极电线91也能够使用上述各种方法而形成。

象素部分94包含许多象素，一TFT元件提供给每个象素。而且，与栅极侧驱动电路相连接的许多栅极电线92以相互平行的方式提供给象素部分94。

栅极侧驱动电路也可以相对于象素部分94设置在栅极侧驱动电路95的相对侧。而且，该设备以模拟方式驱动时，可设置一采样电路以代替锁存器电路。

上述结构可以根据第一至第五实施例的制造方法而实现。

第七实施例

根据本发明的驱动器电路和象素部分可以各种形式的模块(有源矩阵型液晶模块，有源矩阵型EL模块和有源矩阵型EC模块)使用。换句话说，本发明能够适用于具有这些模块作为显示部分的各种电子设备。

下面给出电子设备的例子：视频摄像机；数字摄像机；头挂显示器(护目型显示器)；汽车导航系统；投影仪；汽车立体声；个人电脑；便携式信息终端(如移动电脑；便携式电话和电子笔记本)。这些例子如图15和16所示。

图15A表示一种个人电脑，它包括一主体2001，一图象输入部2002，一显示部2003和一键盘2004。本发明适用于显示部2003。

图15B表示一种移动电脑，它包括一主体2201，一摄像部2202，一图象接收部2203，一操作开关2204，和一显示部2205。本发明适用于显示部2205。

图15C表示一种使用了能够记录程序的记录介质(此下文称之为记录介质)的播放器，它包括一主体2401；一显示部2402；一扬声器部2403；一记录介质2404；和操作开关2405。该播放器使用记录介质的DVD(数字化视频光盘)，CD等，它能够用于音乐欣赏，电影欣赏，游戏和上网。本发明适用于显示部2402。

图16A表示一种便携式本(电子本)，它包括一主体3001，显示部3002和3003，一记录介质3004，操作开关3005，和一天线3006。本发明适用于显示部3002和3003。

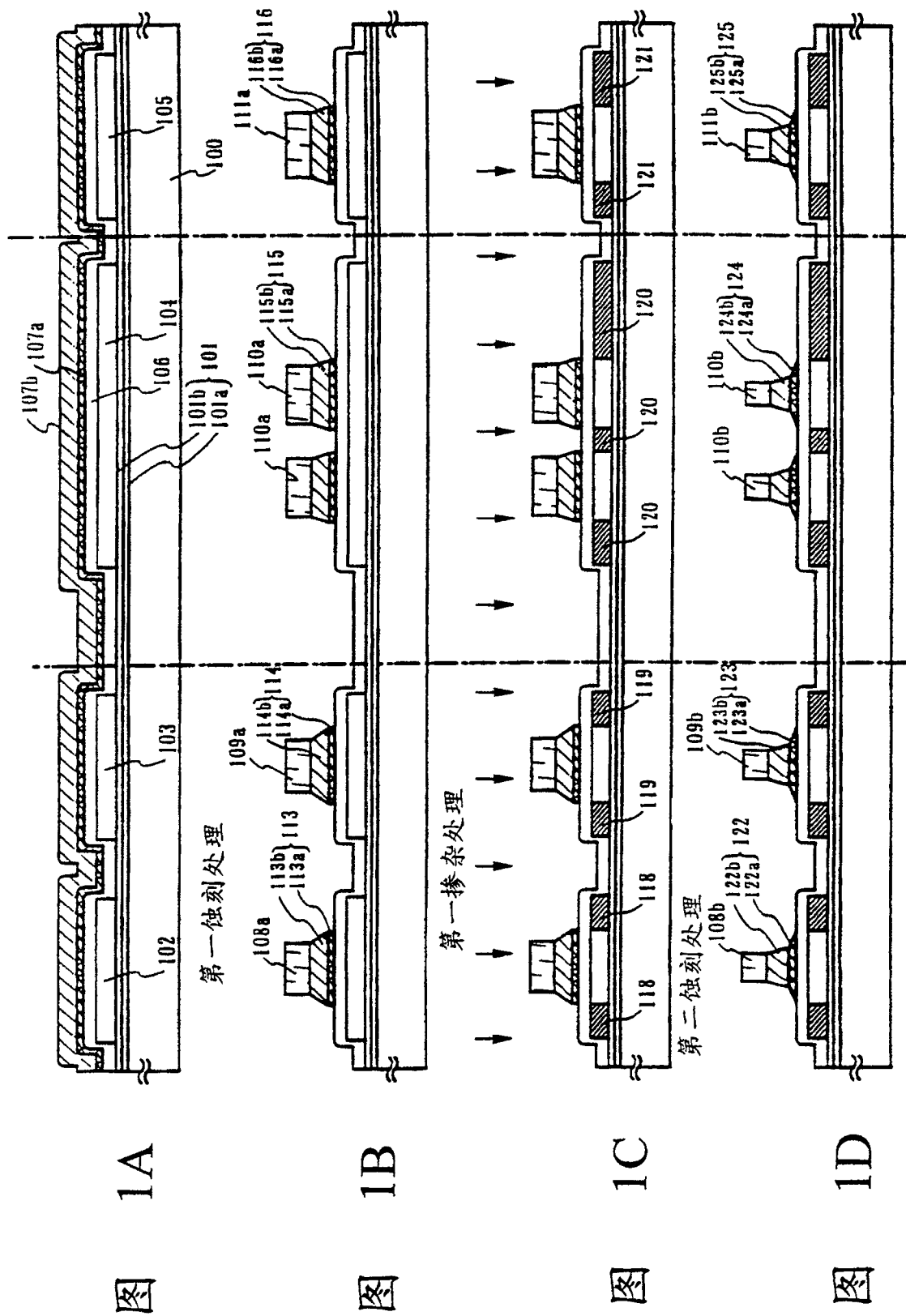
图16B表示一种显示器，它包括一主体3101，一支撑座3102和一显示部

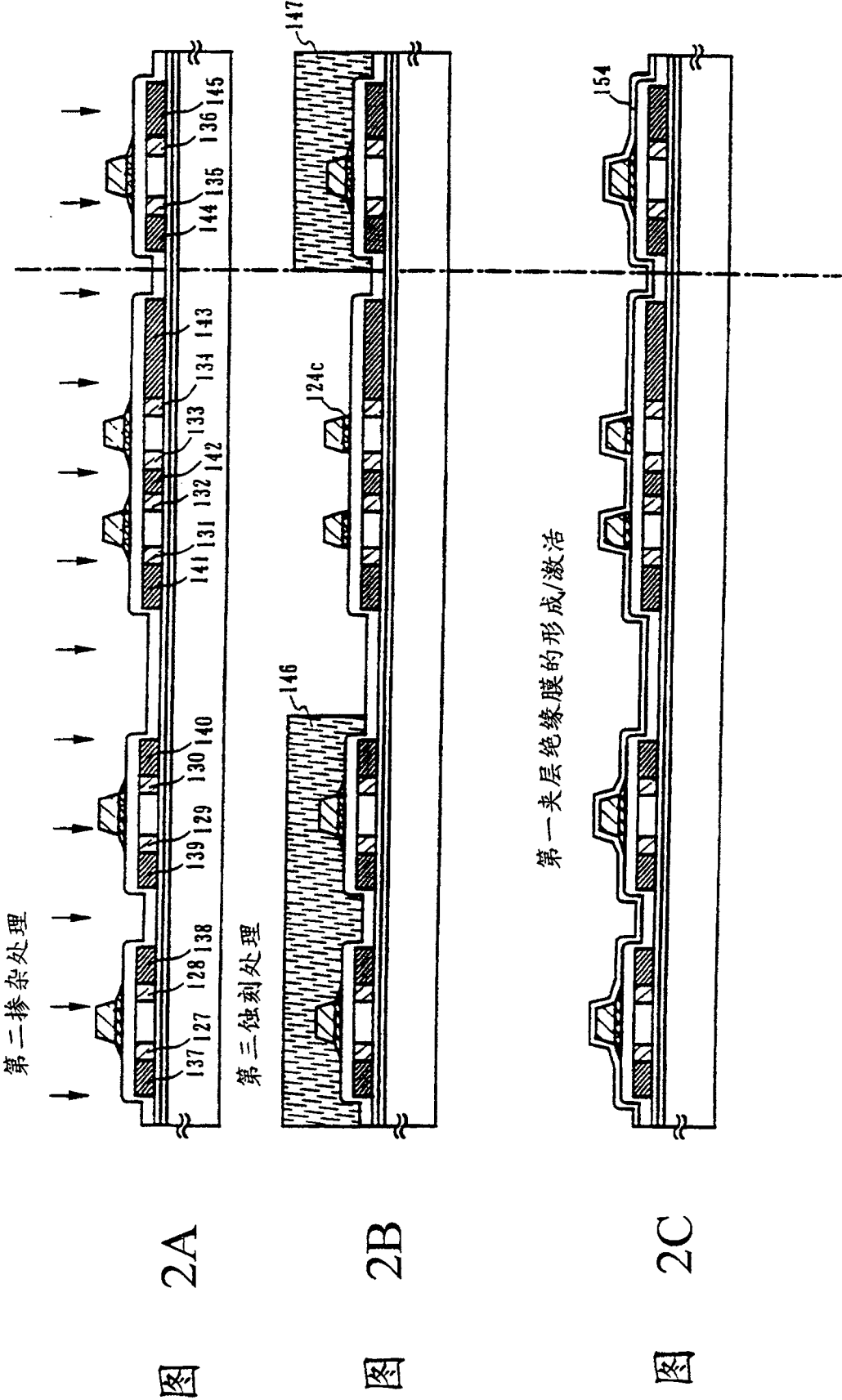
3103。本发明适用于显示部 3103。

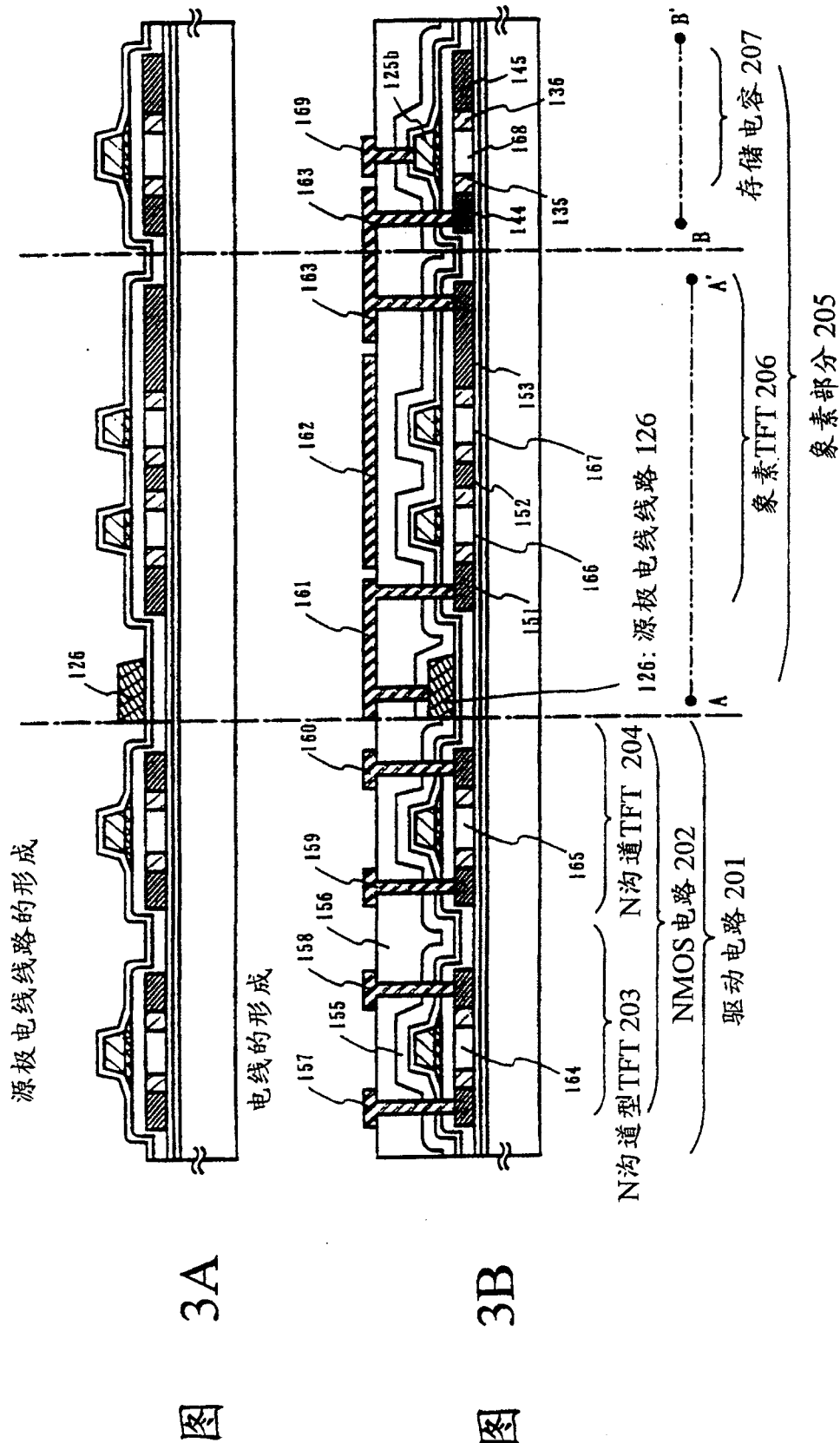
因此，本发明的应用范围非常广，它能够适用于所有领域中的电子设备。而且，实施例 7 的电子设备能够使用一种实施例 1 至 6 任意组合的结构而实现。

如上所述，根据本发明，即使显示部分的面积增加时，由有源矩阵型液晶显示设备表示的半导体设备也能够实现功耗的降低，因此该半导体设备具有大屏幕的显示器。

半导体层的形成/绝缘膜的形成/第一导电膜和第二导电膜的形成







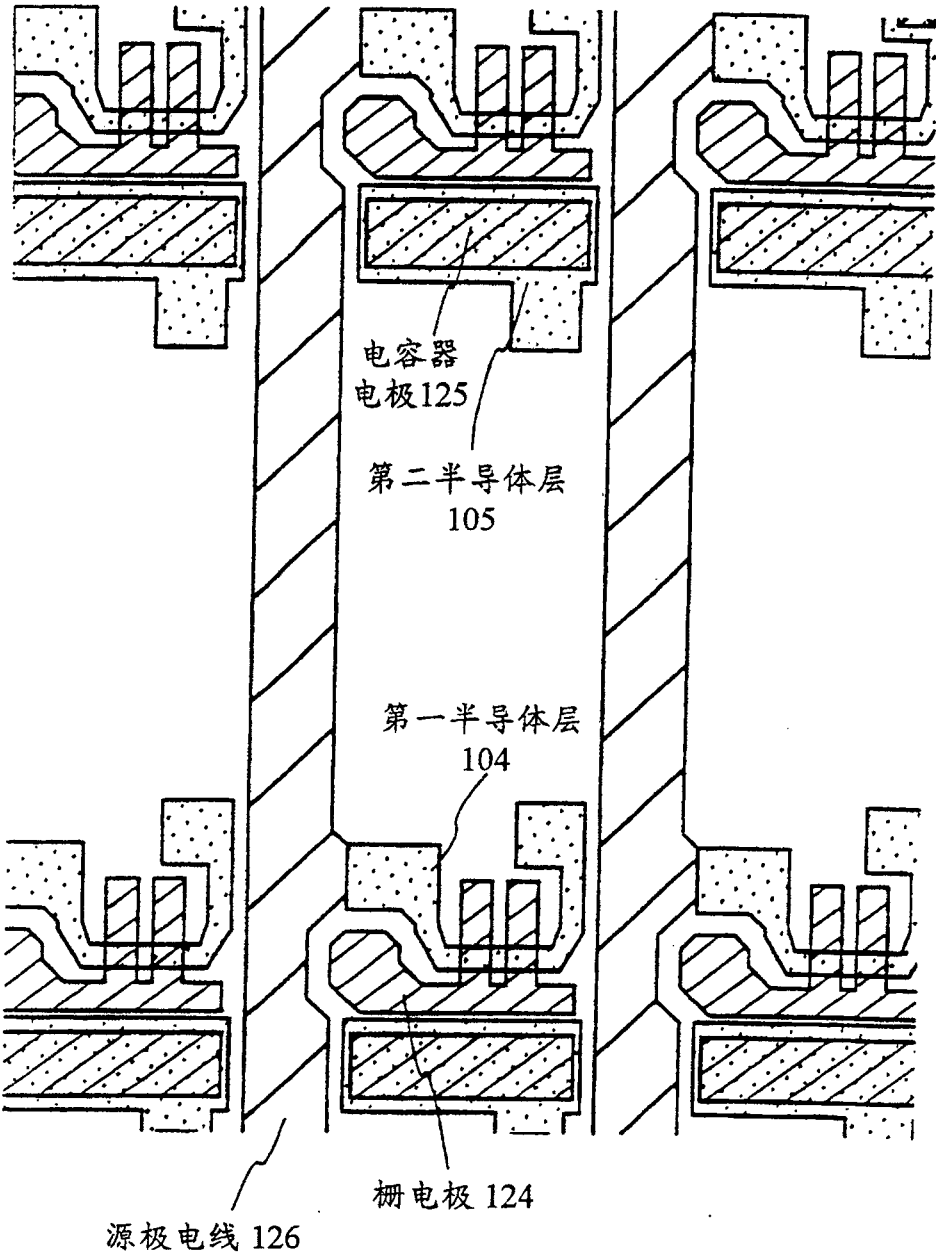


图 4

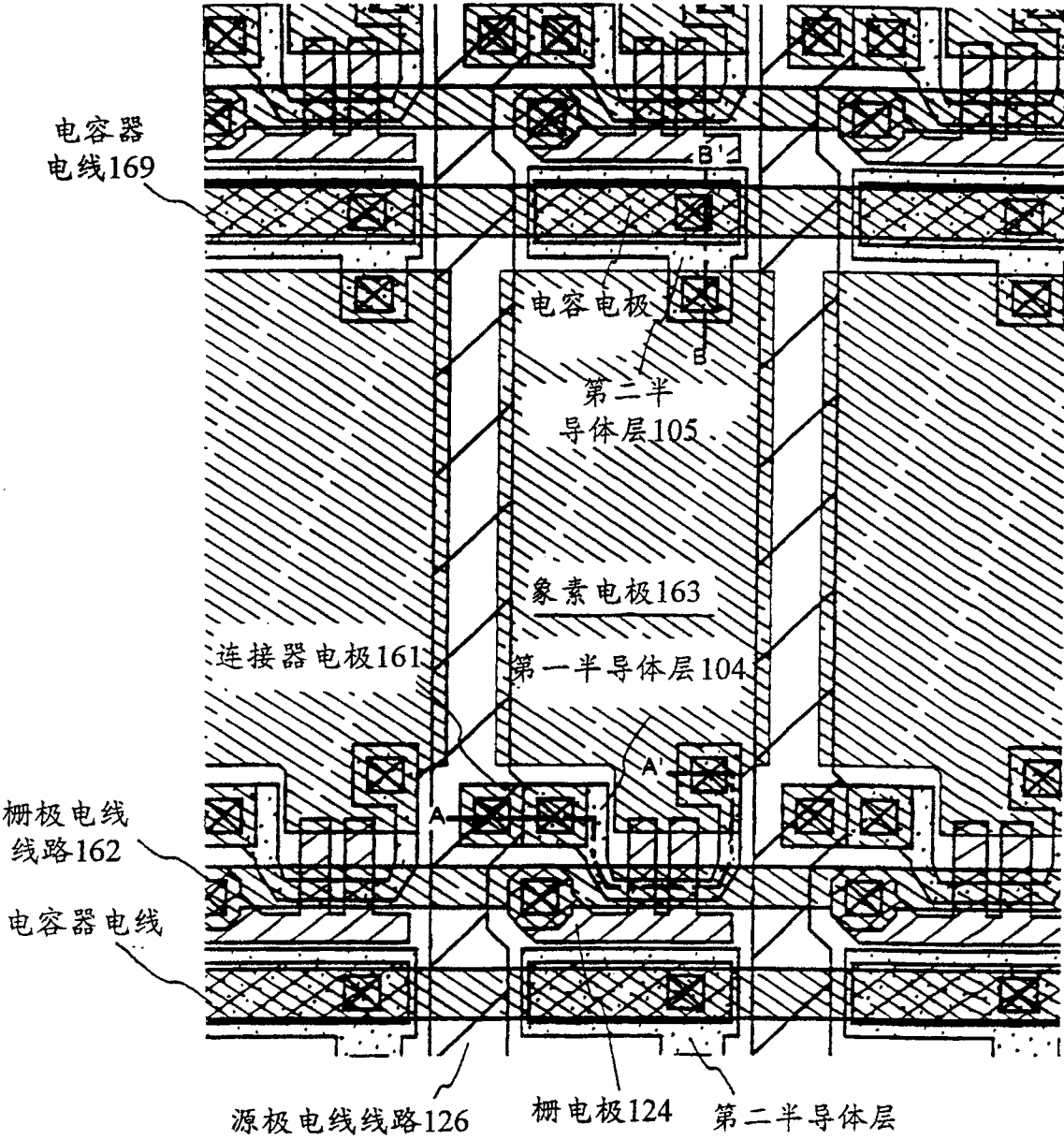


图 5

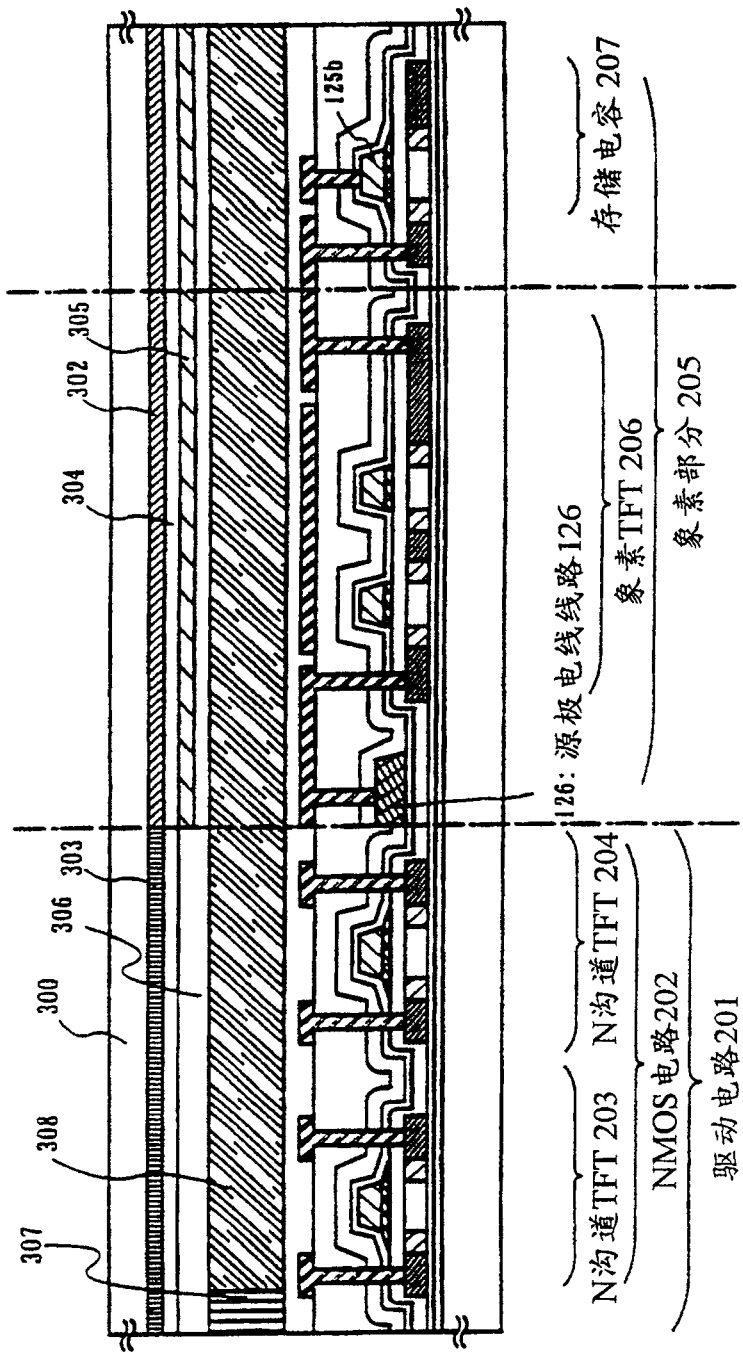


图 6

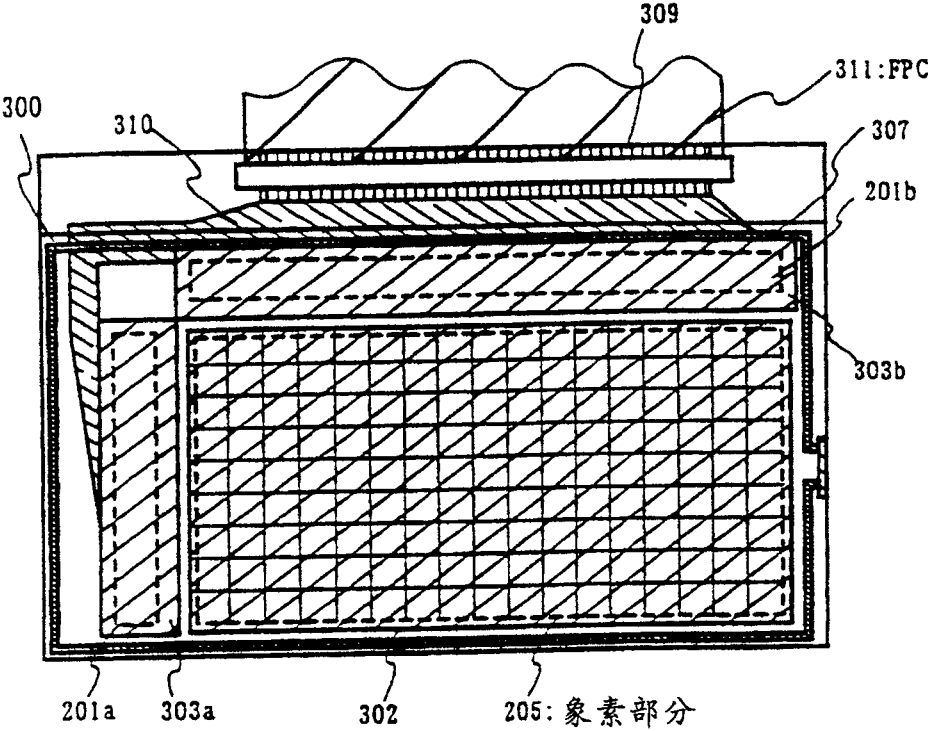
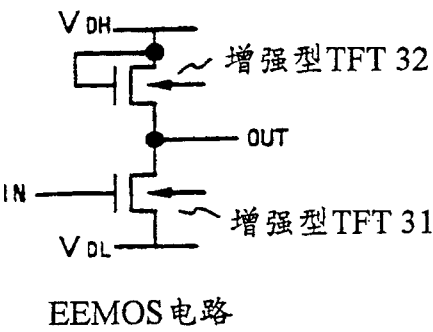
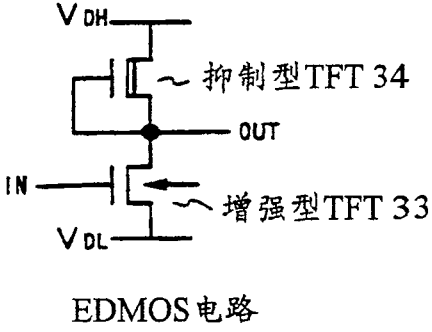


图 7



EEMOS 电路

图 8A



EDMOS 电路

图 8B

图 9A

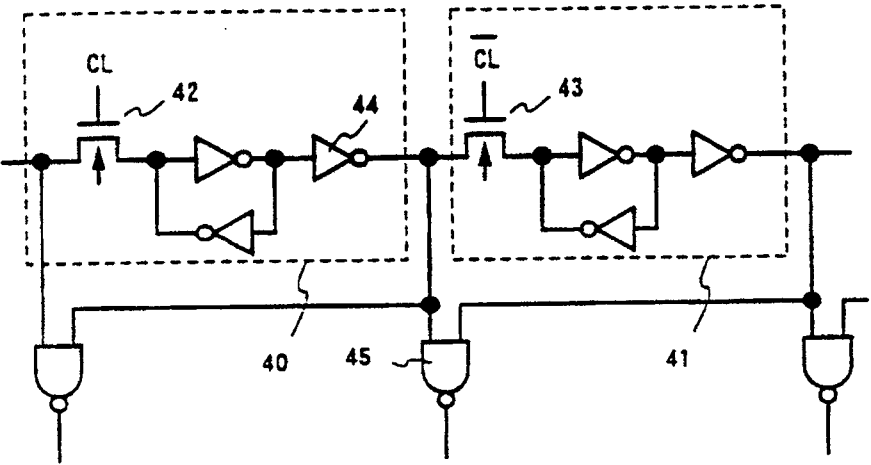


图 9B

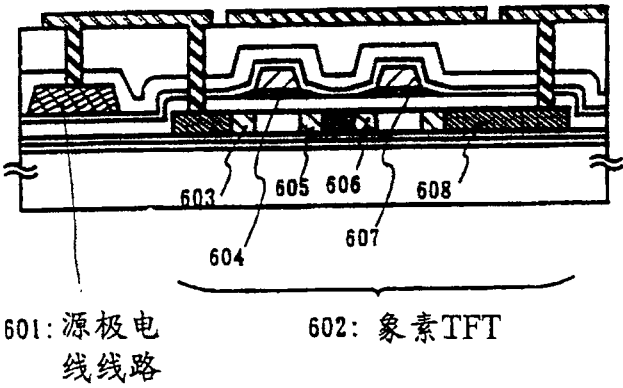
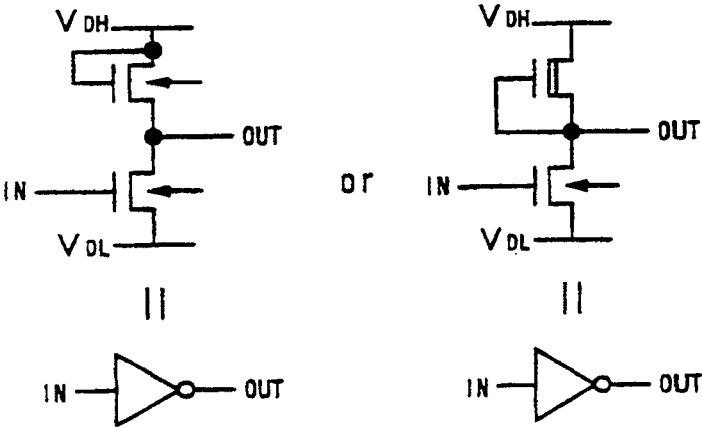


图 10

图 11A

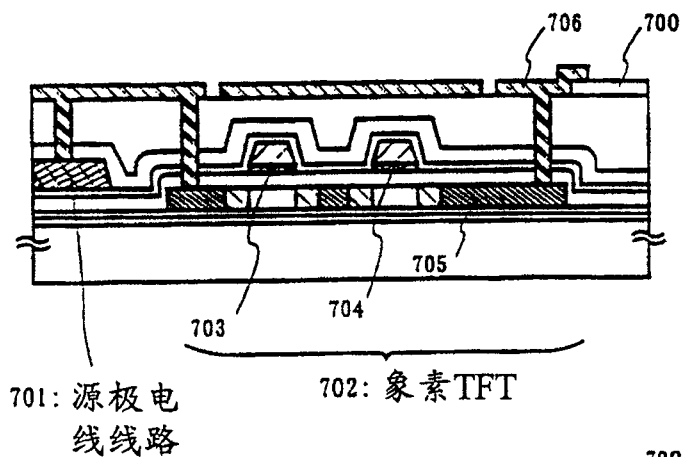
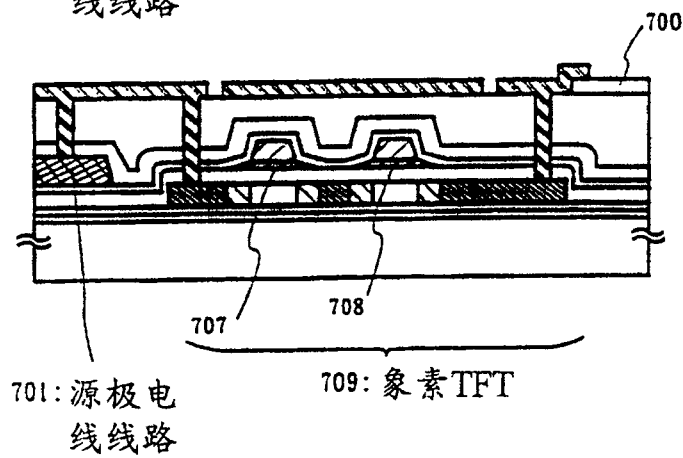


图 11B



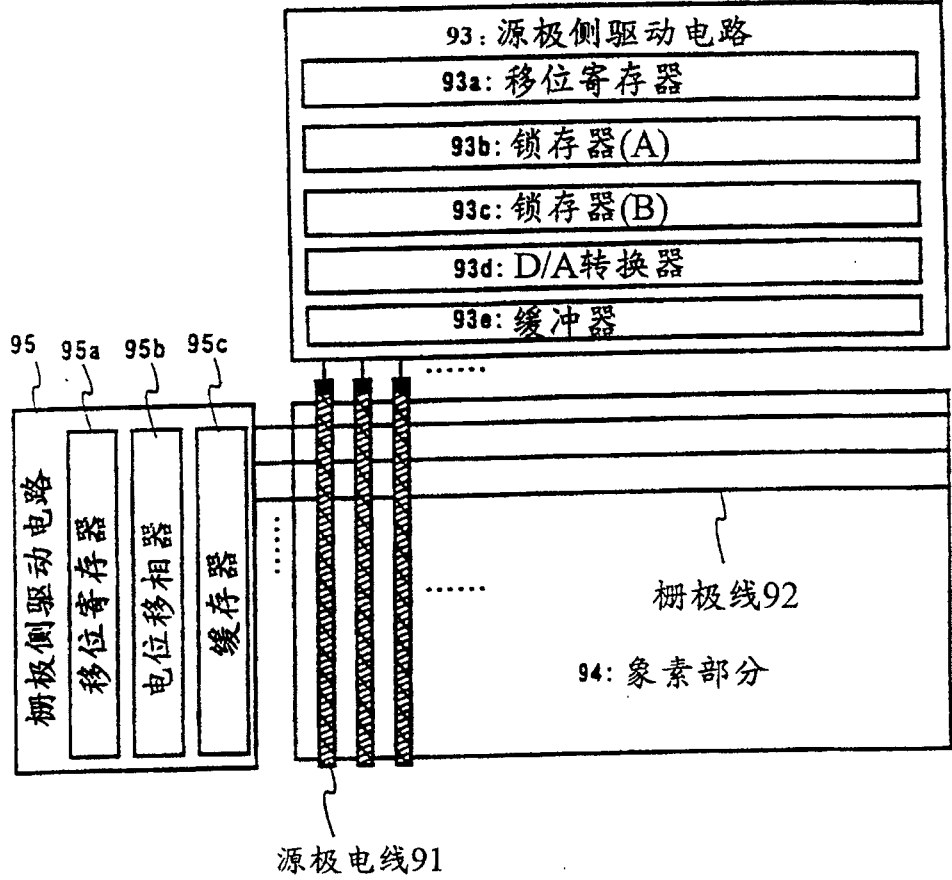


图 12

图 13A

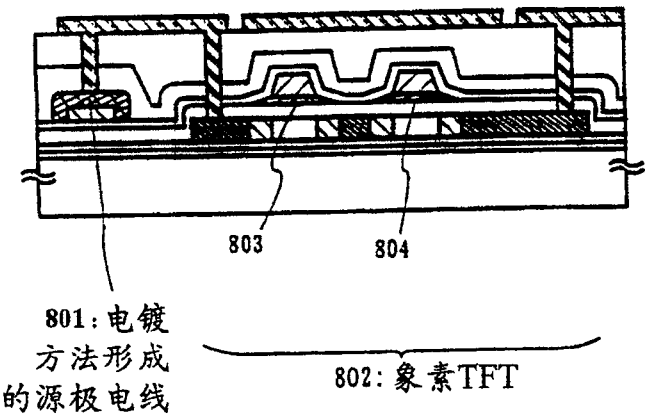


图 13B

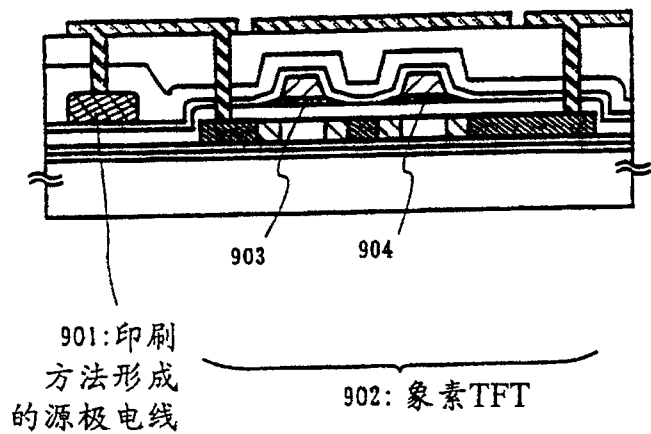
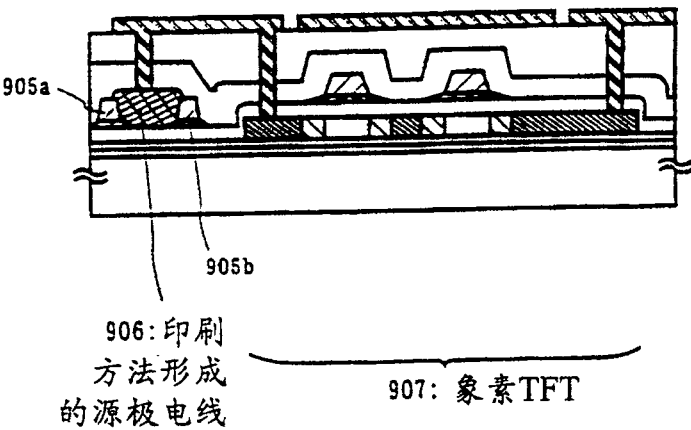


图 13C



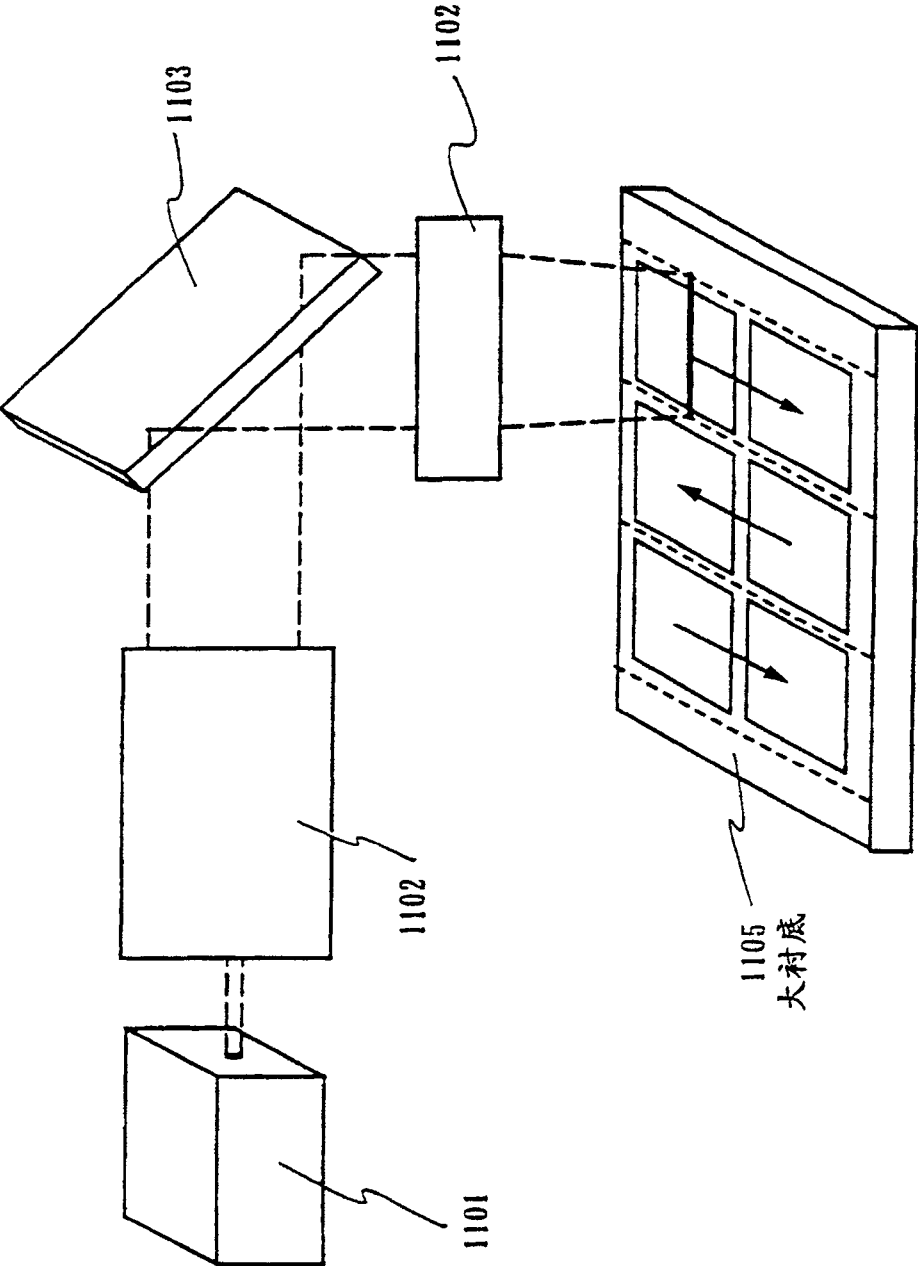


图 14

图 15A

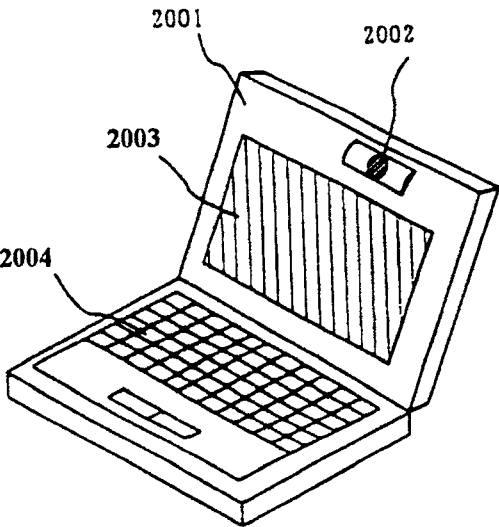


图 15B

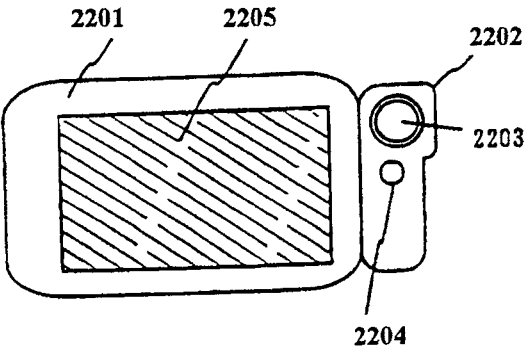


图 15C

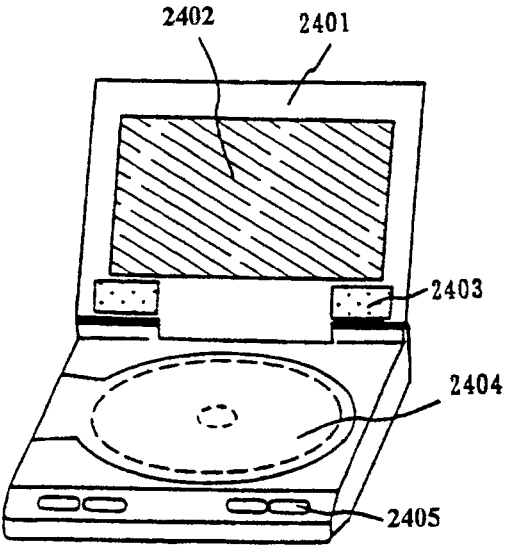


图 16A

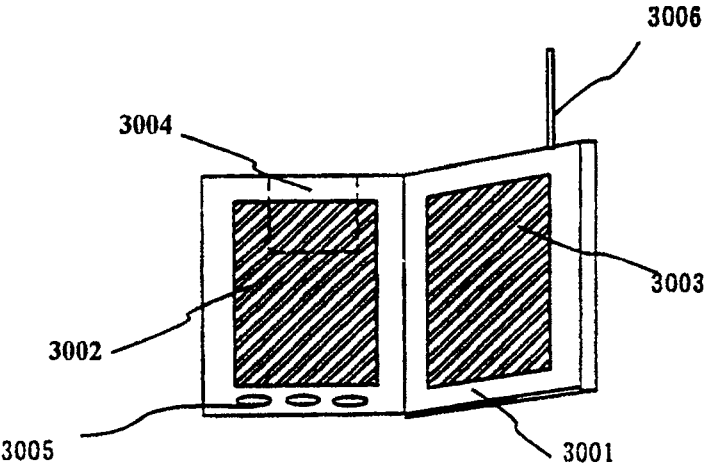


图 16B

