

WO 2006/028055 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

lines (P1,G1); voltage variation determining parts (19,20) that determine, based on output voltages (Vdp,Vdg) of the voltage detecting parts (17,18), whether any voltage variation has occurred on the power supply lines (P1,G1) due to occurrence of an offset in the output signal (Sout); and a control signal generating part (21) that generates a control signal (CNT) for causing the DC-DC converter (COV) to stop the switching when the voltage variation determining parts (19,20) determine the occurrence of a voltage variation.

(57) 要約: 本発明は、電源電圧の安定化と電力消費の低減化を行うD級増幅器を提供することを目的とする。直流電圧源MEから供給される直流電圧を所定の基準電圧Vrefに応じた出力電圧にて平滑化することにより、所定電圧の電源電圧(+Vs), (-Vs)を生成するDC-DCコンバータCOVと、DC-DCコンバータCOVに接続された電源ラインP1, G1を通じて供給される電圧を、矩形波状の変調信号に基づいてスイッチ動作をすることにより出力信号Soutを生成する電界効果トランジスタQ1, Q2とを備えるD級増幅器10において、電源ラインP1, G1に生じる電圧を検出する電圧検出部17, 18と、出力信号Soutにオフセットが生じたことにより電源ライン17, 18に電圧変動が生じたか否かを、電圧検出部17, 18の出力電圧Vdp, Vdgに基づいて判断する電圧変動判断部19, 20と、電圧変動判断部19, 20が電圧変動の生じたことを判断すると、DC-DCコンバータCOVにスイッチングを停止させる制御信号CNTを生成する制御信号生成部21とを具備して構成する。

明 細 書

D級増幅器

技術分野

- [0001] 本発明は、例えばパルス密度変調(PDM)やパルス幅変調(PWM)等された矩形波状の信号を増幅するD級増幅器に関する。

背景技術

- [0002] 近年、デジタル信号処理を行うオーディオシステム等にあつては、パルス密度変調やパルス幅変調等によって変調された矩形波状のオーディオ信号(いわゆる1ビットストリーム形式のオーディオ信号)をD級増幅器で増幅し、ローパスフィルタを介して直接スピーカに供給等する構成とすることにより、システム構成の簡素化、小型化、高効率化等が図られている。
- [0003] 図1(a)は、こうしたデジタルオーディオシステムに適用された従来の一般的なD級増幅器の構成を表したブロック図である。
- [0004] 同図において、このD級増幅器AMPは、電源回路1から出力されるプラス電源電圧(+V_s)とマイナス電源電圧(-V_s)との2電源電圧、すなわちグランド電位を基準にしてプラス電圧とマイナス電圧の絶対値が同じである2電源電圧(+V_s), (-V_s)の下で動作する信号入力回路2と変調回路3と駆動回路4及び電界効果トランジスタQ1, Q2、ローパスフィルタとしてのコイルL及びコンデンサC0を有して構成されている。
- [0005] 電源回路1は、図示しない直流電圧源から供給される直流電圧をプラス電源電圧(+V_s)とマイナス電源電圧(-V_s)に電力変換して出力するいわゆるDC-DCコンバータ(直流-直流変換器)を有して形成されており、プラス電源電圧(+V_s)の出力端子に第1, 第2のプラス電源ラインP1, P2が接続され、マイナス電源電圧(-V_s)の出力端子に第1, 第2のマイナス電源ラインG1, G2が接続されている。
- [0006] そして、第1のプラス電源ラインP1に電界効果トランジスタQ1が接続され、第1のマイナス電源ラインG1に電界効果トランジスタQ2が接続され、第2のプラス電源ラインP2と第2のマイナス電源ラインG2との間に、信号入力回路2と変調回路3及び駆動回路4が接続されている。

- [0007] 信号入力回路2は、図示していない信号源から供給される例えば音楽等のアナログ入力信号を電圧増幅して変調回路3に供給し、変調回路3は、その電圧増幅されたアナログ入力信号を1ビットストリーム形式の信号(以下「変調信号」と称する)に変調して、駆動回路4に供給している。
- [0008] 駆動回路4は、変調信号を電圧増幅すると共に、電界効果トランジスタQ1, Q2の動作バイアス点に合わせるべくレベルシフトを施して、電界効果トランジスタQ1, Q2の各ゲートに供給することにより、プッシュプル動作を行わせる。
- [0009] そして、電界効果トランジスタQ1, Q2がプッシュプル動作をすることにより、変調信号を電力増幅した出力信号Soutを発生し、更にその出力信号SoutをコイルLとコンデンサC0から成るローパスフィルタに通すことで、アナログ出力信号Sspに戻して負荷(スピーカ等)SPに供給するようになっている。
- [0010] 更に、第1のプラス電源ラインP1とグランドGNDとの間と、第1のマイナス電源ラインG1とグランドGNDとの間とに、電源リップルを抑制するためのコンデンサC1とC2が各々接続されている。
- [0011] 更に、第1のプラス電源ラインP1とグランドGNDとの間と、第1のマイナス電源ラインG1とグランドGNDとの間に、ダミー抵抗と称される抵抗R1とR2が各々接続されている。
- [0012] ここで、ダミー抵抗R1, R2は、電気特性の揃えられている電界効果トランジスタQ1, Q2が、例えば温度変動等の悪影響を受けて特性バラツキ等を生じたり、入力回路12や変調回路13の異常により、出力信号Soutとアナログ出力信号Sspにオフセットが生じる事態を招いた場合に、第1のプラス電源ラインP1又は第1のマイナス電源ラインG1に電圧変動が生じることを抑制するために設けられている。
- [0013] そして、ダミー抵抗R1, R2は、次に述べる原理に基づいて、第1のプラス電源ラインP1と、第1のマイナス電源ラインG1との電圧変動を抑制するようになっており、以下その原理を説明する。
- [0014] まず、アナログ出力信号Sspにオフセットが生じないいわゆる理想的な場合でのこのD級増幅器AMPの動作を説明し、次に、アナログ出力信号Sspにオフセットが生じることとなったときのダミー抵抗R1とR2の機能について説明することとする。

- [0015] アナログ出力信号 S_{sp} にオフセットが生じない理想的な場合を説明するために、アナログ入力信号の振幅が0ボルトのとき、すなわち実質的にアナログ入力信号が変調回路3に入力されていない無信号時の場合を述べると、無信号時では、変調回路3からデューティ比が50%となる矩形波状の変調信号が出力され、駆動回路4を介して電界効果トランジスタQ1, Q2に供給される。
- [0016] このため、図1 (b)に示すように、100%のデューティ比に相当する各周期 T_d の前半の前期間($T_d/2$)において、電界効果トランジスタQ1がオン状態 $T_{on}(Q1)$ 且つ電界効果トランジスタQ2がオフ状態 $T_{off}(Q2)$ となるのに従って、出力信号 S_{out} はプラス電源電圧(+ V_s)とほぼ等しい電圧となり、電界効果トランジスタQ1がオフ状態 $T_{off}(Q1)$ 且つ電界効果トランジスタQ2がオン状態 $T_{on}(Q2)$ となる後半の後期間($T_d/2$)では、出力信号 S_{out} はマイナス電源電圧(- V_s)とほぼ等しい電圧となる。
- [0017] すなわち、無信号時であって且つ電界効果トランジスタQ1, Q2の電気特性が揃っているときには、出力信号 S_{out} は、デューティ比が50%となる。
- [0018] 更に、無信号時であって且つ電界効果トランジスタQ1, Q2の電気特性が揃っているときには、図1 (d)に示すように、アナログ出力信号 S_{sp} にオフセット電圧が生じない。
- このことから、電界効果トランジスタQ1がオン状態 $T_{on}(Q1)$ となる前期間($T_d/2$)では、出力電流 I_1 が、次式(1)で表される電流変化率 ΔI_1 で流れることで、コイルLに流れるコイル電流 I_c は、図1 (c)に示すように、マイナス方向からプラス方向へ変化すると共に、そのコイル電流 I_c の平均電流値が0アンペアになる。
- [0019] [数1]

$$\Delta I_1 = (+V_s / L) \times T_{on}(Q1) \quad \dots (1)$$

- [0020] 更に、電界効果トランジスタQ2がオン状態 $T_{on}(Q2)$ となる後期間($T_d/2$)では、電界効果トランジスタQ2に流れる電流(以下「シンク電流」と称する) I_2 が、次式(2)で表される電流変化率 ΔI_2 で流れることで、コイルLに流れるコイル電流 I_c は、図1 (c)に示すように、プラス方向からマイナス方向へ変化すると共に、そのコイル電流 I_c の平均電流値が0になる。

[0021] [数2]

$$\Delta I_2 = (-V_s / L) \times T_{on}(Q2) \quad \dots (2)$$

[0022] このように、コイル電流 I_c の平均電流値が0アンペアであれば、出力電流 I_1 のコイル L 側へ流れ込む方向と、シンク電流 I_2 のコイル L 側から流れてくる方向とが逆方向であることから、出力電流 I_1 とシンク電流 I_2 の平均電流値も0アンペアと見なすことができ、電源回路1から電界効果トランジスタ Q_1 、 Q_2 側を見ると、消費電流は0アンペアとなる。このことから、アナログ出力信号 S_{sp} にオフセットが生じない理想的な場合では、電源リップルを抑制するためのコンデンサ C_1 、 C_2 の各々の電圧が変動しないため、抵抗 R_1 、 R_2 は、第1のプラス電源ライン P_1 と第1のマイナス電源ライン G_1 に接続されているだけの状態となる。

[0023] ところが、電気特性が揃えられている電界効果トランジスタ Q_1 、 Q_2 が、例えば温度変動等の悪影響で特性バラツキを生じることとなった場合、図1(g)に例示するように、アナログ出力信号 S_{sp} にオフセット電圧 V_{offset} が生じることとなり、第1のプラス電源ライン P_1 又は第1のマイナス電源ライン P_2 に電圧変動が生じる。

[0024] すなわち、電界効果トランジスタ Q_1 、 Q_2 に特性バラツキが生じると、図1(e)に示すように、例えば、電界効果トランジスタ Q_1 がオン状態 $T_{on}(Q_1)$ となる期間の方が、電界効果トランジスタ Q_2 がオン状態 $T_{on}(Q_2)$ となる期間よりも長くなり、出力信号 S_{out} のデューティ比が50%とはならなくなる。

[0025] そして、出力信号 S_{out} のデューティ比が50%とはならず、図1(g)に例示したように、アナログ出力信号 S_{sp} にプラスのオフセット電圧 V_{offset} が生じた場合、電界効果トランジスタ Q_1 がオン状態 $T_{on}(Q_1)$ となる期間での出力電流 I_1 は、次式(3)で表される電流変化率 ΔI_1 で流れ、コイル電流 I_c は、図1(f)に示すように、マイナス方向とプラス方向との対称性を有さない電流となる。このことから、出力電流 I_1 の平均電流値は0にはならず、プラスのオフセット電流が生じることとなる。

[0026] [数3]

$$\Delta I_1 = (+V_s - V_{offset}) / L \times T_{on}(Q1) \quad \dots (3)$$

[0027] 更に、電界効果トランジスタQ2がオン状態Ton(Q2)となる期間でのシンク電流I2は、次式(4)で表される電流変化率 $\Delta I2$ で流れ、コイル電流Icは、図1(f)に示すように、プラス方向とマイナス方向との対称性を有さない電流となる。このことから、シンク電流I2の平均電流値は0にはならず、プラスのオフセット電流が生じることとなる。つまり、図1(a)中のI2とは逆方向の電流が流れることになる。

[0028] [数4]

$$\Delta I2 = (V_{\text{offset}} - (-V_s)) / L \times T_{\text{on}}(Q2) \quad \cdots (4)$$

[0029] このように、電界効果トランジスタQ1、Q2に特性バラツキが生じた場合、電界効果トランジスタQ1がオン状態Ton(Q1)又は電界効果トランジスタQ2がオン状態Ton(Q2)になって、常にコイルLを介して負荷SPに電流を流していることになる。

[0030] そして、プラスのオフセット電圧により常に負荷SPに電流が流れると、オフセット電圧Voffsetが無いとき(0ボルトのとき)よりも、出力電流I1が増加する一方で、シンク電流I2も逆方向で増加することとなり、更に、出力電流I1の増加に従って電源回路1から流出するプラス電源電流+Isが増加し、シンク電流I2が逆方向電圧になることによって電源回路1に流入するマイナス電源電流-Isが減少することとなる。

[0031] そして、電源回路1にとってプラス電源電流+Isが増加することは、電源能力を十分に有していることから問題とならないが、マイナス電源電流-Isが減少し、 $-I2 > I4$ になると信号入力回路2等が接続されている第2のマイナス電源ラインG2を通じて流れてくる電流I4と逆シンク電流-I2との差分電流($-I2 - I4$)がコンデンサC2に充電され、仮にダミー抵抗R2が設けられていない場合には、その充電電圧は、オフセット電圧Voffsetが無いときのマイナス電源電圧(-Vs)よりも、更に低いマイナス電圧となる。

[0032] このように、仮にダミー抵抗R2が設けられていない場合には、コンデンサC2の充電電圧が、オフセット電圧Voffsetが無いときのマイナス電源電圧(-Vs)よりも、更に低いマイナス電圧となることで、第1のマイナス電源ラインG1に電圧変動が生じることとなる。

[0033] そこで、従来のD級増幅器AMPでは、差分電流($-I2 - I4$)がコンデンサC2に充電されないように、ダミー抵抗R2が設けられており、第1のマイナス電源ラインG1をマ

イナス電源電圧 ($-V_s$) に保つようにしている。

- [0034] なお、以上の説明では、図1 (e) ~ (g) を参照して、アナログ出力信号 S_{sp} にプラスのオフセット電圧 V_{ofset} が生じた場合でのダミー抵抗 R_2 の機能について述べたが、アナログ出力信号 S_{sp} にマイナスのオフセット電圧 V_{ofset} が生じた場合には、ダミー抵抗 R_1 が同様の機能を発揮する。
- [0035] つまり、マイナス電圧のオフセット電圧 V_{ofset} が生じた場合には、各周期 (T_d) において、電界効果トランジスタ Q_1 がオン状態 $T_{on}(Q_1)$ となる期間が短く、電界効果トランジスタ Q_2 がオン状態 $T_{on}(Q_2)$ となる期間が長くなり、出力電流 I_2 が増加し、 I_1 が図1 (a) 中の I_1 とは、逆方向の電流となる。
- [0036] このため、信号入力回路2等が接続されている第2のプラス電源ライン P_2 に流れる電流 I_3 と逆出力電流 $-I_1$ との差分電流 ($-I_1 - I_3$) がコンデンサ C_1 に充電され、仮にダミー抵抗 R_1 が設けられていない場合には、その充電電圧は、オフセット電圧 V_{ofset} が無いときのプラス電源電圧 ($+V_s$) よりも、更に高いプラス電圧となる。
- [0037] そこで、差分電流 ($-I_1 - I_3$) がコンデンサ C_1 に充電されないように、ダミー抵抗 R_1 が設けられており、そのダミー抵抗 R_1 が第1のプラス電源ライン P_1 をプラス電源電圧 ($+V_s$) に保つようにしている。

発明の開示

発明が解決しようとする課題

- [0038] ところで、上記従来のD級増幅器AMPでは、ダミー抵抗 R_1 , R_2 を設けることで、電界効果トランジスタ Q_1 , Q_2 に掛かるプラスとマイナスの電源電圧 ($+V_s$), ($-V_s$) の安定化が図られているが、これらダミー抵抗 R_1 , R_2 は、第1のプラス電源ライン P_1 とグラウンド GND 、及び第1のマイナス電源ライン G_1 とグラウンド GND との間に常時接続されているため、電源電圧が変動した場合だけでなく、常に電流が流れることとなる。
- [0039] このため、ダミー抵抗 R_1 , R_2 において常に電流が消費され、電力を無駄に消費するという問題があった。
- [0040] また、D級増幅器は理論上、電力消費の低減化、高効率化を図ることが可能な増幅器であるが、ダミー抵抗 R_1 , R_2 において常に電流が消費されることで、D級増幅器AMPの全体の効率化が図られていないという課題があった。

[0041] 本発明は、こうした従来の問題点に鑑みて成されたものであり、電源電圧の安定化と電力消費の低減化を図ることが可能なD級増幅器を提供することを目的とする。

課題を解決するための手段

[0042] 請求項1に記載の発明は、直流電圧源から供給される直流電圧を所定の基準電圧に応じた周波数でスイッチングして平滑化することにより所定電圧の電源電圧を生成する直流-直流変換器に接続された電源ラインを通じて供給される電圧を、矩形波状の変調信号に基づいてスイッチ動作をすることにより出力信号を生成するスイッチ素子を備えたD級増幅器であって、前記電源ラインに生じる電圧を検出する電圧検出手段と、前記出力信号にオフセットが生じたことにより前記電源ラインに電圧変動が生じたか否かを、前記電圧検出手段の出力に基づいて判断する電圧変動判断手段と、前記電圧変動判断手段が前記電圧変動の生じたことを判断すると、前記直流-直流変換器の前記スイッチングを停止させる制御信号を生成する制御信号生成手段と、を具備することを特徴とする。

図面の簡単な説明

[0043] [図1]従来のD級増幅器の構成及びその問題点を説明するための図である。
[図2]本発明の実施形態に係るD級増幅器の構成を表したブロック図である。
[図3]本発明の実施例に係るD級増幅器の構成を表した回路図である。
[図4]本発明の他の実施例に係るD級増幅器の構成を表した回路図である。

発明を実施するための最良の形態

[0044] 発明を実施するための最良の形態について、図2を参照して説明する。図2は、本実施形態に係るD級増幅器の構成を表したブロック図である。

[0045] 同図において、このD級増幅器10は、電源回路11から出力されるプラス電源電圧(+V_s)とマイナス電源電圧(-V_s)との2電源電圧の下で動作する信号入力回路12と変調回路13と駆動回路14及びスイッチ手段としての電界効果トランジスタQ1、Q2と、ローパスフィルタ15を有して構成されている。

[0046] 電源回路11は、直流電圧源MEに接続されたDC-DCコンバータ(直流-直流変換器)COVと、直流電圧源MEの出力電圧から直流の基準電圧V_{ref}を発生する基準電圧生成部16とを有して形成されている。

- [0047] DC-DCコンバータCOVは、直流電圧源MEから供給される直流電圧を、基準電圧Vrefの値に比例した出力電圧になるようにスイッチングして平滑化することにより、基準電圧Vrefに比例したプラス電源電圧(+Vs)とマイナス電源電圧(-Vs)を出力する。更に、DC-DCコンバータCOVは、基準電圧Vrefの値に比例した出力電圧になるようにスイッチングしている際に、後述の制御信号CNTが供給されると、その制御信号CNTが供給されている間だけスイッチングを停止する。
- [0048] DC-DCコンバータCOVのプラス電源電圧(+Vs)の出力端子には、第1, 第2のプラス電源ラインP1, P2が接続され、マイナス電源電圧(-Vs)の出力端子には、第1, 第2のマイナス電源ラインG1, G2が接続されている。そして、第1のプラス電源ラインP1に電界効果トランジスタQ1が接続され、第1のマイナス電源ラインG1に電界効果トランジスタQ2が接続され、第2のプラス電源ラインP2と第2のマイナス電源ラインG2との間に、信号入力回路2と変調回路3及び駆動回路4が接続されている。
- [0049] 電界効果トランジスタQ1, Q2は、電気特性の揃ったものが用いられており、後述の出力信号Soutとアナログ出力信号Sspにオフセット電圧が生じないときには、第1のプラス電源ラインP1を通じて電界効果トランジスタQ1に流れる出力電流I1と第2のプラス電源ラインP2に流れる電流I3との合計電流(プラス電源電流)+Isの絶対値と、電界効果トランジスタQ2側から第1のマイナス電源ラインG1に流れるシンク電流I2と第2のマイナス電源ラインG2に流れる電流I4との合計電流(マイナス電源電流)-Isの絶対値とが等しくなる。
- [0050] 信号入力回路2は、図示していない信号源から供給されるアナログ入力信号を電圧増幅して変調回路3に供給し、変調回路3は、その電圧増幅されたアナログ入力信号をPDM変調やPWM変調により、1ビットストリーム形式の変調信号に変調して駆動回路4に供給する。
- [0051] また、変調回路3は、アナログ入力信号の振幅が0ボルトのときには、デューティ比が50%となる変調信号を出力し、アナログ入力信号の振幅が0ボルトからプラス電圧側又はマイナス電圧側へ変化するのに応じて、デューティ比が50%から変化する変調信号を出力する。
- [0052] 駆動回路4は、変調信号を電圧増幅すると共に、電界効果トランジスタQ1, Q2の動

作バイアス点に合わせるようにレベルシフトを施して、電界効果トランジスタQ1, Q2の各ゲートに供給することにより、スイッチング動作(プッシュプル動作)を行わせる。

[0053] そして、電界効果トランジスタQ1, Q2が、プッシュプル動作をすることにより、変調信号を電力増幅した出力信号Soutを発生し、更にその出力信号Soutをローパスフィルタ15に通すことで、アナログ出力信号Sspに戻して負荷(スピーカ等)SPに供給するようになっている。

[0054] 更に、第1のプラス電源ラインP1とグラウンドGNDとの間と、第1のマイナス電源ラインG1とグラウンドGNDとの間とに、電源リップルを抑制するためのコンデンサC1とC2が各々接続されている。

[0055] 更に、第1のプラス電源ラインP1とグラウンドGND間に、第1の電圧検出部17が設けられ、プラス電源電圧(+Vs)よりも低い基準直流電圧(+Vcc)と第1のマイナス電源ラインG1間に、第2の電圧検出部18が接続されている。そして、第1の電圧検出部17は、第1のプラス電源ラインP1に生じる電圧を所定の分圧比で分圧することによって、第1の分圧電圧Vdpを発生して第1の電圧変動判断部19へ供給する。第2の電圧検出部18は、直流電圧(+Vcc)と第1のマイナス電源ラインG1間の電圧を所定の分圧比で分圧することによって、第2の分圧電圧Vdgを発生して第2の電圧変動判断部20へ供給する。

[0056] 第1の電圧変動判断部19は、第1の分圧電圧Vdpと基準電圧Vrefとを逐一比較し、第1の分圧電圧Vdpの方が高電圧となったことを検出すると、第1のプラス電源ラインP1の電圧がプラス電源電圧(+Vs)よりも高い電圧に変動したことを示す検出信号Sdpを出力する。

[0057] 第2の電圧変動判断部20は、第2の分圧電圧Vdgと基準電圧Vrefとを逐一比較し、第2の分圧電圧Vdgの方が低電圧となったことを検出すると、第1のマイナス電源ラインG1の電圧がマイナス電源電圧(-Vs)よりも低い電圧に変動したことを示す検出信号Sdgを出力する。

[0058] 制御信号生成部21は、検出信号Sdp, Sdgを合成することにより、第1のプラス電源ラインP1の電圧がプラス電源電圧(+Vs)よりも高い電圧に変動したこと、又は第1のマイナス電源ラインG1の電圧がマイナス電源電圧(-Vs)よりも低い電圧に変動したこ

とを示す制御信号CNTを生成してDC-DCコンバータCOVに供給する。そして、DC-DCコンバータCOVは、制御信号CNTが供給されると、その制御信号CNTが供給されている間だけスイッチング動作を停止するようになっている。

[0059] 次に、かかる構成を有するD級増幅器10の動作について説明する。

[0060] 変調回路13から出力される変調信号が駆動回路14を介して電界効果トランジスタQ1、Q2に供給されると、電界効果トランジスタQ1、Q2は、変調信号に応じてスイッチング動作(プッシュプル動作)をすることによって、変調信号に対応した出力信号Soutを生成し、ローパスフィルタ15を通じて負荷SPに供給する。

[0061] ここで、電界効果トランジスタQ1、Q2が、設計の際に決められた電気特性のまま揃っている場合には、出力信号Soutとローパス15から出力されるアナログ出力信号Sspにはオフセット電圧が生じない。このため、電界効果トランジスタQ1がオン状態となるときに流れる出力電流I1にはオフセット電流が発生せず、更に、電界効果トランジスタQ2がオン状態となるときに流れるシンク電流I2にもオフセット電流が生じない。

[0062] このように、出力電流I1とシンク電流I2にオフセット電流が生じないときには、電源回路11から電界効果トランジスタQ1、Q2側を見ると、消費電流は0アンペアとみなされる。このことから、第1のプラス電源ラインP1の電圧はプラス電源電圧(+Vs)に維持され、第1のマイナス電源ラインG1の電圧はマイナス電源電圧(-Vs)に維持される。

[0063] そして、第1の電圧検出部17からは、プラス電源電圧(+Vs)を分圧した第1の分圧電圧Vpdが出力され、第1の電圧変動判断部19が、このときの第1の分圧電圧Vpdと基準電圧Vrefとを比較することにより、第1のプラス電源ラインP1に電圧変動が生じていないことを示す検出信号Sdpを出力する。

[0064] また、第2の電圧検出部18からは、直流電圧(+Vcc)とマイナス電源電圧(-Vs)間の電圧を分圧した第2の分圧電圧Vpgが出力され、第2の電圧変動判断部20が、このときの第2の分圧電圧Vpgと基準電圧Vrefとを比較することにより、第1のマイナス電源ラインG1に電圧変動が生じていないことを示す検出信号Sdgを出力する。

[0065] そして、制御信号生成部21が、検出信号Sdp、Sdgを合成することにより、第1のプラス電源ラインP1と第1のマイナス電源ラインG1に電圧変動が生じていないことを示す制御信号CNTを生成し、DC-DCコンバータCOVへ供給する。

- [0066] したがって、出力信号Soutとアナログ出力信号Sspにオフセット電圧が生じないときには、DC-DCコンバータCOVでは、制御信号CNTにしたがってスイッチング動作を停止させることはなく、直流電圧源MEから供給される直流電圧を、基準電圧Vrefの値に比例した周波数でスイッチングして平滑化する処理を継続する。このため、第1のプラス電源ラインP1はプラス電源電圧(+Vs)に保持され、更に、第1のマイナス電源ラインG1もマイナス電源電圧(-Vs)に保持される。
- [0067] 次に、例えば温度変動等の何らかの悪影響を受けて、電界効果トランジスタQ1, Q2の電気特性が変化した場合の動作について説明する。
- [0068] 電界効果トランジスタQ1, Q2の電気特性が変化した場合、出力信号Soutとアナログ出力信号Sspにオフセット電圧が生じることとなり、電界効果トランジスタQ1の出力電流I1又は電界効果トランジスタQ2のシンク電流I2にオフセット電流が生じることとなる。
- [0069] ここで、アナログ出力信号Sspにプラスのオフセット電圧が生じた場合には、出力電流I1のオフセット電流が増加するのに伴って、電源回路11から出力されるプラス電源電流+Isが増加するが、電圧能力が十分なため問題はない。
- [0070] しかし、シンク電流I2には、逆方向の電流が流れるため、 $-I2 > I4$ の場合、信号入力回路12等から流れてくる電流I4と逆方向電流との差分電流($-I2 - I4$)がコンデンサC2に充電されて、第1のマイナス電源ラインG1の電圧がマイナス電源電圧(-Vs)よりも低電圧へと変動しようとする。
- [0071] このように、第1のマイナス電源ラインG1の電圧がマイナス電源電圧(-Vs)より低電圧へと変動しようとする、第2の電圧検出部18から出力される分圧電圧Vdgは低い電圧へと変化する。このため、第2の電圧変動判断部20から、第1のマイナス電源ラインG1に電圧変動が生じたことを示す検出信号Sdgが出力される。
- [0072] そして、制御信号生成部21が、検出信号Sdp, Sdgを合成することにより、第1のプラス電源ラインP1又は第1のマイナス電源ラインG1に電圧変動が生じていることを示す制御信号CNTを生成し、DC-DCコンバータCOVへ供給する。
- [0073] したがって、出力信号Soutとアナログ出力信号Sspにオフセット電圧が生じているときには、DC-DCコンバータCOVでは、制御信号CNTにしたがってスイッチングを停

止させ、直流電圧源MEから供給される直流電圧を、基準電圧Vrefの値に比例した出力電圧になるようにスイッチングして平滑化する処理を停止する。このため、第1のプラス電源ラインP1の電圧変動は抑制されることとなる。

[0074] 次に、出力信号Soutとアナログ出力信号Sspにマイナスのオフセット電圧が生じた場合について述べると、マイナスのオフセット電圧が生じた場合にも、第1のプラス電源ラインP1の電圧が変動しようとする。

[0075] そして、第1のプラス電源ラインP1の電圧が変動しようすると、第1の電圧検出部17から出力される分圧電圧Vdpも変動し、その分圧電圧Vdpが基準電圧Vrefより高い電圧となると、第1の電圧変動判断部19から、第1のプラス電源ラインP1に電圧変動が生じたことを示す検出信号Sdpが出力される。

[0076] 更に、制御信号生成部21が、検出信号Sdp, Sdgを合成することにより、第1のプラス電源ラインP1又は第1のマイナス電源ラインG1に電圧変動が生じていることを示す制御信号CNTを生成し、DC-DCコンバータCOVへ供給する。

[0077] したがって、出力信号Soutとアナログ出力信号Sspにオフセット電圧が生じているときには、DC-DCコンバータCOVでは、制御信号CNTにしたがってスイッチングを停止させ、直流電圧源MEから供給される直流電圧を、基準電圧Vrefの値に比例した出力電圧になるようにスイッチングして平滑化する処理を停止する。このため、第1のプラス電源ラインP1の電圧変動は抑制されることとなる。

[0078] 以上説明したように、本実施形態のD級増幅器10によれば、出力信号Soutにオフセットが生じることに起因して電源ラインP1, G1の電圧が電源電圧(+Vs), (-Vs)から変動すると、電圧検出部17, 18と電圧変動判断部19, 18及び制御信号生成部21がそれらの電圧変動を検出して、DC-DCコンバータCOVのスイッチング動作を停止させるようにしたので、電界効果トランジスタQ1, Q2に特性バラツキなどが生じて、出力信号Soutにオフセットが生じた場合でも、電源ラインP1, G1の電圧変動を防止して、電源電圧(+Vs), (-Vs)に保持することができる。

[0079] 更に、図1(a)に示した従来技術のように、ダミー抵抗R1, R2によって電源ラインP1, G1の電圧変動を常時抑制するのではないため、電力消費の低減化を図ることができる。

[0080] また、電源ラインP1、G1の電圧変動を防止することができるため、電界効果トランジスタQ1、Q2に耐電圧以上の電圧が掛かることを防止することができ、電界効果トランジスタQ1、Q2が破損等することを防止することができる。

実施例 1

[0081] 次に、図2に示した実施形態のより具体的な実施例について、図3を参照して説明する。なお、図3は、本実施例のD級増幅器10の構成を表した回路図であり、図2と同一又は相当する部分を同一符号で示している。

[0082] 図3において、このD級増幅器10の特徴を述べると、図2に示した第1の電圧検出部17が、第1のプラス電源ラインP1とグランドGND間に直列接続された分圧抵抗R1p、R2pによって形成され、第2の電圧検出部18が、直流電圧(+Vcc)と第1のマイナス電源ラインG1とグランドGND間に直列接続された分圧抵抗R1g、R2gによって形成されている。

[0083] 更に、図2に示した第1の電圧変動判断部19は、第1の分圧電圧Vdpと基準電圧Vrefとを比較する比較回路CMpで形成され、第1の分圧電圧Vdpの方が基準電圧Vrefより高電圧となると、第1のプラス電源ラインP1にプラス電源電圧(+Vs)より高電圧となる電圧変動が生じたことを示す検出信号Sdpを発生する。

[0084] 第2の電圧変動判断部20は、第2の分圧電圧Vdgと基準電圧Vrefとを比較する比較回路CMgで形成され、第2の分圧電圧Vdgの方が基準電圧Vrefより低電圧となると、第1のマイナス電源ラインG1にマイナス電源電圧(-Vs)より低電圧となる電圧変動が生じたことを示す検出信号Sdgを発生する。

[0085] 制御信号生成部21は、比較回路CMp、CMgの出力端に各々のアノードが接続されたダイオードDp、Dgで形成されると共に、各々のカソードが共通接続されることで形成されており、その共通に接続された接続点ORがDC-DCコンバータCOVに接続されている。すなわち、ダイオードDp、Dgのカソードが共通接続されているため、ダイオードDpを通過する検出信号SdpとダイオードDgを通過する検出信号Sdgとの合成信号に相当する制御信号CNTが接続点ORに発生するようになっている。

[0086] 次に、かかる構成を有する本実施例のD級増幅器10を説明する。

[0087] 電界効果トランジスタQ1、Q2の出力信号Soutとローパス15から出力されるアナロ

グ出力信号 S_{sp} にオフセット電圧が生じない場合には、第1のプラス電源ラインP1の電圧はプラス電源電圧(+ V_s)に維持され、第1のマイナス電源ラインG1の電圧はマイナス電源電圧(- V_s)に維持される。

[0088] そして、分圧抵抗 R_{1p} , R_{2p} がプラス電源電圧(+ V_s)を分圧し、第1の分圧電圧 V_{pd} を比較器 CM_p に供給する。また、分圧抵抗 R_{1g} , R_{2g} が直流電圧(+ V_{cc})とマイナス電源電圧(- V_s)間の電圧分圧し、第2の分圧電圧 V_{pg} を比較器 CM_g に供給する。そして、第1のプラス電源ラインP1と第1のマイナス電源ラインG1に電圧変動が生じていないときには、第1の分圧電圧 V_{pd} は基準電圧 V_{ref} より低電圧となり、第2の分圧電圧 V_{pg} は基準電圧 V_{ref} より高電圧となるため、比較回路 CM_p , CM_g からは、電圧変動が生じていないことを示す検出信号 S_{pd} , S_{pg} が出力され、更にダイオード D_p , D_g の接続点ORにも、電圧変動が生じていないことを示す制御信号CNTが発生する。

[0089] このため、出力信号 S_{out} とアナログ出力信号 S_{sp} にオフセット電圧が生じないときには、DC-DCコンバータCOVでは、制御信号CNTにしたがってスイッチング動作を停止させることはなく、直流電圧源MEから供給される直流電圧を、基準電圧 V_{ref} の値に比例した周波数でスイッチングして平滑化する処理を継続する。このため、第1のプラス電源ラインP1はプラス電源電圧(+ V_s)に保持され、更に、第1のマイナス電源ラインG1もマイナス電源電圧(- V_s)に保持される。

[0090] 次に、例えば温度変動等の何らかの悪影響を受けて、電界効果トランジスタ Q_1 , Q_2 の電気特性が変化し、出力信号 S_{out} とアナログ出力信号 S_{sp} にオフセット電圧が生じた場合には、電界効果トランジスタ Q_1 の出力電流 I_1 又は電界効果トランジスタ Q_2 のシンク電流 I_2 にオフセット電流が生じることとなり、第1のプラス電源ラインP1の電圧がプラス電源電圧(+ V_s)から変動、又は第1のマイナス電源ラインG1の電圧がマイナス電源電圧(- V_s)から変動することとなる。

[0091] こうして、第1のプラス電源ラインP1の電圧又は第1のマイナス電源ラインG1の電圧に電圧変動が生じると、比較回路 CM_p には基準電圧 V_{ref} よりも高電圧となる第1の分圧電圧 V_{dp} 、又は比較回路 CM_g には基準電圧 V_{ref} よりも低電圧となる第2の分圧電圧 V_{dg} が供給される。このため、比較回路 CM_p , CM_g からは、第1のプラス電源ラインP1に電圧変動が生じたことを示す検出信号 S_{pd} 又は第1のマイナス電源ラインG

1に電圧変動が生じたことを示す検出信号Spgが出力され、更にダイオードDp, Dgの接続点ORにも、電圧変動が生じたことを示す制御信号CNTが発生する。

[0092] したがって、出力信号Soutとアナログ出力信号Sspにオフセット電圧が生じたときには、DC-DCコンバータCOVでは、制御信号CNTにしたがってスイッチング動作を停止させ、直流電圧源MEから供給される直流電圧を、基準電圧Vrefの値に比例した出力電圧になるようにスイッチングして平滑化する処理を停止する。このため、第1のプラス電源ラインP1の電圧変動は抑制されることとなる。

[0093] 以上説明した本実施例のD級増幅器10によれば、出力信号Soutにオフセットが生じることに起因して電源ラインP1, G1の電圧が電源電圧(+Vs), (-Vs)から変動すると、DC-DCコンバータCOVのスイッチング動作を停止させるようにしたので、電界効果トランジスタQ1, Q2に特性バラツキなどが生じて、出力信号Soutにオフセットが生じた場合でも、電源ラインP1, G1の電圧変動を防止して、電源電圧(+Vs), (-Vs)に保持することができる。

[0094] 更に、図1(a)に示した従来技術のように、ダミー抵抗R1, R2によって電源ラインP1, G1の電圧変動を抑制するのではないため、電力消費の低減化を図ることができる。

[0095] また、電源ラインP1, G1の電圧変動を防止することができるため、電界効果トランジスタQ1, Q2に耐電圧以上の電圧が掛かることを防止することができ、電界効果トランジスタQ1, Q2が破損等することを防止することができる。

[0096] 更に、出力信号Soutのオフセット電圧に起因して電源ラインP1, G1に電圧変動が生じたか否かを検出するために、比較回路CMp, CMgにおいて、DC-DCコンバータCOVが電源電圧(+Vs), (-Vs)を生成する際に基準としている基準電圧Vrefと、第1, 第2の分圧電圧Vdp, Vdgとを比較するようになっている。

[0097] このように、基準電圧Vrefを利用して(共用して)電源ラインP1, G1に電圧変動が生じたか否かの検出をすると、DC-DCコンバータCOVが電源電圧(+Vs), (-Vs)を生成するための基準と、比較回路CMp, CMgが電圧変動の有無を検出するための基準とを同じにすることができ、電圧変動の発生の有無を検出するための検出精度を向上させることができるという優れた効果を発揮する。

実施例 2

- [0098] 次に、図2に示した実施形態のより具体的な他の実施例について、図4を参照して説明する。なお、図4は、本実施例のD級増幅器10の構成を表した回路図であり、図2、図3と同一又は相当する部分を同一符号で示している。
- [0099] 図4において、図3に示した実施例との相違点を説明すると、本実施例のD級増幅器10では、第1の電圧検出部17を構成している分圧抵抗 $R1p$ 、 $R2p$ に、更に分圧抵抗 Rfp を直列接続して第1のプラス電源ライン $P1$ に接続し、第2の電圧検出部18を構成している分圧抵抗 $R1g$ 、 $R2g$ に、更に分圧抵抗 Rfg を直列接続して第1のマイナス電源ライン $G1$ に接続した回路構成を有しており、分圧抵抗 $R1p$ と Rfp との接続点に生じる電圧 Vfp と、分圧抵抗 $R2g$ と Rfg との接続点に生じる電圧 Vfg とが、DC-DCコンバータCOVに供給されている。
- [0100] 電圧 Vfp 、 Vfg が供給されるDC-DCコンバータCOVでは、電圧 Vfp と所定の第1の閾値とを逐一比較し、基準電圧 $Vref$ に基づいて設定する出力電圧値を、電圧 Vfp と第1の閾値との差分に応じて微調整することにより、一定のプラス電源電圧($+Vs$)を発生するように動作すると共に、電圧 Vfg と所定の第2の閾値とを逐一比較し、基準電圧 $Vref$ に基づいて設定する出力電圧値を、電圧 Vfg と第2の閾値との差分に応じて微調整することにより、一定のマイナス電源電圧($-Vs$)を発生するように動作する。
- [0101] かかる構成を有する本実施例のD級増幅器10によれば、電界効果トランジスタ $Q1$ 、 $Q2$ が例えば温度変動等の悪影響を受けて特性バラツキを生じることとなった結果、出力信号 $Sout$ にオフセット電圧が発生し、第1のプラス電源ライン $P1$ の電圧がプラス電源電圧($+Vs$)から変動、又は第1のマイナス電源ライン $G1$ の電圧がマイナス電源電圧($-Vs$)から変動すると、分圧抵抗 Rfp 、 $R1p$ 、 $R2p$ に生じる電圧 Vfp 、 Vdp が変動、又は分圧抵抗 Rfg 、 $R1g$ 、 $R2g$ に生じる電圧 Vfg 、 Vdg が変動することとなる。
- [0102] そして、電圧 Vfp 、 Vdp が変動すると、比較回路 CMp からは、電圧変動が生じたことを示す検出信号 Sdp が出力されると共に、制御信号 CNT も電圧変動が生じたことを示す信号となり、DC-DCコンバータCOVでは、電圧 Vfp に従って出力電圧を微調整する他、制御信号 CNT に従ってスイッチング動作を停止する処理を行う。このため、第1のプラス電源ライン $P1$ の電圧をプラス電源電圧($+Vs$)に保持することが可能と

なっている。

- [0103] また、電圧 V_{fg} 、 V_{dg} が変動すると、比較回路 CM_g からは、電圧変動が生じたことを示す検出信号 S_{dg} が出力されると共に、制御信号 CNT も電圧変動が生じたことを示す信号となり、DC-DCコンバータ COV では、電圧 V_{fg} に従って出力電圧を微調整する他、制御信号 CNT に従ってスイッチング動作を停止する処理を行う。このため、第1のマイナス電源ライン $G1$ の電圧をマイナス電源電圧($-V_s$)に保持することが可能となっている。
- [0104] このように、本実施例のD級増幅器10は、出力信号 S_{out} にオフセットが生じることに起因して電源ライン $P1$ 、 $G1$ の電圧が電源電圧($+V_s$)、($-V_s$)から変動すると、DC-DCコンバータ COV の出力電圧を微調整する他、スイッチング動作を停止させるようにしたので、電界効果トランジスタ $Q1$ 、 $Q2$ に特性バラツキなどが生じて、出力信号 S_{out} にオフセットが生じた場合でも、電源ライン $P1$ 、 $G1$ の電圧変動を防止して、電源電圧($+V_s$)、($-V_s$)に保持することができる。
- [0105] 更に、図1(a)に示した従来技術のように、ダミー抵抗 $R1$ 、 $R2$ によって電源ライン $P1$ 、 $G1$ の電圧変動を抑制するのではないため、電力消費の低減化を図ることができる。
- [0106] また、電源ライン $P1$ 、 $G1$ の電圧変動を防止することができるため、電界効果トランジスタ $Q1$ 、 $Q2$ に耐電圧以上の電圧が掛かることを防止することができ、その結果、電界効果トランジスタ $Q1$ 、 $Q2$ の破損等を防止することができる。
- [0107] 更に、出力信号 S_{out} のオフセット電圧に起因して電源ライン $P1$ 、 $G1$ に電圧変動が生じたか否かを検出するために、比較回路 CM_p 、 CM_g が、基準電圧 V_{ref} と第1、第2の分圧電圧 V_{dp} 、 V_{dg} とを比較するようになっている。
- [0108] このため、DC-DCコンバータ COV が電源電圧($+V_s$)、($-V_s$)を生成するための基準と、比較回路 CM_p 、 CM_g が電圧変動の有無を検出するための基準とを同じにすることができ、電圧変動の発生の有無を検出するための検出精度を向上させることができる。
- [0109] 更に又、本実施例のD級増幅器10では、第1のプラス電源ライン $P1$ とグランド GND との間に直列接続させた分圧抵抗 R_{fp} 、 R_{lp} 、 R_{lg} によって、DC-DCコンバータ CO

Vに対して出力電圧を微調整させるための電圧 V_{fp} と、電圧変動を検出するための電圧 V_{dp} とを発生させ、更に、直流電圧(+ V_{cc})と第1のマイナス電源ラインG1との間に直列接続させた分圧抵抗 R_{1g} , R_{2g} , R_{fg} によって、DC-DCコンバータCOVに対して出力電圧を微調整させるための電圧 V_{fg} と、電圧変動を検出するための電圧 V_{dg} とを発生させるようにしている。

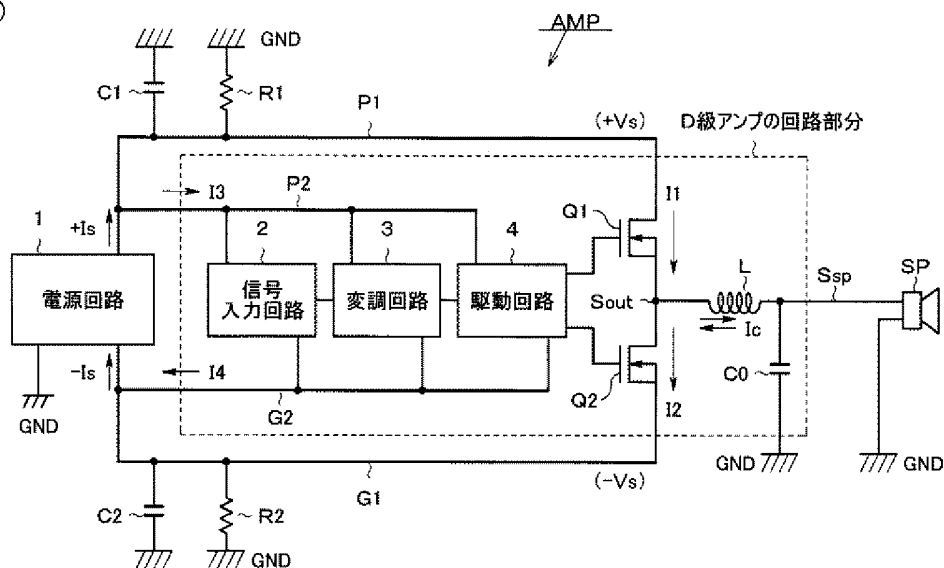
- [0110] このため、第1のプラス電源ラインP1の電圧をプラス電源電圧(+ V_s)に保持すべく出力電圧を微調整するための条件とスイッチング動作を停止するための条件とを合わせる(基準を合わせる)ことができると共に、第1のマイナス電源ラインG1の電圧をマイナス電源電圧(- V_s)に保持すべく出力電圧を微調整するための条件とスイッチング動作を停止するための条件とを合わせる(基準を合わせる)ことができる。そして、これらの条件合わせが可能となることで、より高精度で電源ラインP1, G1の電圧変動を検出して抑制することができるという優れ効果を発揮する。

請求の範囲

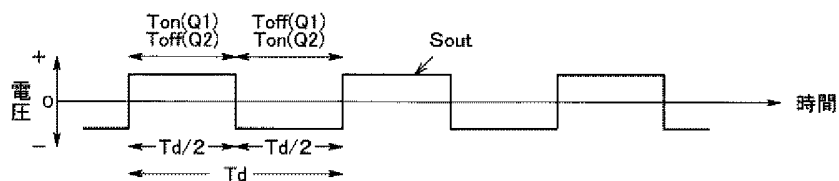
- [1] 直流電圧源から供給される直流電圧を所定の基準電圧に応じた周波数でスイッチングして平滑化することにより所定電圧の電源電圧を生成する直流-直流変換器に接続された電源ラインを通じて供給される電圧を、矩形波状の変調信号に基づいてスイッチ動作をすることにより出力信号を生成するスイッチ素子を備えたD級増幅器であって、
- 前記電源ラインに生じる電圧を検出する電圧検出手段と、
- 前記出力信号にオフセットが生じたことにより前記電源ラインに電圧変動が生じたか否かを、前記電圧検出手段の出力に基づいて判断する電圧変動判断手段と、
- 前記電圧変動判断手段が前記電圧変動の生じたことを判断すると、前記直流-直流変換器の前記スイッチングを停止させる制御信号を生成する制御信号生成手段と、
- を具備することを特徴とするD級増幅器。
- [2] 電圧検出手段は、前記電源ラインに接続されると共に、前記電源ラインに生じる電圧を分圧して検出する分圧抵抗で形成されていることを特徴とする請求項1に記載のD級増幅器。
- [3] 電圧変動判断手段は、前記基準電圧と前記電圧検出手段が検出した電圧とを比較することにより、前記電圧変動の生じたことを判断する比較回路で形成されていることを特徴とする請求項1又は2に記載のD級増幅器。
- [4] 更に、前記電圧検出手段と前記電源ライン間に、前記電圧検出手段と直列接続した抵抗を有し、該抵抗に生じる電圧に応じて、前記直流-直流変換器の前記スイッチングを微調整することを特徴とする請求項1～3の何れか1項に記載のD級増幅器。

[図1]

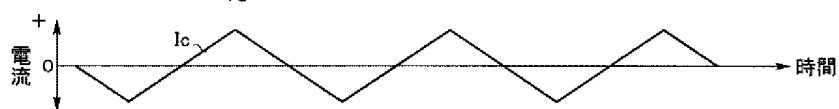
(a)



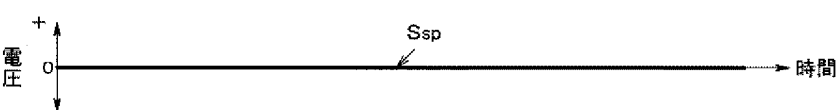
(b)

出力信号 S_{out} 

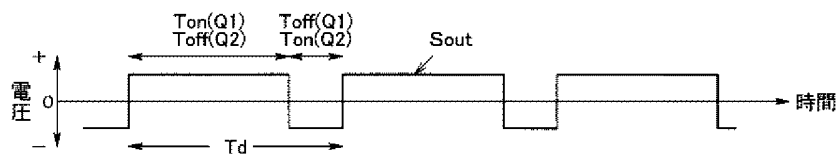
(c)

コイル電流 I_c 

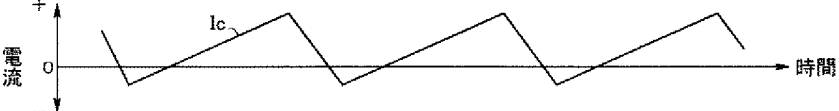
(d)

アナログ出力信号 S_{sp} 

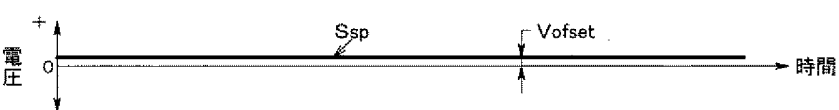
(e)

出力信号 S_{out} 

(f)

コイル電流 I_c 

(g)

アナログ出力信号 S_{sp} 

従来技術

図2

10

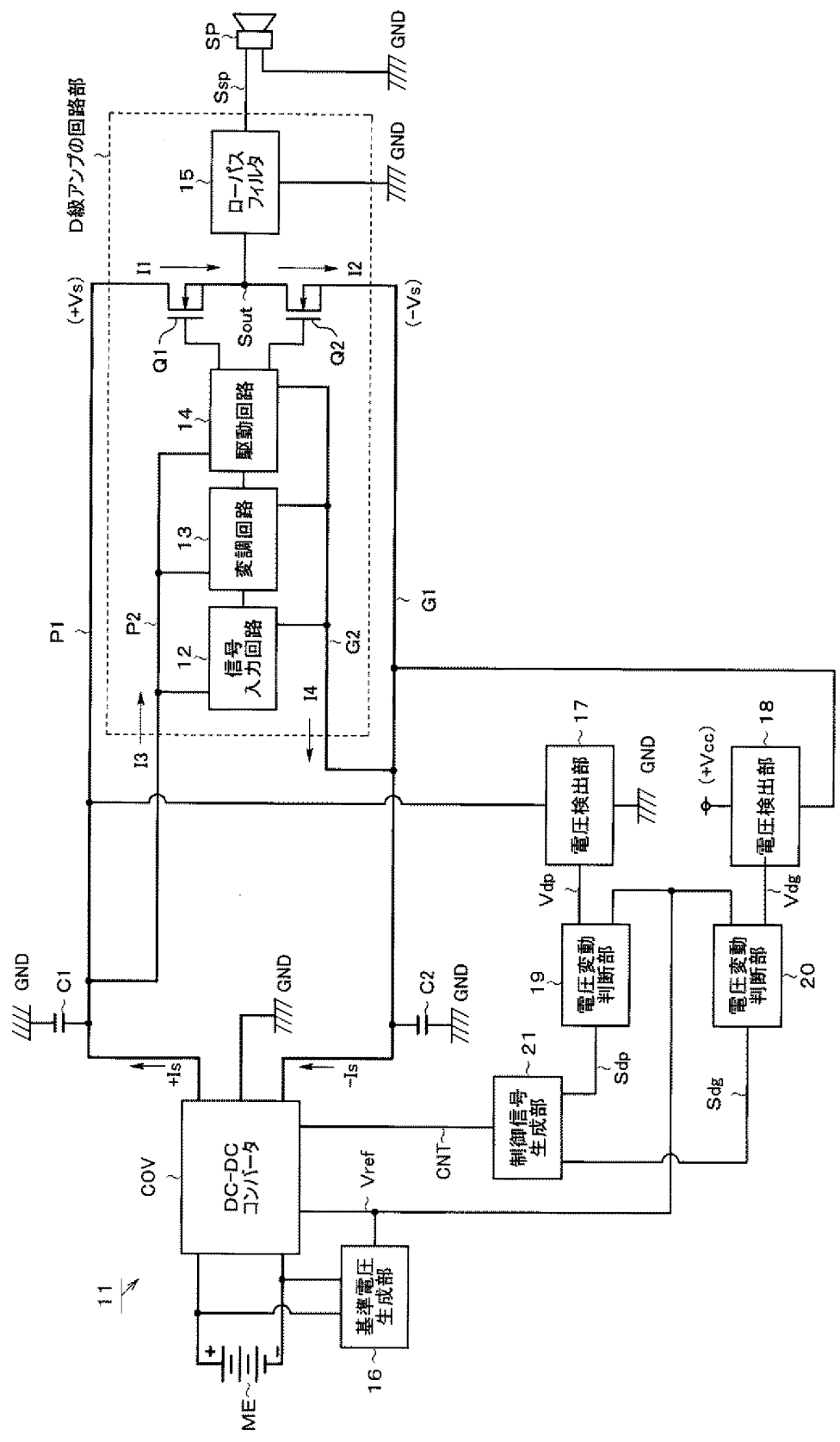


図3

10

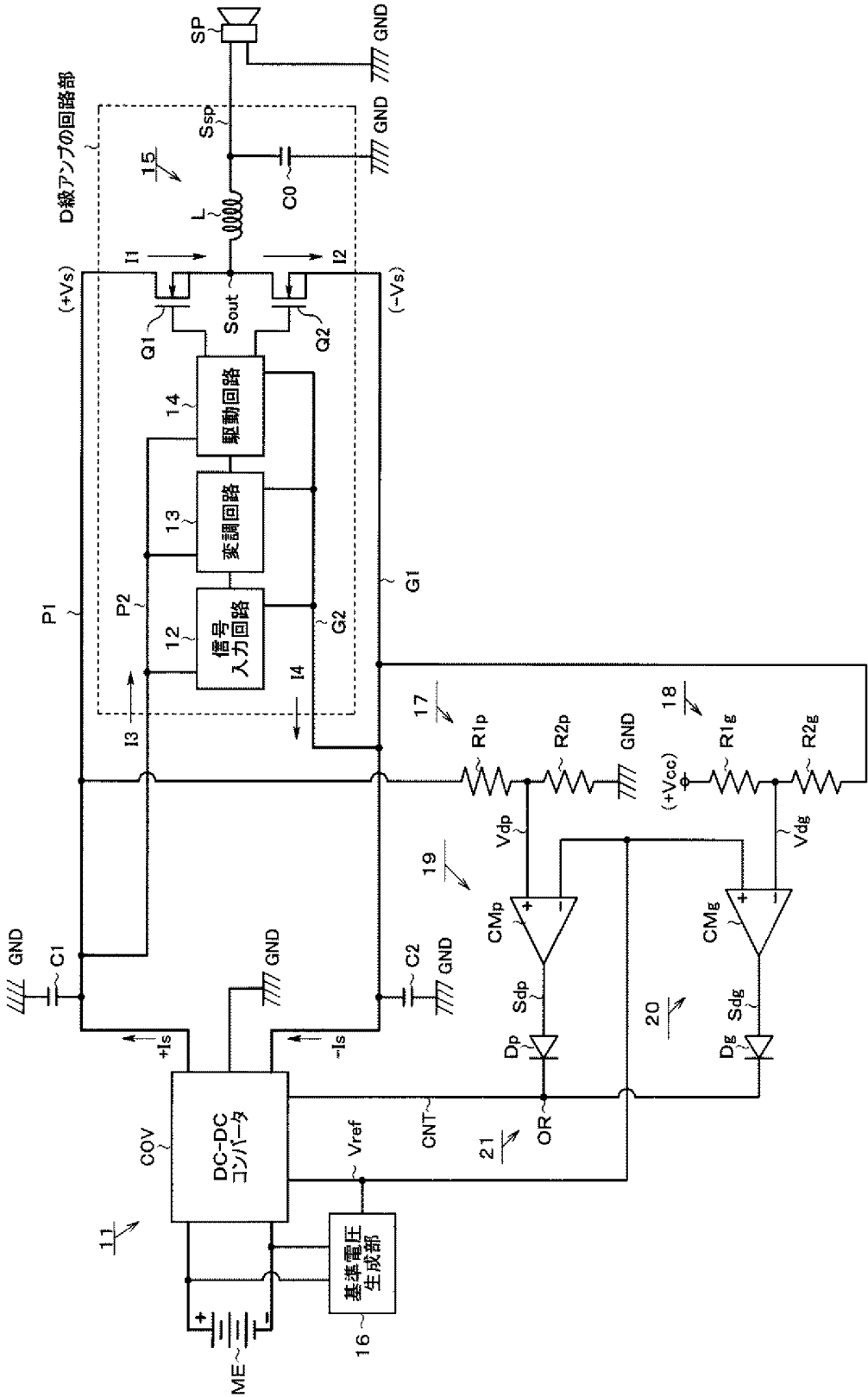
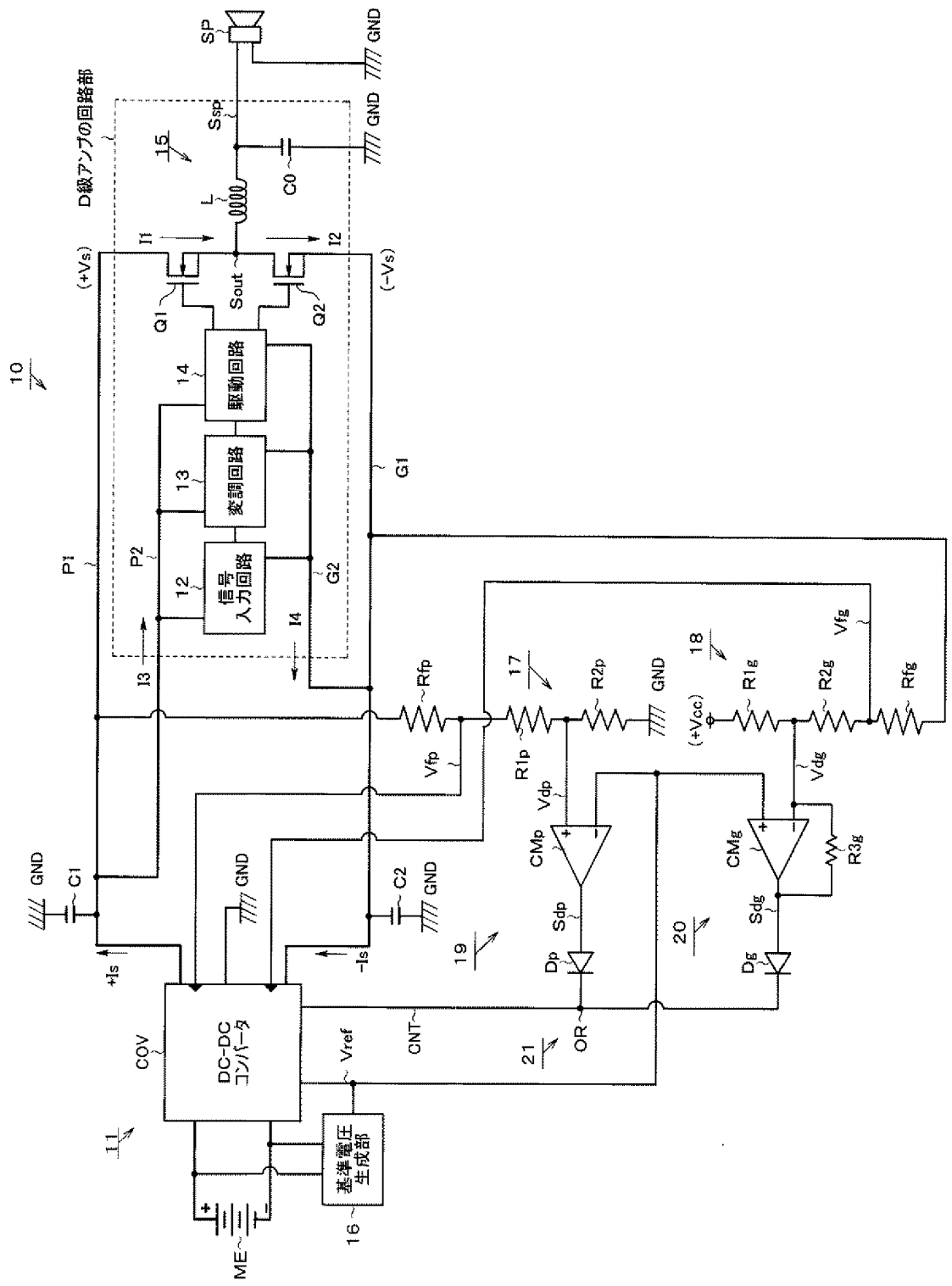


図4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016255

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/217 (2006.01), **F03F1/30** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/217 (2006.01), **F03F1/30** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Jun HONDA, "Digital Amplifier-yo Dengen Kairo no Sekkei", Transistor Gijutsu, 2003.08, Vol.40, No.8, pages 179 to 190	1-4
Y	JP 2002-223562 A (Rohm Co., Ltd.), 09 August, 2002 (09.08.02), Claim 1; page 2, Par. No. [0002] to page 6, Par. No. [0020]; Figs. 1, 2 & US 2002-0060559 A	1-4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 November, 2005 (30.11.05)Date of mailing of the international search report
13 December, 2005 (13.12.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03F3/217 (2006.01), H03F1/30 (2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03F3/217 (2006.01), H03F1/30 (2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	本田 潤, デジタル・アンプ用電源回路の設計, トランジスタ技術, 2003. 08, 第 40 巻, 第 8 号, p. 179-190	1-4	
Y	JP 2002-223562 A (ローム株式会社) 2002. 08. 09, 請求項 1、第 2 頁【0002】 —第 6 頁【0020】、図 1、図 2、& US 2002-0060559 A	1-4	
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 30. 11. 2005		国際調査報告の発送日 13. 12. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 野元 久道 電話番号 03-3581-1101 内線 3576	5W 9184