



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 699 18 785 T2 2005.08.18**

(12)

## Übersetzung der europäischen Patentschrift

(97) **EP 1 011 233 B1**

(21) Deutsches Aktenzeichen: **699 18 785.0**

(96) Europäisches Aktenzeichen: **99 307 348.5**

(96) Europäischer Anmeldetag: **16.09.1999**

(97) Erstveröffentlichung durch das EPA: **21.06.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **21.07.2004**

(47) Veröffentlichungstag im Patentblatt: **18.08.2005**

(51) Int Cl.7: **H04L 27/227**

(30) Unionspriorität:

**211550 15.12.1998 US**

(73) Patentinhaber:

**AMI Semiconductor, Inc., Pocatello, Id., US**

(74) Vertreter:

**derzeit kein Vertreter bestellt**

(84) Benannte Vertragsstaaten:

**AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,  
LI, LU, MC, NL, PT, SE**

(72) Erfinder:

**Christensen, Craig L., Pocatello, Idaho 83201, US;  
Reinhard, Kenneth L., Pocatello, Idaho 83201, US;  
Petrov, Andrei Rudolfovich, Pocatello, Idaho  
83201, US**

(54) Bezeichnung: **Trägerrückgewinnung sowie Demodulator für PSK-Signale**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Die vorliegende Erfindung betrifft allgemein eine Phasenumtastungs-Demodulatorschaltung. Insbesondere betrifft die vorliegende Erfindung eine Phasenumtastungs-Demodulatorschaltung, die digitale Techniken verwendet, um eine Phase eines modulierten Trägers einrasten zu lassen und die Daten zu dekodieren.

## HINTERGRUND DER ERFINDUNG

**[0002]** Eine Vielzahl von Modulationstechniken zum Senden von digitalen Daten auf einem modulierten Träger sind in dem Gebiet von Datenkommunikationen bekannt. Zum Beispiel wird eine derartige Modulationstechnik als Phasenumtastung (Phase Shift Keying; PSK) bezeichnet. Auf Grundlage der digitalen Daten, die gerade übertragen werden, wird die Phase des Trägers moduliert. Durch Erfassen der Phase des modulierten Trägers ist es dann möglich die digitalen Daten aus dem empfangenen Träger zurückzugewinnen.

**[0003]** Eine binäre Phasenumtastung (Binary Phase Shift Keying; BPSK) und eine quaternäre Phasenumtastung (Quaternary Phase Shift Keying; QPSK) stellen zwei sehr übliche Formen der PSK Modulation dar. Digitale Daten werden als zweiphasige oder vierphasige Phasenänderungen einer Trägerfrequenz (die nachstehend einfach als der „Träger“ bezeichnet wird) kodiert. Die Rückgewinnung der Daten erfordert ein Träger-kohärentes Signal zur Demodulation.

**[0004]** BPSK und QPSK Demodulatorschaltungen sind typischerweise mit einer signifikanten Anzahl von analogen Komponenten konstruiert worden. Zum Beispiel haben die Demodulatorschaltungen gewöhnlicherweise ein Sortiment von analogen Mischern, Summierern, Oszillatoren, Phasendetektoren und Filtern enthalten. Die Anzahl und der Typ von analogen Komponenten, die zum Konstruieren eines derartigen Modulators verwendet werden, sind kostenaufwendig gewesen und benötigten einen exzessiven Schaltungsplattenplatz. Zusätzlich sind signifikante Konstruktionsanstrengungen durchgeführt worden, um eine betriebsmäßige Kompatibilität der verschiedenen analogen Komponenten sicherzustellen. Die Existenz von digitalen BPSK und QPSK Demodulatorschaltungen ist bekannt gewesen. Jedoch sind diese Demodulatoren relativ komplex und im Betrieb intensiv gewesen.

**[0005]** Die EP 0451289A1 offenbart einen digitalen Demodulator, bei dem eine Phasendifferenz zwischen einem Referenzsignal und einer winkelmodulierten Welle auf Grundlage der Phasendifferenz erfasst wird, und die Phase des Referenzsignals, die

gesetzt werden soll, auf Grundlage der Phase und der Frequenzdifferenz gesteuert wird. In dieser Demodulatorschaltung wird eine Frequenzdrift berechnet und verwendet, um die Phase des Referenzsignals, anstelle der Frequenz des lokalen Oszillators, die gerade eingestellt wird, zu verschieben bzw. zu versetzen.

**[0006]** Die US 5614861 offenbart ein Demodulationssystem für phasenmodulierte Signale, das eine Trägerwiederherstellungs-PLL-Schaltung zum Erzeugen eines Wiederherstellungs-Referenztakts mit einer Frequenz, die N mal so groß wie die Trägerfrequenz ist, die zu einem N-phasigen phasenmodulierten Eingangssignal synchronisiert ist, und eine Takterzeugungsschaltung zum Teilen des Wiederherstellungs-Referenztakts durch  $1/N$  und zum Erzeugen von N Takten, die jeweils einen unterschiedlichen Phasenversatz um  $360^\circ/N$  aufweist, einschließt. Das System umfasst ferner einen Phasendetektor, der eine Phase des N-phasigen phasenmodulierten Signals durch Verwenden der N Takte zusammen mit dem eingegebenen N-phasigen phasenmodulierten Signal erfasst, und eine Betriebsschaltung, die eine Datenflanke des Eingangssignals und des Wiederherstellungs-Referenztakts erfasst.

**[0007]** Im Hinblick auf die voranstehend erwähnten Unzulänglichkeiten im Zusammenhang mit herkömmlichen PSK Demodulatoren, besteht ein starkes Bedürfnis in dem technischen Gebiet für einen Demodulator, der einfache digitale Techniken anstelle von kostenaufwendigeren und komplexeren analogen und digitalen Konstruktionen verwendet. Ferner besteht ein starker Bedarf für einen derartigen Demodulator, der eine einfache Konstruktion anbietet, die leicht in einer integrierten Schaltung eingebaut werden kann.

**[0008]** In Übereinstimmung mit einem Aspekt der Erfindung ist eine digitale phasenverschiebungsträgerückgewinnungs- und Demodulatorschaltung vorgesehen, umfassend:

einen Eingang zum Empfangen eines ankommenden phasenmodulierten Trägers;  
einen lokalen Oszillator zum Erzeugen einer Vielzahl von Phasen einer Referenzfrequenz als Ausgänge;  
einen Phasendetektor und eine Rückkopplungsschleife, die betriebsmäßig mit dem Eingang und dem lokalen Oszillator gekoppelt sind; und  
eine Demodulationsschaltung zum Erzeugen wenigstens eines Ausgangssignals, welches phasenmodulierte Bitdaten darstellt, auf Grundlage der Ausgänge des lokalen Oszillators und des ankommenden phasenmodulierten Trägers; dadurch gekennzeichnet, dass der Phasendetektor und die Rückkopplungsschleife betriebsmäßig mit dem Eingang und dem lokalen Oszillator in einer derartigen Weise gekoppelt sind, um eine Phase des ankommenden phasenmodulierten Trägers mit der Vielzahl von Pha-

sen der Referenzfrequenz zu vergleichen und auf Grundlage des Phasenvergleichs ein Steuersignal zu erzeugen, wobei das Steuersignal zum Einstellen der Phase und Frequenz des lokalen Oszillators dient, um den lokalen Oszillator auf den ankommenden phasenmodulierten Träger durch eine Phasenverriegelung von jeweils zwei aufeinander folgenden Phasen der Vielzahl von Phasen auf Phasenpositionen auf jeweiligen Seiten einer entsprechenden Flanke des ankommenden phasenmodulierten Trägers zu synchronisieren.

**[0009]** In Übereinstimmung mit einem anderen Aspekt der Erfindung ist ein Verfahren für eine Phasenverschiebungs-Trägerrückgewinnung und Demodulation vorgesehen, umfassend die folgenden Schritte: Empfangen eines ankommenden N phasenmodulierten Trägers, wobei N ein Integer größer als oder gleich wie zwei ist; Erzeugen einer Referenzfrequenz und Bereitstellen von wenigstens N Phasen der Referenzfrequenz; Erzeugen wenigstens eines Ausgangssignals, das phasenmodulierte Bitdaten darstellt, durch Erfassung von nachfolgenden Änderungen in der Phase des modulierten Trägers auf Grundlage der Referenzfrequenz und des N phasenmodulierten Trägers; dadurch gekennzeichnet, dass die Referenzfrequenz auf den N phasenmodulierten Träger synchronisiert wird durch (i) Vergleichen einer Phase des ankommenden N phasenmodulierten Trägers mit den Phasen der Referenzfrequenz, um ein Steuersignal auf Grundlage des Vergleichs zu erzeugen, und (ii) Einstellen der Phase und Frequenz der Referenzfrequenz mit Hilfe des Steuersignals, um das Referenzsignal auf den N phasenmodulierten Träger durch eine Phasenverriegelung von Flanken von jeweils zwei aufeinander folgenden Phasen der Vielzahl von Phasen auf Phasenpositionen auf jeweiligen Seiten einer entsprechenden Flanke des N phasenmodulierten Trägers zu synchronisieren.

**[0010]** In einer praktischen Implementierung der vorliegenden Erfindung wird eine Einzelbit-Phasenumtastungs-Trägerrückgewinnungs- und Demodulatorschaltung verwendet, die allgemein hier als ein „Demodulator“ bezeichnet wird. Der Demodulator verwendet digitale Techniken, um eine Phase eines modulierten Trägers zu verriegeln (einrasten zu lassen), und die Daten zu dekodieren. Demzufolge vermeidet die vorliegende Erfindung die Notwendigkeit einer kostenaufwendigeren und komplexeren analogen Schaltungsanordnung. Der Demodulator weist eine einfache Konstruktion auf und kann leicht innerhalb einer integrierten Schaltung eingebaut werden.

**[0011]** Ein Betrieb des Demodulators ist auf die Aufrechterhaltung der Phasenbeziehung zwischen dem ankommenden phasenmodulierten Träger und wenigstens zwei Phasen eines lokal erzeugten Mehrphasen-Oszillators gestützt. Insbesondere umfasst

der Demodulator einen Phasendetektor und eine nachfolgende Rückkopplungsschleifen-Schaltungsanordnung, die versucht die Phasenbeziehung aufrecht zu erhalten. Durch Vergleichen des ankommenden phasenmodulierten Trägers mit den Mehrphasen-Ausgängen des lokalen Oszillators ist der Demodulator in der Lage ein Korrektursignal zu erzeugen, welches eine kohärente Phasennachverfolgung des ankommenden phasenmodulierten Trägers erlaubt.

**[0012]** Der Phasendetektor erzeugt ein Konektursignal, das dem Demodulator erlaubt eine Phaseneinrastung (Phasenverriegelung) von irgendwelchen zwei sequenziellen oder aufeinander folgenden Phasen der lokal erzeugten Phasenausgänge auf Phasenpositionen auf jeder Seite der Phase des ankommenden phasenmodulierten Trägers vorzunehmen. Sobald der Demodulator eine Trägerphaseneinrastung (Verriegelung) ermittelt hat, werden die mehreren Phasen, die von dem lokalen Oszillator erzeugt werden, fest (ohne eine Phasenänderung) relativ zu der anfänglich erfassten Phase des ankommenden phasenmodulierten Trägers bleiben. Da der lokale Oszillator dann auf die anfänglich erfasste Phase des ankommenden phasenmodulierten Trägers festgelegt (eingerastet bzw. verriegelt) ist, kann eine Demodulation einfach dadurch erreicht werden, dass ein oder mehrerer Flip-Flops mit jeweiligen Phasen des lokalen Oszillators getaktet werden.

**[0013]** Um die voranstehenden und verwandte Absichten zu erreichen umfasst die Erfindung dann die Merkmale, die hier vollständig beschrieben sind und insbesondere in den Ansprüchen aufgeführt sind. Die folgende Beschreibung und die angehängten Zeichnungen geben ausführlich bestimmte illustrative Ausführungsformen der Erfindung an. Diese Ausführungsformen zeigen jedoch lediglich einige wenige verschiedene Vorgehensweisen, mit denen die Prinzipien der Erfindung verwendet werden können. Andere Aufgaben, Vorteile und neuartige Merkmale der Erfindung ergeben sich näher aus der folgenden ausführlichen Beschreibung der Erfindung, wenn sie in Verbindung mit den Zeichnungen betrachtet wird.

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

**[0014]** In den Zeichnungen zeigen:

**[0015]** [Fig. 1](#) ein schematisches Diagramm der digitalen quaternären Einzelbit-Phasenumtastungs-Trägerrückgewinnungs- und Demodulatorschaltung in Übereinstimmung mit einer ersten Ausführungsform der vorliegenden Erfindung;

**[0016]** [Fig. 1A](#) ein Phasendiagramm, das die Phasenbeziehung zwischen dem lokalen Oszillator in der Schaltung der [Fig. 1](#) und dem quaternären phasenmodulierten Träger darstellt;

[0017] [Fig. 2](#) und [Fig. 3](#) Timingdiagramme, die den Betrieb der in [Fig. 1](#) gezeigten Schaltung in Übereinstimmung mit der vorliegenden Erfindung darstellen;

[0018] [Fig. 4](#) ein schematisches Diagramm einer digitalen binären Einzelbit-Phasenumtastungs-Trägerrückgewinnungs- und Demodulatorschaltung in Übereinstimmung mit einer zweiten Ausführungsform der vorliegenden Erfindung; und

[0019] [Fig. 4A](#) ein Phasendiagramm, das die Phasenbeziehung zwischen dem lokalen Oszillator in der Schaltung der [Fig. 4](#) und dem binären phasenmodulierten Träger darstellt.

#### BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0020] Die vorliegende Erfindung wird nun unter Bezugnahme auf die Zeichnungen beschrieben, in denen gleiche Bezugszeichen verwendet werden, um überall die gleichen Elemente zu bezeichnen.

[0021] Zu Anfang wird auf die [Fig. 1](#) Bezug genommen, in der eine QPSK Trägerrückgewinnungs- und Demodulatorschaltung in Übereinstimmung mit einer ersten Ausführungsform der vorliegenden Erfindung allgemein mit **10** bezeichnet wird. Allgemein gesagt, der Demodulator **10** empfängt einen ankommenden phasenmodulierten Träger, der in der Amplitude auf digitale logische Einzelbit- (binär-) Pegel begrenzt worden ist. Der Demodulator **10** selbst rastet auf die anfängliche Phase des Trägers ein und demoduliert danach QPSK Daten von dem Träger. Insbesondere gibt der Demodulator **10** Symboldaten in der Form von I und Q Signalen aus.

[0022] In der beispielhaften Ausführungsform umfasst der Demodulator **10** einen Quaternärphasen-Detektor **12**, eine Demodulationsschaltung **14** und eine ausgeglichene Stromladungspumpe **16**. Zusätzlich umfasst der Demodulator **10** ein Schleifenfilter **18** und einen lokalen spannungsgesteuerten Oszillator (VCO) **20** mit vier 90° Phasenverschiebungsausgängen. Der Demodulator **10** ist vorgesehen, um einen ankommenden phasenmodulierten Träger (BEGRENZTER\_TRÄGER; LIMITED\_CARRIER) auf der Leitung **26** zu empfangen. Wie voranstehend erwähnt ist der ankommende phasenmodulierte Träger auf der Leitung **26** vorher in der Amplitude auf binäre digitale Logikpegel unter Verwendung von herkömmlichen Techniken begrenzt worden. Der Demodulator **10** gibt wiederum die demodulierten I und Q Signale (IOUT und QOUT) auf die Leitungen **28** bzw. **30** aus.

[0023] Wie nachstehend noch näher beschrieben werden wird, der Demodulator **10** arbeitet auf Grundlage des Phasendetektors **12**, der Ladungspumpe **16** und des Schleifenfilters **18**, als eine Rückkopplungs-

schleife dienend, um eine anfängliche Phasenbeziehung zwischen dem ankommenden LIMITED\_CARRIER und jeden zwei sequenziellen oder aufeinander folgenden Phasenausgängen des lokalen Oszillators **20** aufrecht zu erhalten. Der Phasendetektor **12** vergleicht vier Phasensignale, die von dem lokalen Oszillator **20** ausgegeben werden und die Phasenbeziehungen von 0, 90, 180 und 270 Grad aufweisen, mit dem ankommenden LIMITED\_CARRIER. Der Phasendetektor **12** ist wiederum in der Lage ein Korrektursignal zu erzeugen, welches eine kohärente Phasennachverfolgung des ankommenden LIMITED\_CARRIER erlaubt.

[0024] Insbesondere erzeugt der Phasendetektor **12** ein Korrektursignal, das dem Demodulator **10** erlaubt, anfänglich jede zwei sequenziellen Phasenausgänge des lokalen Oszillators **20** auf Phasenpositionen, die in gleichem Abstand auf jeder Seite der ankommenden LIMITED\_CARRIER Phase angeordnet sind, einrasten zu lassen. Der QPSK Demodulator-Einrastepunkt ist  $\pm 45$  Grad auf jeder Seite der ankommenden LIMITED\_CARRIER Phase, könnte aber so eingestellt werden, dass der Einrastepunkt nicht äquidistant zwischen den Phasen ist, wenn erforderlich. Weil der Phasendetektor **12** die ankommende LIMITED\_CARRIER Phase mit sämtlichen vier Phasen vergleicht, die von dem lokalen Oszillator **20** erzeugt werden, ist der Phasendetektor **12** sowohl auf 90 Grad als auch 180 Grad Phasenänderungen des ankommenden LIMITED\_CARRIER unempfindlich. Wenn die Phase des LIMITED\_CARRIER sich als Folge einer Datenänderung (die in 90 Grad und 180 Grad Inkrementen auftritt) ändert, wird sich somit die Phase des ankommenden LIMITED\_CARRIER an eine neue Position äquidistant von den zwei verschiedenen Phasen des lokalen Oszillators **20** bewegen. Das Korrektursignal, das von dem Phasendetektor **12** erzeugt wird, bleibt deshalb das Gleiche, und zwar unabhängig davon, zwischen welche der lokal erzeugten Phasen die ankommende LIMITED\_CARRIER Phase fällt. Der Phasendetektor **12** wird fortwährend eine richtige Nachverfolgungsinformation erzeugen, wenn die Phase des ankommenden LIMITED\_CARRIER zwischen jeden zwei der vier Phasen, die von dem lokalen Oszillator **20** erzeugt werden, umgeschaltet wird.

[0025] Es wird deshalb erkannt werden, dass, sobald der Demodulator **10** eine anfängliche Phaseneinrastung auf den ankommenden LIMITED\_CARRIER erhalten hat, die vier Phasen des lokalen Oszillators **20** relativ zu der anfänglichen erfassten Phase des Trägers fest (ohne Phasenänderungen) bleiben werden. Dies erlaubt der Demodulationsschaltung **14** die Phasendaten einfach unter Verwendung eines Paares von Flip-Flops zu demodulieren, wie nachstehend näher beschrieben werden wird. Die Konstruktion des Demodulators **10** erlaubt, dass die Phasendifferenz zwischen dem lokalen Os-

zillator **20** und dem ankommenden LIMITED\_CARRIER sich um fast  $\pm 45$  Grad verändert und noch die Daten richtig demoduliert werden.

**[0026]** Wenn der Demodulator **10** näher beschrieben wird, wird der Phasendetektor **12** in der beispielhaften Ausführungsform aus fünf D-Typ Flip-Flop-Schaltungen mit Rücksetzungen, die an der ansteigenden Flanke getriggert werden, gebildet. Die D-Typ Flip-Flops sind jeweils mit **34a-34e** bezeichnet. Jedes der Flip-Flops **34a-34e** weist einen Daten-(D)-Eingang auf der mit einer festen logischen „1“ verbunden ist. Der ankommende LIMITED\_CARRIER auf der Leitung **26** ist mit dem Takt-(C)-Eingang des ersten Flip-Flops **34a** verbunden. Der invertierte (Q-Strich) Ausgang des Flip-Flops **34a** ist mit einem Eingang eines logischen ODER Gatters **36** gekoppelt. Der Ausgang des logischen ODER Gatters **36** ist durch einen Eingang eines logischen UND Gatters **38** mit dem invertierten Rücksetz-(R-Strich)-Eingang von jedem der Flip-Flops **34a** bis **34e** gekoppelt. Der andere Eingang des UND Gatters **38** ist mit einem Systemsteuerungs-Rücksetz-(RESET)-Signal über die Leitung **40** gekoppelt. Während eines Betriebs des Demodulators **10** wird das RESET Signal auf der Leitung **40** auf einem logischen „1“ Pegel gehalten.

**[0027]** Demzufolge ist der Ausgang des logischen ODER Gatters **36** effektiv direkt mit den Rücksetzeingängen der Flip-Flops **34a** bis **34e** gekoppelt.

**[0028]** Der lokale Oszillator **20** in der vorliegenden Ausführungsform ist ein vierphasiger VCO. Der lokale Oszillator **20** ist konfiguriert, um vier unterschiedliche Ausgänge auf den Leitungen **42-45** zu erzeugen, die relativ zu der Oszillationsfrequenz des Oszillators **20** jeweilige Phasen von 0, 90, 180 und 270 Grad aufweisen. Der 0 Grad Phasenausgang auf der Leitung **42** ist mit dem Takt-(C)-Eingang des Flip-Flops **34b** gekoppelt. In ähnlicher Weise sind die 90, 180 und 270 Grad Ausgänge auf den Leitungen **43-45** jeweils mit den Takteingängen (C) der übrigen Flip-Flops **34c** bis **34e** gekoppelt.

**[0029]** Der nicht-invertierte (Q) Ausgang von jedem von diesen Phasendetektor-Flip-Flops **34b** bis **34e** ist mit einem entsprechenden Eingang eines logischen NOR Gatters **50** mit vier Eingängen gekoppelt. Der Ausgang des NOR Gatters **50** stellt ein „AUFWÄRTS“ („UP“) Konektursignal auf der Leitung **52** dar, das der Ladungspumpe **16** eingegeben wird. Zusätzlich ist der Ausgang des NOR Gatters **50** mit dem zweiten Eingang des ODER Gatters **36** gekoppelt. Wie weiter nachstehend diskutiert, wird das ODER Gatter **36** verwendet, um die Anlaufzeit des lokalen Oszillators durch Verhindern von häufigen Zurücksetzungen des Phasendetektors **12**, wenn der Träger viel schneller als der lokale Oszillator **20** läuft, zu verringern. Dies erlaubt, dass die „UP“ Impulse viel brei-

ter sind, als sie dies ansonsten wären.

**[0030]** In ähnlicher Weise ist der invertierte (Q-Strich) Ausgang von jedem der Flip-Flops **34b** bis **34e** mit einem entsprechenden Eingang eines logischen NOR Gatters **54** mit vier Eingängen gekoppelt. Der Ausgang des NOR Gatters **54** stellt ein „ABWÄRTS“ („DOWN“) Korrektursignal auf der Leitung **56** dar, das an die Ladungspumpe **16** ausgegeben wird. In der beispielhaften Ausführungsform ist die Ladungspumpe **16** so konfiguriert, dass die Größe der Ausgangsströme, die auf der Leitung **58** im Ansprechen auf die UP und DOWN Korrektursignale erzeugt werden, gleich und an dem Einrastepunkt (Verriegelungspunkt) entgegengesetzt sind, wodurch sich eine Null-Netto-Korrektur ergibt. Der Ausgang von der Ladungspumpe **16** auf der Leitung **58** wird durch das Schleifenfilter **18** geführt. Das Schleifenfilter **18** integriert den Ausgang auf der Leitung **58**, um eine Spannung auf der Leitung **60** zu erzeugen, die sich in Übereinstimmung mit dem Ausgang von der Ladungspumpe **16** verändert. Der Ausgang auf der Leitung **60** dient wiederum als Spannungssteuerungseingang an dem lokalen Oszillator **20**.

**[0031]** Während eines Betriebs wird der Demodulator **10** demzufolge das ankommende LIMITED\_CARRIER (BEGRENZTER\_TRÄGER) auf der Leitung **26** empfangen, der als das Taktsignal für das Flip-Flop **34a** dient. Mit jeder ansteigenden Flanke des LIMITED\_CARRIER wird der logische „1“ Datenwert an dem D Eingang in das Flip-Flop **34a** eingetaktet und der Q-Strich Ausgang des Flip-Flops **34a** geht auf einen logischen „0“ Pegel. Dieser logische „0“ Pegel wird dem ODER Gatter **36** eingegeben, um so eine logische „0“ an dem Eingang des UND Gatters **38** zu erzeugen, wenn das „UP“ Korrektursignal auf der Leitung **52** ebenfalls niedrig ist. Demzufolge wird die logische „0“ auf die Leitung **62** an dem Ausgang des UND Gatters **38** übergeben (wobei das RESET Signal auf der Leitung **40** während des Betriebs auf einem logischen „1“ Pegel fest ist).

**[0032]** Der logische „0“ Ausgang des ODER Gatters **36** wird dadurch an den R-Strich Rücksetzeingang von jedem der Flip-Flops **34a** bis **34e** bereitgestellt. Die logische „0“ an dem R-Strich Eingang setzt die jeweiligen Flip-Flops **34a** bis **34e** zurück, und der Q-Strich Ausgang des Flip-Flops **34a** kehrt somit auf einen logischen „1“ Pegel nach einer kurzen Zeit nach der ansteigenden Flanke des LIMITED\_CARRIER zurück. Wie erkannt werden wird, eine derartige kurze Zeit wird größtenteils durch die Ausbreitungsverzögerung des ODER Gatters **36** und des UND Gatters **38** geleitet. Demzufolge erzeugt der Phasendetektor **12** mit jeder ansteigenden Flanke des LIMITED\_CARRIER einen Rücksetzimpuls, der jedes der Flip-Flops **34a** bis **34e** zurücksetzt.

**[0033]** Das Flip-Flop **34b** wird verwendet, um die ansteigende Flanke des 0 Grad Phasensignals von dem lokalen Oszillator **20** mit der ansteigenden Flanke des LIMITED\_CARRIER, wie durch den Rücksetzimpuls identifiziert, der an den R-Strich Eingang bereitgestellt wird, zu vergleichen. Wenn die ansteigende Flanke des 0 Grad Phasensignals auf der Leitung **42** vor der ansteigenden Flanke des LIMITED\_CARRIER ist, wird der Dateneingang mit dem logischen „1“ Pegel in das Flip-Flop **34b** eingetaktet werden, bevor das Flip-Flop zurückgesetzt wird. Dies führt dazu, dass das Flip-Flop **34b** an seinen Ausgängen Q = 1 und Q-Strich = 0 Impulse bereitstellt. Demzufolge wird der Q Ausgang des Flip-Flops **34b** ausschließen, dass ein „UP“ Steuerimpuls an der Ladungspumpe **16** über das NOR Gatter **50** zu einer derartigen Zeit bereitgestellt wird. Die Ladungspumpe **16** kann über das NOR Gatter **54** zu einer derartigen Zeit in Abhängigkeit von dem Zustand der anderen Flip-Flops **34c** bis **34e** einen „DOWN“ Steuerimpuls empfangen oder unter Umständen nicht empfangen.

**[0034]** Wenn die ansteigende Flanke des 0 Grad Phasensignals auf der Leitung **42** der ansteigenden Flanke des LIMITED\_CARRIER folgt, wird andererseits das Flip-Flop **34b** zurückgesetzt werden. Dies führt dazu, dass das Flip-Flop **34b** an seinen Ausgängen Q = 0 und Q-Strich = 1 Impulse bereitstellt. Demzufolge wird der Q-Strich Ausgang des Flip-Flops **34b** ausschließen, dass ein „DOWN“ Steuerimpuls an der Ladungspumpe **16** zu einer derartigen Zeit bereitgestellt wird. Die Ladungspumpe **16** kann zu einer derartigen Zeit in Abhängigkeit von dem Zustand der anderen Flip-Flops **34c** bis **34e** einen „UP“ Steuerimpuls empfangen oder nicht empfangen.

**[0035]** In ähnlicher Weise vergleichen die Flip-Flops **34c** bis **34e** die ansteigende Flanke des LIMITED\_CARRIER mit der ansteigenden Flanke der jeweiligen Phasensignale, die von dem lokalen Oszillator **20** erzeugt werden. Wenn die ansteigende Flanke des jeweiligen Phasensignals vor der ansteigenden Flanke des ankommenden LIMITED\_CARRIER ist, dann wird das bestimmte Flip-Flop Ausgänge von Q = 1 und Q-Strich = 0 Impulsen erzeugen, die erlauben, dass ein „DOWN“ Steuerimpuls an der Ladungspumpe **16** bereitgestellt wird. Im Gegensatz dazu, wenn die ansteigende Flanke des jeweiligen Phasensignals der ansteigenden Flanke des ankommenden LIMITED\_CARRIER folgt, dann wird das bestimmte Flip-Flop Ausgänge von Q = 0 und Q-Strich = 1 Impulse erzeugen, die erlauben, dass ein „UP“ Steuerimpuls an der Ladungspumpe **16** bereitgestellt wird. Für den Fall, dass ein „UP“ Steuerimpuls an der Ladungspumpe **16** bereitgestellt wird, schließt dieser logische „1“ Pegelimpuls aus, dass der Eingang des R-Strich Rücksetzeingangs der Flip-Flops **34a** bis **34e** während einer derartigen Zeit auf aktiv geht. Dies trägt zu einer anfäng-

lichen Synchronisation bei, die häufige Rücksetzungen des Phasendetektors **12** verhindert, wenn der lokale Oszillator **20** langsamer als die begrenzte Trägerfrequenz läuft. Die „UP“ Steuerimpulse werden in dieser Bedingung viel breiter sein.

**[0036]** Während einer derartigen Zeit, wenn der LIMITED\_CARRIER anfänglich empfangen wird (z.B. während einer vordefinierten Synchronisationsperiode), wird der Phasendetektor **12** demzufolge dazu tendieren die Frequenz und Phase des lokalen Oszillators **20** einzustellen, um relativ zu dem LIMITED\_CARRIER eine ausgeglichene Bedingung zu erzielen. In der ausgeglichenen Bedingung ist die ansteigende Flanke des LIMITED\_CARRIER zwischen den ansteigenden Flanken von jeweils zwei aufeinander folgenden Phasen des lokalen Oszillators **20** (d.h. 0° und 90°, 90° und 180°, 180° und 270° oder 270° und 0°) zentriert, und der Phasendetektor **12** wird einen „UP“ Steuerimpuls auf der Leitung **52**, gefolgt von einem „DOWN“ Steuerimpuls auf der Leitung **56**, jeweils 1/8-tel des Trägerzyklus in der Dauer, erzeugen. Die „UP“ und „DOWN“ Steuerimpulse sind um die ansteigende Flanke des LIMITED\_CARRIER zentriert.

**[0037]** Wenn das Timing der Ausgangsphasen des lokalen Oszillators **20** relativ zu der Phase des LIMITED\_CARRIER in der ausgeglichenen Bedingung ist, werden gleiche „UP“ und „DOWN“ Steuerimpulse in der Zeit und Amplitude eine Null-Netto-Änderung in der gefilterten Spannung erzeugen, die an dem lokalen Oszillator **20** auf der Leitung **60** bereitgestellt wird. Wenn in den Phasen ein Ungleichgewicht existiert, dann erzeugt der Phasendetektor **12** nicht-symmetrische „UP“ und „DOWN“ Steuerimpulspaare. Diese unausgeglichene Impulspaare erzeugen, wenn sie von dem Filter **18** gefiltert werden, eine Korrekturänderung in der Steuerspannung auf der Leitung **60**, die die Schleife zurück in ein Gleichgewicht zieht. In dieser Weise wird der Demodulator **10** natürlich in Richtung auf die ausgeglichene Bedingung (eine Bedingung im Gleichgewicht) gezogen.

**[0038]** [Fig. 1A](#) zeigt, wie die Phase Pc des LIMITED\_CARRIER eine Tendenz aufweist zwischen zwei jeweiligen Phasen des lokalen Oszillators **20** ins Gleichgewicht zu kommen. In dem dargestellten Beispiel ist die Phase Pc zufällig zwischen den 0 Grad und 90 Grad Phasen des lokalen Oszillators **20** ausgeglichen. Jedoch kann sich insbesondere die Phase Pc des LIMITED\_CARRIER dann als Folge von modulierten Daten um 90 Grad oder 180 Grad (wie in Phantomdarstellung dargestellt) ändern, jedoch noch zwischen zwei aufeinander folgenden Phasen des lokalen Oszillators **20** ausgeglichen bleiben. Somit wird der Phasendetektor **12** trotz der Phasenänderung des LIMITED\_CARRIER ausgeglichen bleiben. Mit anderen Worten, der Phasendetektor **12** wird weiter gleiche „UP“ und „DOWN“ Steuerimpulse

in der Zeit und Amplitude bereitstellen, die in der gefilterten Spannung, die an dem lokalen Oszillator **20** auf der Leitung **60** bereitgestellt wird, eine Null-Netto-Änderung erzeugen wird. Die vier Phasen des lokalen Oszillators **20** werden deshalb relativ zu der anfänglich erfassten Phase des LIMITED\_CARRIER fest oder eingerastet (ohne eine Phasenänderung) bleiben (z.B. die Phaseneinrastung, die während einer anfänglichen Synchronisation erhalten wird).

**[0039]** Nachdem die verschiedenen Phasen des lokalen Oszillators **20** auf die anfängliche Phase des LIMITED\_CARRIER durch Erreichen der voranstehend erwähnten ausgeglichenen Bedingungen festgelegt sind, kann dann der Träger demoduliert werden. Insbesondere umfasst die Demodulationsschaltung **14** ein Paar von demodulierenden D-Typ Flip-Flops **70a** und **70b**. Jedes aufeinander folgende Paar der Ausgangsimpulse von dem lokalen Oszillator **20**, wie der 0 Grad bzw. 90 Grad Phasenausgang, kann verwendet werden, um die Flip-Flops **70a** und **70b** zu takten, wie in [Fig. 1](#) gezeigt. Der LIMITED\_CARRIER auf der Leitung **26** wird dem D Eingang von jedem der Flip-Flops **70a** und **70b** eingegeben. Wenn sie von den quarternär-phasigen (vierphasigen) Ausgängen getaktet werden, werden die Flip-Flops **70a** und **70b** die demodulierten digitalen Pegel I und Q Signale an ihren jeweiligen Q Ausgängen an den Leitungen **28** und **30** erzeugen.

**[0040]** Es sei darauf hingewiesen, dass die Antwort des Schleifenfilters **18** bestimmen wird, wie schnell der Demodulator **10** anfänglich während einer Synchronisation ein Gleichgewicht (eine Balance) erreicht; wie jedoch bei anderen Phaseneinrastungsschleifen, muss die Konstruktion des Schleifenfilters **18** und die Gesamtückkopplungsschleifen-Antwort Betriebsverhaltensfaktoren in Verbindung mit einer dynamischen Signalphasenansammlung und einer Nachverfolgung von denjenigen einer Glättung des Eingangssignal-Phasenjitters als Folge von Rauschen in dem Amplitudenbegrenzer ausgleichen. Der Phasendetektor **12** entfernt effektiv die Eingangsdaten-Modulationsübergänge richtig, solange wie der momentane Nachverfolgungsfehler nicht die  $\pm 45$  Grad Grenzen, die voranstehend angegeben wurden, übersteigt.

**[0041]** Bezugnehmend nun auf die [Fig. 2](#) und [Fig. 3](#) ist ein Timingdiagramm gezeigt, das den Betrieb des Demodulators **10** zeigt. Die Wellenform **72** bezeichnet das in der Amplitude begrenzte Trägersignal LIMITED\_TRÄGER Wellenformen **73** und **74** stellen die demodulierten Q und I Signale auf den Leitungen **30** bzw. **28** ([Fig. 1](#)) dar. Die Wellenformen **75** und **76** stellen die Datensignale dar, die durch die Einrichtung, die den modulierten Träger sendet (nicht gezeigt), auf den LIMITED\_TRÄGER moduliert worden sind. Die Wellenform **77** stellt den 0 Grad Phasenausgang des lokalen Oszillators **20** dar. Schließlich

stellt die Wellenform **78** den Ausgang der Ladungspunkte **16** an der Leitung **58** dar ([Fig. 1](#)).

**[0042]** Wie in [Fig. 2](#) gezeigt rastet der Demodulator **10** vor der Zeit  $t_1$  auf die Phase des ankommenden LIMITED\_CARRIER durch Erreichen der voranstehend beschriebenen ausgeglichenen Bedingung ein. Zur Zeit  $t_1$  wird die Phase des LIMITED\_CARRIER über eine QPSK Modulation durch Ändern des Werts von Q, wie mit der Wellenform **76** dargestellt, geändert. Wie mit der Wellenform **72** gezeigt ändert sich der LIMITED\_CARRIER als Folge davon in der Phase zur Zeit  $t_1$ .

**[0043]** Trotzdem, wie in dem Bereich **80** vor und nach der Zeit  $t_1$  dargestellt, ändert sich die Phase der Wellenform **77** des lokalen Oszillators trotz der Änderung in der Phase des LIMITED\_CARRIERS nicht. Wie mit der Wellenform **78** angedeutet, die den Ausgang der Ladungspunkte **18** darstellt, weist der Phasendetektor **12** eine Tendenz auf durch die Phasenänderung zu schweben, und bleibt somit auf die anfängliche Phasenbeziehung verriegelt (eingerastet). Es gibt ein geringfügiges Ungleichgewicht in den „UP“ und „DOWN“ Steuerimpulsen, die an die Ladungspunkte **16** geliefert werden, und somit wird der Ausgang, der mit der Wellenform **78** dargestellt wird, nicht-symmetrisch. Jedoch stellt ein derartiger Fehler eine kleine Abweichung dar, die durch das Schleifenfilter **18** gefiltert wird, sodass sie einen geringen oder überhaupt keinen Effekt auf die Gesamtphase des lokalen Oszillators **20** hat. Die Wellenform **73** zeigt, wie die Änderung in dem Wert von Q in den demodulierten Daten reflektiert wird.

**[0044]** [Fig. 3](#) zeigt, wie zur Zeit  $t_2$  die Werte von sowohl I als auch Q auf dem modulierten LIMITED\_CARRIER geändert werden. Wiederum sei in der Wellenform **73** darauf hingewiesen, wie der LIMITED\_CARRIER demzufolge eine Phasenänderung zur Zeit  $t_2$  durchläuft, aber der lokale Oszillator **20** auf die anfängliche Phase verriegelt bleibt. Demzufolge ist die Demodulationsschaltung in der Lage die neuen Werte von I und Q auszugeben, wie mit den Wellenformen **74** bzw. **73** dargestellt.

**[0045]** Wie erkannt werden wird, die Prinzipien der vorliegenden Erfindung können auf verschiedene andere PSK Techniken angewendet werden, einschließlich auf BPSK, 8-PSK, 16-PSK, etc. Der Hauptunterschied ist die Anzahl von Flip-Flops in dem Phasendetektor und der Demodulationsschaltung.

**[0046]** Zurückkehrend nun zur [Fig. 4](#) ist eine BPSK Ausführungsform der Trägerrückgewinnungs- und Demodulatorschaltung der vorliegenden Erfindung mit 100 bezeichnet. Ein großer Teil der Konfiguration und der Prinzipien des Betriebs ist identisch zu dem QPSK Demodulator **10**, der voranstehend beschrie-

ben wurde. Demzufolge werden nur die wesentlichen Unterschiede hier diskutiert.

**[0047]** Der Demodulator **100** umfasst nämlich einen lokalen Oszillator **120**, der zwei gleich beabstandete Phasenausgänge, anstelle von vier, bereitstellt. Zum Beispiel stellt der lokale Oszillator **120** Phasenausgänge von 0 und 180 Grad auf den Leitungen **42** bzw. **44** bereit. Der Phasendetektor **112** umfasst drei D-Typ Flip-Flops **134a-134c**, anstelle von fünf wie in der Ausführungsform der [Fig. 1](#). Analog zu dem Flip-Flop **34a** in [Fig. 1](#) erzeugt das Flip-Flop **134a** in dem Demodulator **100** einen Rücksetzimpuls, der an jedes Flip-Flop **134a** bis **134c** im Ansprechen auf die ansteigende Flanke des LIMITED\_CARRIER geliefert wird. Das Flip-Flop **134b** vergleicht die Phase des LIMITED\_CARRIER mit dem 0 Grad Phasenausgang des lokalen Oszillators **120** und das Flip-Flop **134c** vergleicht die Phase des LIMITED\_CARRIER mit dem 180 Grad Phasenausgang des lokalen Oszillators **120**.

**[0048]** Der Q Ausgang von jedem der Flip-Flops **134b** und **134c** wird an einem jeweiligen Eingang des logischen NOR Gatters **150** mit zwei Eingängen bereitgestellt. In ähnlicher Weise wird der Q-Strich Ausgang von jedem der Flip-Flops **134b** und **134c** an einem jeweiligen Eingang eines logischen NOR Gatters **154** mit zwei Eingängen bereitgestellt. Die NOR Gatter **150** und **154** erzeugen die „UP“ und „DOWN“ Steuerimpulse in der gleichen Weise, die voranstehend in Bezug auf die NOR Gatter **50** und **54** diskutiert wurden.

**[0049]** Da nur zwei Phasen beteiligt sind, wird sich der Demodulator **10** zu Anfang in einer ausgeglichenen Bedingung (im Gleichgewicht) setzen, wie in [Fig. 4A](#) dargestellt. Insbesondere wird das Gleichgewicht der „UP“ und „DOWN“ Steuerimpulse dazu führen, dass die Phase Pc des LIMITED\_CARRIER dazu neigt, zwischen zwei aufeinander folgenden Phasen des lokalen Oszillators **120** ausgeglichen zu werden. In dem dargestellten Beispiel ist die Phase Pc zufällig bei 90 Grad zwischen den 0 Grad und 180 Grad Phasen des lokalen Oszillators **120** (z.B. an  $\pm 90$  Grad relativ zu den Phasen des lokalen Oszillators) ausgeglichen. Es sei jedoch darauf hingewiesen, dass sich die Phase Pc des LIMITED\_CARRIER dann als Folge von modulierten Daten um 180 Grad (wie in Phantomdarstellung dargestellt) ändern kann, aber dennoch zwischen zwei aufeinander folgenden Phasen des lokalen Oszillators **120** ausgeglichen bleibt. Somit wird der Phasendetektor **112** ausgeglichen werden, trotz der 180 Grad Änderung in der Phase des LIMITED\_CARRIER. Mit anderen Worten, der Phasendetektor **112** wird weiter gleiche „UP“ und „DOWN“ Steuerimpulse in der Zeit und Amplitude als Null-Netto-Änderung in der gefilterten Spannung, die an dem lokalen Oszillator **120** auf der Leitung **60** bereitgestellt wird, erzeugen. Die zwei Phasen des loka-

len Oszillators **120** werden deshalb relativ zu der anfänglich erfassten Phase des LIMITED\_CARRIER fest oder eingerastet (ohne eine Phasenänderung) bleiben (z.B. die Phaseneinrastung bzw. Phasenverriegelung, die während einer anfänglichen Synchronisation erhalten wird).

**[0050]** Nachdem die Phasen des lokalen Oszillators **120** auf die anfängliche Phase des LIMITED\_CARRIER durch Erreichen der voranstehend erwähnten ausgeglichenen Bedingung fest sind, kann dann der Träger demoduliert werden. Insbesondere umfasst die Demodulationsschaltung **114** ein demodulierendes D-Typ Flip-Flop **170**. Irgendeine der Ausgangsphasen von dem lokalen Oszillator **120** kann verwendet werden, um das Flip-Flop **170** zu takten, wie der 0 Grad Phasenausgang, wie in [Fig. 4](#) gezeigt. Der LIMITED\_CARRIER auf der Leitung **26** wird dem D Eingang des Flip-Flops **170** eingegeben. Wenn mit dem Phasenausgang getaktet, wird das Flip-Flop **170** das demodulierte digitale Pegel I Signal auf seinem Q Ausgang auf der Leitung **28** erzeugen.

**[0051]** Es würde deshalb gewürdigt werden, dass die vorliegende Erfindung die Konstruktion eines kohärenten PSK Demodulators stark vereinfacht. Obwohl sich die Nulldurchgangs-Übergangszeiten des begrenzten Eingangsträgers über ein Kontinuum von (analogen) Werten ändern können, ist das gesamte Signal vorwiegend digital und kann innerhalb einer integrierten Schaltung erhalten werden. Sämtliche Funktionen innerhalb des Demodulators, der den Phasendetektor, die Datendemodulationsschaltung, die Ladungspumpe, das Schleifenfilter und den lokalen Oszillator umfasst, kann aus standardmäßigen diskreten Komponenten aufgebaut oder innerhalb einer integrierten Schaltung, die in irgendeiner Anzahl von Technologien konstruiert ist, eingebaut werden. Der Demodulator kann über einem breiten Bereich von Trägerfrequenzen, der vorwiegend nur durch den Frequenzbereich der digitalen Logik begrenzt ist, arbeiten.

**[0052]** Der Demodulator weist eine Tendenz auf, die Flanke des ankommenden modulierten Trägers zwischen die Flanken von zwei unterschiedlichen Phasen der lokal erzeugten Oszillatorfrequenz zu zentrieren oder einrasten zu lassen. Die Synchronisation oder Phaseneinrastung (Phasenverriegelung) der Flanke des modulierten Trägers zwischen zwei der lokal erzeugten Phasen erlaubt dem Modulator eine Nachverfolgung in Bezug auf die anfängliche Phase des modulierten Trägers aufrecht zu erhalten, sogar wenn eine nachfolgende Phasenänderung vorhanden ist. Einfache Flip-Flops können dann verwendet werden, um die Daten zu demodulieren. Herkömmliche Phasendetektoren sind konfiguriert, um die Flanken des ankommenden modulierten Trägers mit der lokal erzeugten Oszillatorfrequenz anzupassen. So-

mit ist eine komplexere Schaltungsanordnung notwendig, um eine Nachverfolgung der anfänglichen Trägerphase für den Fall einer Datenmodulations-Phasenänderung aufrecht zu erhalten.

**[0053]** Obwohl die Erfindung im Bezug auf bestimmte bevorzugte Ausführungsformen dargestellt und beschrieben worden ist, ist es offensichtlich, dass Äquivalente und Modifikationen anderen Durchschnittsfachleuten in dem technischen Gebiet beim Lesen und Verstehen der Beschreibung einfallen werden. Zum Beispiel verwendet die Erfindung, so wie sie voranstehend beschrieben wurde, eine Ladungspumpe **16**, bei der die Ladungspumpenströme ausgeglichen (d.h. gleich und entgegengesetzt) sind. Jedoch kann das Stromgleichgewicht in den „UP“ und „DOWN“ Steuerimpulsen in einer anderen Ausführungsform verändert werden, um den ankommenden LIMITED\_CARRIER zu zwingen, an einer anderen Position als an der exakten Mitte der zwei aufeinander folgenden Phasen des lokalen Oszillators einzurasten.

**[0054]** Obwohl die Erfindung gemäß einer Ausführungsform beschrieben wurde, die D-Typ Flip-Flops, die auf die ansteigende Flanke getriggert werden, verwenden, sei zusätzlich darauf hingewiesen, dass Flip-Flops oder logische Einrichtungen eines anderen Typs verwendet werden könnten. Zum Beispiel könnten Flip-Flops, die auf einer abfallenden Flanke getriggert werden, verwendet werden, genauso wie andere Typen von Flip-Flops, wie S-R, JK, etc.

**[0055]** Die vorliegende Erfindung umfasst alle derartigen Äquivalente und Modifikationen, und ist nur durch den Umfang der folgenden Ansprüche begrenzt.

### Patentansprüche

1. Digitale Phasenverschiebungs-Trägerrückgewinnungs- und Demodulator-Schaltung, umfassend: einen Eingang (**26**) zum Empfangen eines ankommenden phasenmodulierten Trägers; einen lokalen Oszillator (**20, 120**) zum Erzeugen einer Vielzahl von Phasen einer Referenzfrequenz als Ausgänge; einen Phasendetektor (**12, 112**) und eine Rückkopplungsschleife (**60**), die betriebsmäßig mit dem Eingang (**26**) und dem lokalen Oszillator (**20, 120**) gekoppelt sind; und eine Demodulationsschaltung (**14, 114**) zum Erzeugen wenigstens eines Ausgangssignals, welches phasenmodulierte Bitdaten darstellt, auf Grundlage der Ausgänge des lokalen Oszillators (**20, 120**) und des ankommenden phasenmodulierten Trägers; **dadurch gekennzeichnet**, dass der Phasendetektor (**12, 112**) und die Rückkopplungsschleife (**60**) betriebsmäßig mit dem Eingang (**26**) und dem lokalen Oszillator (**20, 120**) in einer derartigen Weise gekop-

pelt sind, um eine Phase des ankommenden phasenmodulierten Trägers mit der Vielzahl von Phasen der Referenzfrequenz zu vergleichen und auf Grundlage des Phasenvergleichs ein Steuersignal zu erzeugen, wobei das Steuersignal zum Einstellen der Phase und Frequenz des lokalen Oszillators (**20, 120**) dient, um den lokalen Oszillator (**20, 120**) auf den ankommenden phasenmodulierten Träger durch eine Phasenverriegelung von jeweils zwei aufeinanderfolgenden Phasen der Vielzahl von Phasen auf Phasenpositionen auf jeweiligen Seiten einer entsprechenden Flanke des ankommenden phasenmodulierten Trägers zu synchronisieren.

2. Schaltung nach Anspruch 1, zum Empfangen eines quaternären phasenmodulierten ankommenden phasenmodulierten Trägers, wobei der lokale Oszillator (**20**) dafür ausgelegt ist, um vier unterschiedliche Ausgangsphasen der Referenzfrequenz, die 90 Grad voneinander beabstandet sind, bereitzustellen und der Phasendetektor (**12**) und die Rückkopplungsschleife (**60**) dafür ausgelegt sind, um die Phase des ankommenden phasenmodulierten Trägers mit jeder der vier verschiedenen Ausgangsphasen zu vergleichen, um das Steuersignal zu erzeugen.

3. Schaltung nach Anspruch 2, wobei der Phasendetektor (**12**) und die Rückkopplungsschleife (**60**) fünf Flip-Flops (**34a, 34b, 34c, 34d, 34e**) umfasst, wobei das erste (**34a**) der fünf Flip-Flops (**34a, 34b, 34c, 34d, 34e**) verwendet wird, um die Phase des ankommenden phasenmodulierten Trägers in Bezug auf eine entsprechende eine der vier verschiedenen Ausgangsphasen zu vergleichen.

4. Schaltung nach Anspruch 3, wobei Ausgänge der übrigen vier Flip-Flops (**34b, 34c, 34d, 34e**) logisch kombiniert sind.

5. Schaltung nach Anspruch 4, wobei der Phasendetektor (**12**) und die Rückkopplungsschleife (**60**) eine Ladungspumpe (**16**), die von den logisch kombinierten Ausgängen der übrigen vier Flip-Flops (**34b, 34c, 34d, 34e**) angesteuert wird, und ein Schleifenfilter (**18**), das dafür ausgelegt ist, um den Ausgang der Ladungspumpe (**16**) zu filtern, um das Steuersignal zu erzeugen, umfasst.

6. Schaltung nach irgendeinem vorangehenden Anspruch, wobei die Demodulationsschaltung (**14**) ein Paar von Flip-Flops (**70a, 70b**) umfasst, die durch jeweilige Ausgänge des lokalen Oszillators (**20**) getaktet werden.

7. Schaltung nach Anspruch 1, zum Erfassen eines Binärphasen-modulierten ankommenden phasenmodulierten Trägers, wobei der lokale Oszillator (**120**) dafür ausgelegt ist, um zwei verschiedene Ausgangsphasen der Referenzfrequenz, die 180 Grad

beabstandet voneinander angeordnet sind, bereitzustellen und der Phasendetektor (112) und die Rückkopplungsschleife (60) dafür ausgelegt ist, um die Phase des ankommenden phasenmodulierten Trägers mit jeder der zwei unterschiedlichen Ausgangsphasen zu vergleichen, um das Steuersignal zu erzeugen.

8. Schaltung nach Anspruch 7, wobei der Phasendetektor (112) und die Rückkopplungsschleife (60) drei Flip-Flops (134a, 134b, 134c) umfasst, wobei das erste (134a) der drei Flip-Flops (134a, 134b, 134c) verwendet wird, um die Phase des ankommenden phasenmodulierten Trägers in Bezug auf eine entsprechende eine der zwei unterschiedlichen Ausgangsphasen zu vergleichen.

9. Schaltung nach Anspruch 8, wobei Ausgänge der verbleibenden zwei Flip-Flops (134b, 134c) logisch kombiniert werden.

10. Schaltung nach Anspruch 9, wobei der Phasendetektor (112) und die Rückkopplungsschleife (60) eine Ladungspumpe (16), die von den logisch kombinierten Ausgängen der übrigen zwei Flip-Flops (134b, 134c) angesteuert wird, und ein Schleifenfilter (18), welches dafür ausgelegt ist, um den Ausgang der Ladungspumpe (16) zu filtern, um das Steuersignal zu erzeugen, umfasst.

11. Schaltung nach irgendeinem der Ansprüche 7 bis 10, wobei die Demodulationsschaltung (114) ein Flip-Flop (170) umfasst, welches durch einen Ausgang des lokalen Oszillators (120) getaktet wird.

12. Schaltung nach irgendeinem der Ansprüche 3 bis 6, 8 bis 10 und 11, wobei das oder jedes Flip-Flop ein D-Typ Flip-Flop ist.

13. Schaltung nach irgendeinem vorangehenden Anspruch, wobei der lokale Oszillator (20, 120) ein spannungsgesteuerter Oszillator (VCO) ist.

14. Verfahren für eine Phasenverschiebungs-Trägerrückgewinnungs- und Demodulation, umfassend die folgenden Schritte:

Empfangen eines ankommenden N phasenmodulierten Trägers, wobei N ein Integer größer als oder gleich wie zwei ist;

Erzeugen einer Referenzfrequenz und Bereitstellen von wenigstens N Phasen der Referenzfrequenz; und

Erzeugen wenigstens eines Ausgangssignals, das phasenmodulierte Bitdaten darstellt, durch Erfassen von nachfolgenden Änderungen in der Phase des modulierten Trägers auf Grundlage der Referenzfrequenz und des N phasenmodulierten Trägers; dadurch gekennzeichnet, dass die Referenzfrequenz auf den N phasenmodulierten Träger synchronisiert wird durch (i) Vergleichen einer Phase des ankommenden N phasenmodulierten Trägers mit den Phasen der Referenzfrequenz, um ein Steuersignal auf Grundlage des Vergleichs zu erzeugen, und (ii) Einstellen der Phase und Frequenz der Referenzfrequenz mit Hilfe des Steuersignals, um das Referenzsignal auf den N phasenmodulierten Träger durch eine Phasenverriegelung von Flanken von jeweils zwei aufeinander folgenden Phasen der Vielzahl von Phasen auf Phasenpositionen auf jeweiligen Seiten einer entsprechenden Flanke des N phasenmodulierten Trägers zu synchronisieren.

menden N phasenmodulierten Trägers mit den Phasen der Referenzfrequenz, um ein Steuersignal auf Grundlage des Vergleichs zu erzeugen, und (ii) Einstellen der Phase und Frequenz der Referenzfrequenz mit Hilfe des Steuersignals, um das Referenzsignal auf den N phasenmodulierten Träger durch eine Phasenverriegelung von Flanken von jeweils zwei aufeinander folgenden Phasen der Vielzahl von Phasen auf Phasenpositionen auf jeweiligen Seiten einer entsprechenden Flanke des N phasenmodulierten Trägers zu synchronisieren.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

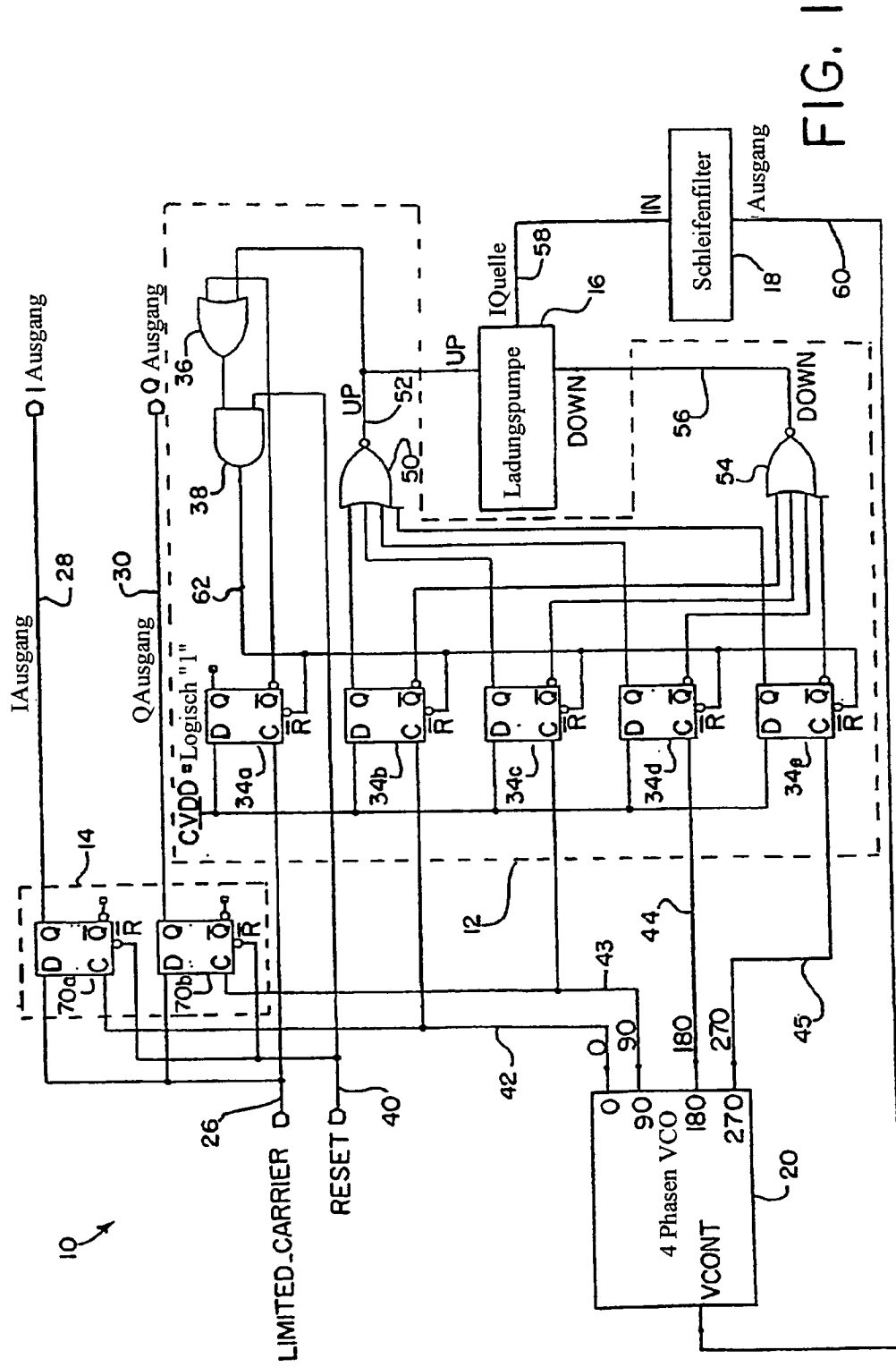


FIG. 1

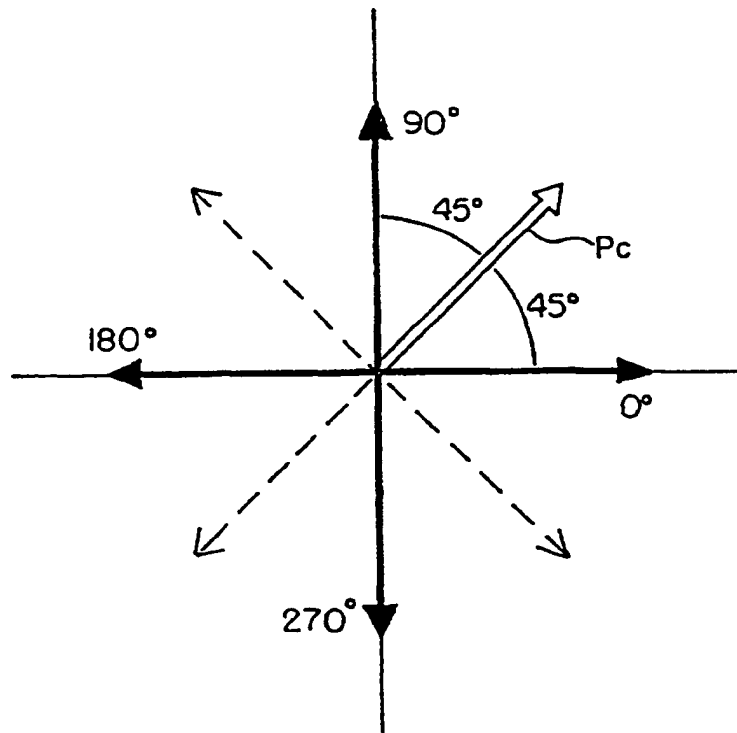


FIG. 1A

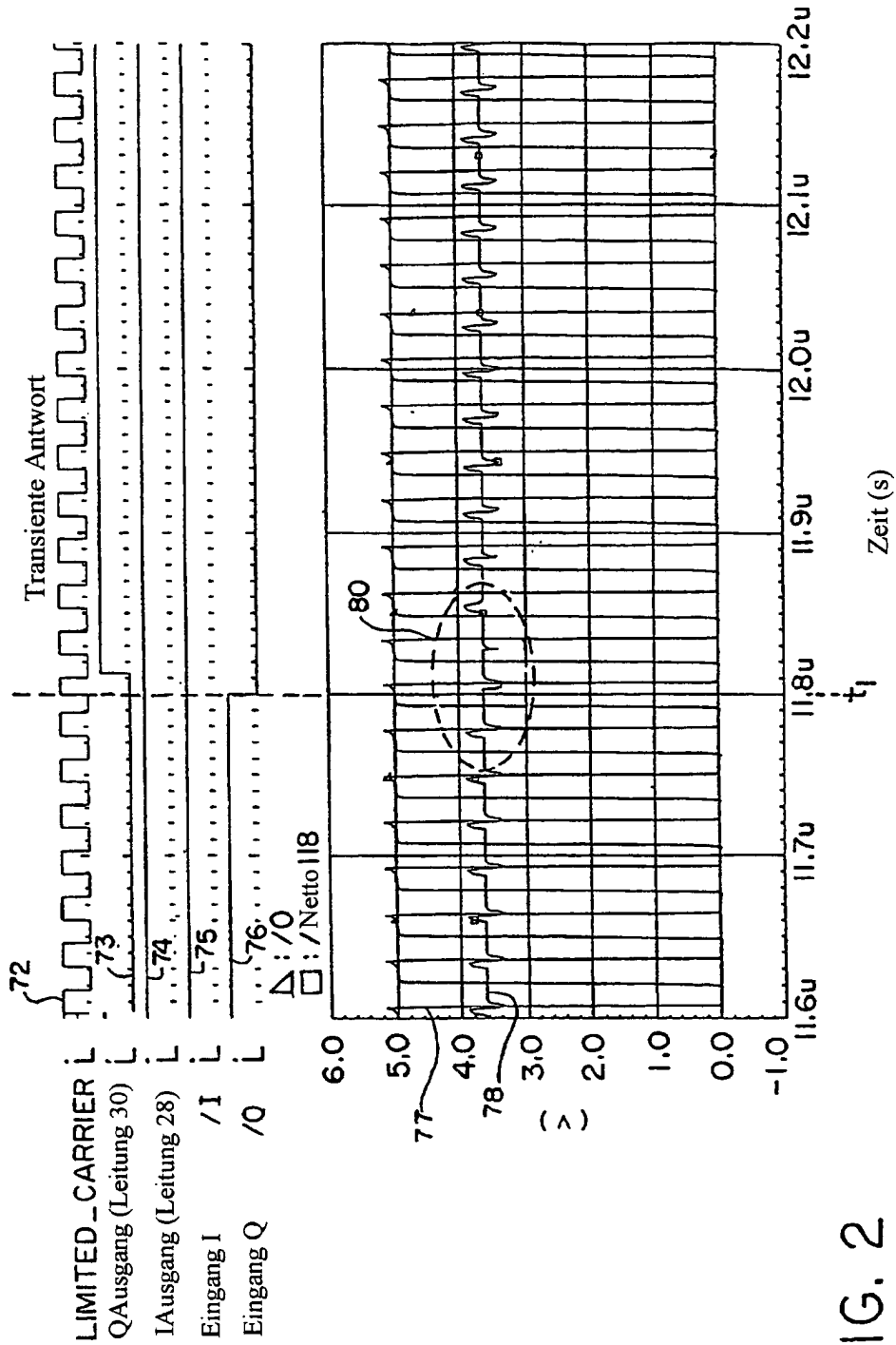


FIG. 2

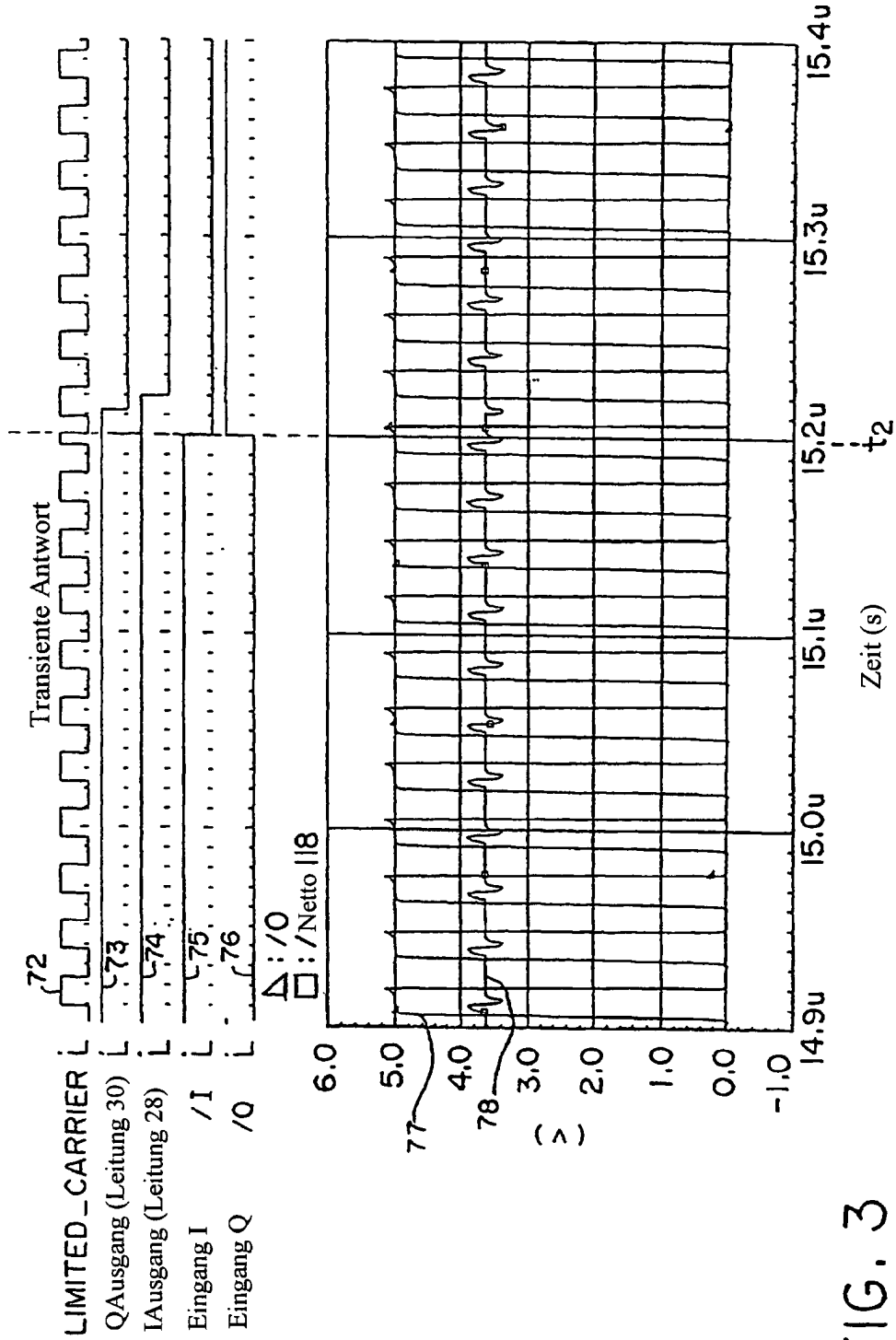


FIG. 3

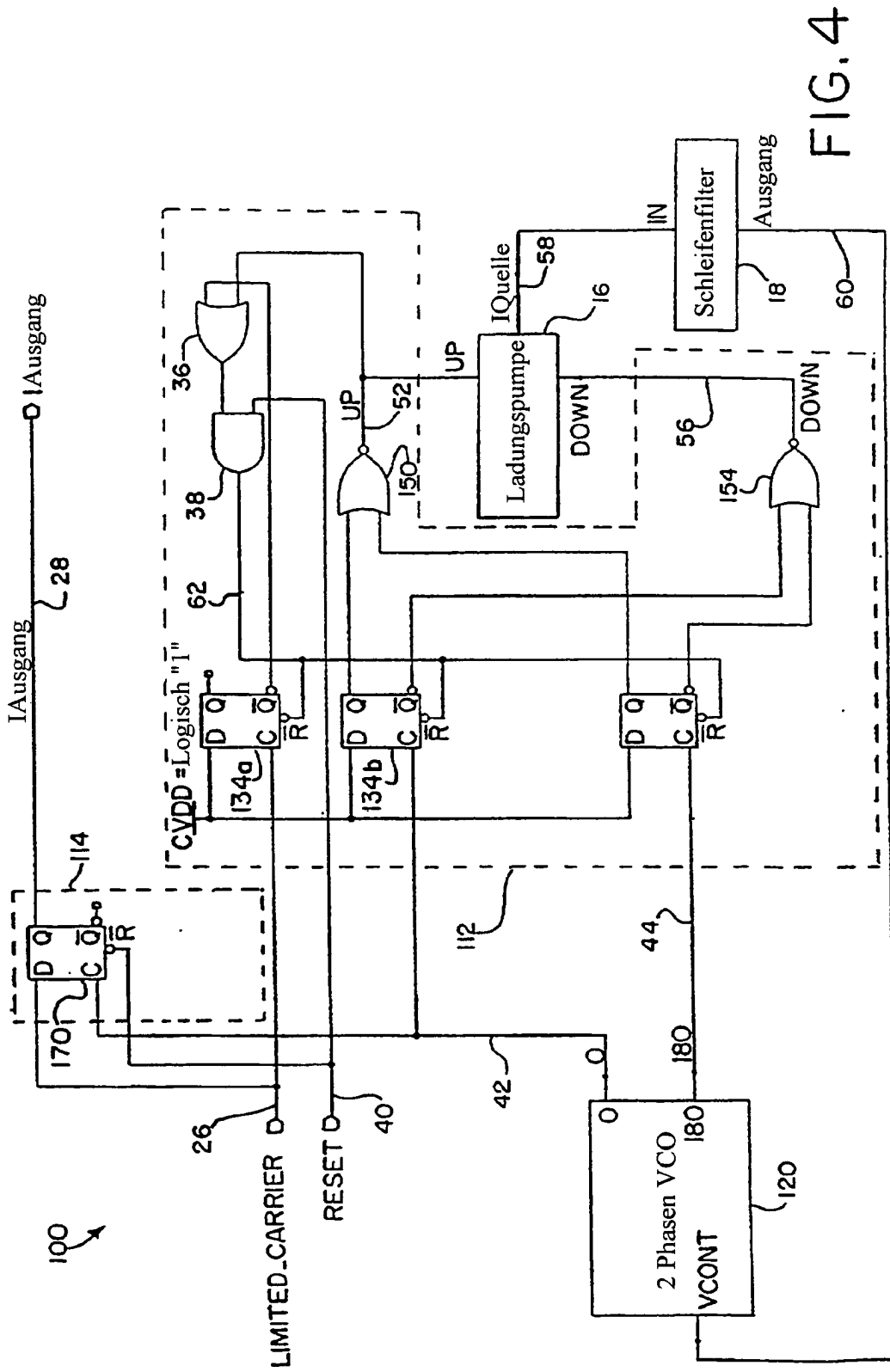


FIG. 4

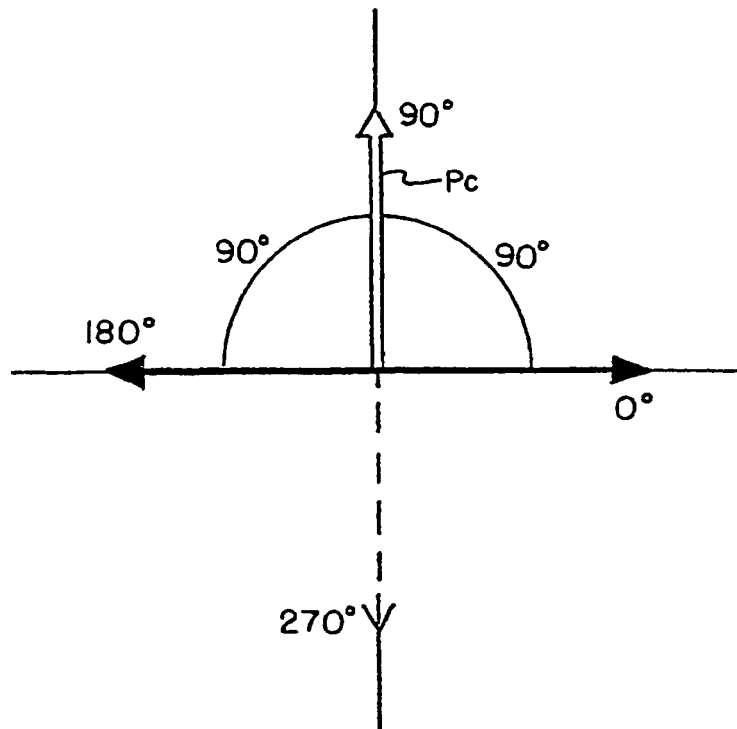


FIG. 4A