

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610065316.4

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

[45] 授权公告日 2009 年 7 月 8 日

[11] 授权公告号 CN 100511398C

[22] 申请日 2006.3.17

[21] 申请号 200610065316.4

[30] 优先权

[32] 2005.3.30 [33] JP [31] 096624/2005

[73] 专利权人 株式会社日立显示器

地址 日本千叶县

[72] 发明人 仲尾贵之 佐藤秀夫 楨正博

宫泽敏夫

[56] 参考文献

CN1437175A 2003.8.20

JP11-281949A 1999.10.15

JP2001-194685A 2001.7.19

JP8-179281A 1996.7.12

US2002/0018059A1 2002.2.14

审查员 魏桂芬

[74] 专利代理机构 北京市金杜律师事务所

代理人 季向冈

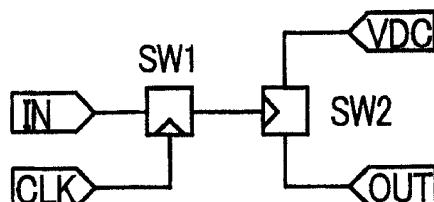
权利要求书 10 页 说明书 14 页 附图 12 页

[54] 发明名称

显示装置

[57] 摘要

本发明提供一种具有单沟道结构的公用电极驱动电路的显示装置，该单沟道结构的公用电极驱动电路与以往相比，可以不增加元件数量且能减小电路规模。该显示装置包括多个像素和公用电极驱动电路，上述公用电极驱动电路包括多个基本电路，上述基本电路，包括第 1 电路，在时钟信号从第 2 电压电平向第 1 电压电平变化的时刻，锁存第 1 输入信号；第 2 电路，在上述时钟信号从第 2 电压电平向第 1 电压电平变化的时刻，锁存第 2 输入信号；第 1 开关电路，基于由第 1 电路所锁存的电压进行开关，在导通状态下将第 1 电源电压输出到输出端子；以及第 2 开关电路，基于由第 2 电路所锁存的电压进行开关，在导通状态下将第 2 电源电压输出到输出端子。



1. 一种显示装置，其特征在于：

包括多个像素和公用电极驱动电路，

上述公用电极驱动电路包括多个基本电路，

上述基本电路，包括

第1电路，在时钟信号从第2电压电平向第1电压电平变化的时刻，锁存第1输入信号；

第2电路，在上述时钟信号从上述第2电压电平向上述第1电压电平变化的时刻，锁存第2输入信号；

第1开关电路，基于由上述第1电路锁存的电压进行开关，在导通状态下对输出端子输出第1电源电压；以及

第2开关电路，基于由上述第2电路锁存的电压进行开关，在导通状态下对输出端子输出第2电源电压，

当上述第1输入信号为上述第2电压电平时，上述第2输入信号为上述第1电压电平，当上述第2输入信号为上述第2电压电平时，上述第1输入信号为上述第1电压电平，

在上述时钟信号从上述第1电压电平变为上述第2电压电平之后，且上述时钟信号从上述第2电压电平返回到上述第1电压电平之前，上述第1输入信号和上述第2输入信号中的一者从上述第1电压电平变为上述第2电压电平。

2. 一种显示装置，其特征在于：

包括多个像素和公用电极驱动电路，

上述公用电极驱动电路包括多个基本电路，

上述基本电路，包括

第1晶体管，其第1电极被施加第1输入信号，控制电极被施加时钟信号，

第2晶体管，其第1电极被施加第2输入信号，控制电极连接在上述第1晶体管的控制电极上，

第3晶体管，其控制电极连接在上述第1晶体管的第2电极上，第1电极连接在输出端子上，并且，第2电极被施加第1电源电压，以及

第4晶体管，其控制电极连接在第2晶体管的第2电极上，第2电极连接在上述输出端子上，并且，第1电极被施加第2电源电压，

在上述时钟信号从第1电压电平变为使上述第1晶体管和上述第2晶体管导通的第2电压电平之后，且上述时钟信号从上述第2电压电平返回到上述第1电压电平之前，上述第1输入信号和上述第2输入信号中的一者从上述第1电压电平变为上述第2电压电平，

当上述第1输入信号为上述第2电压电平时，上述第2输入信号为上述第1电压电平，当上述第2输入信号为上述第2电压电平时，上述第1输入信号为上述第1电压电平。

3. 根据权利要求2所述的显示装置，其特征在于：

上述基本电路，包括

第1电容元件，连接在上述第1晶体管的第2电极和提供基准电压的基准电源线之间；

第2电容元件，连接在上述第2晶体管的第2电极和上述基准电源线之间。

4. 根据权利要求2所述的显示装置，其特征在于：

上述基本电路，包括

第5晶体管，其控制电极连接在上述第1晶体管的第2电极上，第2电极连接在上述第2晶体管的第2电极上，并且，第1电极连接在提供基准电压的基准电源线上，

第6晶体管，其控制电极连接在上述第2晶体管的第2电极上，第2电极连接在第1晶体管的第2电极上，并且，第1电极连接在上述基准电源线上。

5. 一种显示装置，其特征在于：

包括多个像素和公用电极驱动电路，

上述公用电极驱动电路包括k个基本电路，其中 $k \geq 2$ ，

第 n 个基本电路, 其中 $1 \leq n \leq k$, 包括

第 1 晶体管, 其第 1 电极被施加第 1 输入信号, 在控制电极上被施加第 $(n-1)$ 条扫描线选择信号;

第 2 晶体管, 其第 1 电极被施加第 2 输入信号, 控制电极连接在上述第 1 晶体管的控制电极上;

第 3 晶体管, 其控制电极连接在上述第 1 晶体管的第 2 电极上, 第 1 电极连接在输出端子上, 并且, 第 2 电极被施加第 1 电源电压;

第 4 晶体管, 其控制电极连接在上述第 2 晶体管的第 2 电极上, 第 2 电极连接在上述输出端子上, 并且, 第 1 电极被施加第 2 电源电压;

第 5 晶体管, 其控制电极连接在上述第 1 晶体管的第 2 电极上, 第 1 电极被施加第 n 条扫描线选择信号;

第 6 晶体管, 其控制电极连接在上述第 2 晶体管的第 2 电极上, 第 1 电极被施加第 n 条扫描线选择信号;

第 1 电容元件, 连接在上述第 1 晶体管的第 2 电极和上述第 5 晶体管的第 2 电极之间;

第 2 电容元件, 连接在上述第 2 晶体管的第 2 电极和上述第 6 晶体管的第 2 电极之间;

第 7 晶体管, 其控制电极连接在上述第 1 晶体管的控制电极上, 第 1 电极连接在提供基准电位的基准电源线上, 并且, 第 2 电极连接在上述第 5 晶体管的第 2 电极上; 以及

第 8 晶体管, 其控制电极连接在上述第 1 晶体管的控制电极上, 第 1 电极连接在上述基准电源线上, 并且, 第 2 电极连接在上述第 6 晶体管的第 2 电极上,

在上述第 $(n-1)$ 条扫描线选择信号从第 1 电压电平变为使上述第 1 晶体管和上述第 2 晶体管导通的第 2 电压电平之后, 且上述第 $(n-1)$ 条扫描线选择信号从上述第 2 电压电平返回到上述第 1 电压电平之前, 上述第 1 输入信号和上述第 2 输入信号中的一者从上述第 1 电压电平变为上述第 2 电压电平,

在上述第 n 条扫描线选择信号从上述第 1 电压电平变为上述第 2 电压电平之后,且上述第 n 条扫描线选择信号从上述第 2 电压电平返回到上述第 1 电压电平之前,上述第 1 输入信号和上述第 2 输入信号中的上述一者或另一者从上述第 1 电压电平变为上述第 2 电压电平,

当上述第 1 输入信号是上述第 2 电压电平时,上述第 2 输入信号是上述第 1 电压电平;当上述第 2 输入信号是上述第 2 电压电平时,上述第 1 输入信号是上述第 1 电压电平。

6. 一种显示装置,其特征在于:

包括多个像素和公用电极驱动电路,

上述公用电极驱动电路包括 k 个基本电路,其中 $k \geq 2$,

第 n 个基本电路,其中 $1 \leq n \leq k$,包括

第 1 晶体管,其第 1 电极被施加第 1 输入信号;

第 2 晶体管,其第 1 电极被施加第 2 输入信号,控制电极连接在上述第 1 晶体管的控制电极上;

第 3 晶体管,其控制电极连接在上述第 1 晶体管的第 2 电极上,第 1 电极连接在输出端子上,并且,第 2 电极被施加第 1 电源电压;

第 4 晶体管,其控制电极连接在上述第 2 晶体管的第 2 电极上,第 2 电极连接在上述输出端子上,并且,第 1 电极被施加第 2 电源电压;

第 5 晶体管,其控制电极连接在上述第 1 晶体管的第 2 电极上,第 1 电极被施加第 n 条扫描线选择信号;

第 6 晶体管,其控制电极连接在上述第 2 晶体管的第 2 电极上,第 1 电极被施加第 n 条扫描线选择信号;

第 1 电容元件,连接在上述第 1 晶体管的第 2 电极和上述第 5 晶体管的第 2 电极之间;

第 2 电容元件,连接在上述第 2 晶体管的第 2 电极和上述第 6 晶体管的第 2 电极之间;

第 7 晶体管,其控制电极连接在上述第 1 晶体管的控制电极上,第 1 电极连接在提供基准电位的基准电源线上,并且,第 2 电极连接

在上述第 5 晶体管的第 2 电极上;

第 8 晶体管, 其控制电极连接在上述第 1 晶体管的控制电极上, 第 1 电极连接在上述基准电源线上, 并且, 第 2 电极连接在上述第 6 晶体管的第 2 电极上;

第 9 晶体管, 其第 1 电极被施加在第 1 扫描方向时为第 $(n-1)$ 条的扫描线选择信号, 控制电极被施加第 1 扫描方向控制信号, 并且, 第 2 电极连接在上述第 1 晶体管的控制电极上; 以及

第 10 晶体管, 其第 1 电极被施加在方向与上述第 1 扫描方向相反的第 2 扫描方向时为第 $(n-1)$ 条的扫描线选择信号, 控制电极被施加第 2 扫描方向控制信号, 并且, 第 2 电极连接在上述第 1 晶体管的控制电极上,

在上述第 $(n-1)$ 条扫描线选择信号从第 1 电压电平变为使上述第 1 晶体管和上述第 2 晶体管导通的第 2 电压电平之后, 且上述第 $(n-1)$ 条扫描线选择信号从上述第 2 电压电平返回到上述第 1 电压电平之前, 上述第 1 输入信号和上述第 2 输入信号中的一者从上述第 1 电压电平变为上述第 2 电压电平,

在上述第 n 条扫描线选择信号从上述第 1 电压电平变为上述第 2 电压电平之后, 且上述第 n 条扫描线选择信号从上述第 2 电压电平返回到上述第 1 电压电平之前, 上述第 1 输入信号和上述第 2 输入信号中的上述一者或另一者从上述第 1 电压电平变为上述第 2 电压电平,

当上述第 1 输入信号是上述第 2 电压电平时, 上述第 2 输入信号是上述第 1 电压电平; 当上述第 2 输入信号是上述第 2 电压电平时, 上述第 1 输入信号是上述第 1 电压电平。

7. 根据权利要求 5 或权利要求 6 所述的显示装置, 其特征在于:
上述第 n 个基本电路, 包括

第 3 电容元件, 连接在上述第 5 晶体管的第 2 电极和上述基准电源线之间;

第 4 电容元件, 连接在上述第 6 晶体管的第 2 电极和上述基准电源线之间。

8. 根据权利要求5或权利要求6所述的显示装置, 其特征在于:
上述第n个基本电路, 包括

第11晶体管, 连接在上述第1晶体管的第2电极和上述第3晶体管的控制电极之间;

第12晶体管, 连接在上述第2晶体管的第2电极和上述第4晶体管的控制电极之间,

上述第11晶体管和上述第12晶体管的控制电极被施加预定的电位。

9. 根据权利要求6所述的显示装置, 其特征在于:

上述第n个基本电路, 包括

第11晶体管和第12晶体管, 连接在上述第1晶体管的第2电极和上述第3晶体管的控制电极之间;

第13晶体管和第14晶体管, 连接在上述第2晶体管的第2电极和上述第4晶体管的控制电极之间,

上述第11晶体管和上述第13晶体管的控制电极被施加上述第1扫描方向控制信号,

上述第12晶体管和上述第14晶体管的控制电极被施加上述第2扫描方向控制信号。

10. 根据权利要求9所述的显示装置, 其特征在于:

上述第n个基本电路, 包括

第3电容元件, 连接在上述第5晶体管的第2电极和上述基准电源线之间;

第4电容元件, 连接在上述第6晶体管的第2电极和上述基准电源线之间。

11. 根据权利要求5或权利要求6所述的显示装置, 其特征在于:

上述公用电极驱动电路, 第奇数个基本电路或第偶数个基本电路中的一者, 由上述第n个基本电路构成, 上述第奇数个基本电路或第偶数个基本电路中的另一者, 由在上述第n个基本电路中调换了上述第1输入信号和上述第2输入信号的关系的电路构成, 或由在上述第

n 个基本电路中调换了上述第 1 电源电压和上述第 2 电源电压的关系的电路构成。

12. 一种显示装置，其特征在于：

包括多个像素和公用电极驱动电路，

上述公用电极驱动电路包括 k 个基本电路，其中 $k \geq 2$ ，

第 n 个基本电路，其中 $1 \leq n \leq k$ ，包括

第 1 晶体管，其第 1 电极被施加第 1 输入信号，控制电极被施加第 (n-1) 条扫描线选择信号；

第 2 晶体管，其第 1 电极被施加第 2 输入信号，控制电极连接在上述第 1 晶体管的控制电极上；

第 3 晶体管，其控制电极连接在上述第 1 晶体管的第 2 电极上，第 1 电极连接在输出端子上，并且，第 2 电极被施加第 1 电源电压；

第 4 晶体管，其控制电极连接在上述第 2 晶体管的第 2 电极上，第 2 电极连接在上述输出端子上，并且，第 1 电极被施加第 2 电源电压；

第 5 晶体管，其控制电极连接在上述第 1 晶体管的第 2 电极上，第 1 电极被施加第 n 条扫描线选择信号；

第 1 电容元件，连接在上述第 1 晶体管的第 2 电极和上述第 5 晶体管的第 2 电极之间；以及

第 6 晶体管，其控制电极连接在上述第 1 晶体管的控制电极上，第 1 电极连接在提供基准电位的基准电源线上，第 2 电极连接在上述第 5 晶体管的第 2 电极上，

在上述第 (n-1) 条扫描线选择信号从第 1 电压电平变为使上述第 1 晶体管和上述第 2 晶体管导通的第 2 电压电平之后，且上述第 (n-1) 条扫描线选择信号从上述第 2 电压电平返回到上述第 1 电压电平之前，上述第 1 输入信号和上述第 2 输入信号中的一者从上述第 1 电压电平变为上述第 2 电压电平，

在上述第 n 条扫描线选择信号从上述第 1 电压电平变为上述第 2 电压电平之后，且上述第 n 条扫描线选择信号从上述第 2 电压电平返

回到上述第 1 电压电平之前, 上述第 1 输入信号和上述第 2 输入信号中的上述一者或另一者从上述第 1 电压电平变为上述第 2 电压电平,

当上述第 1 输入信号是上述第 2 电压电平时, 上述第 2 输入信号是上述第 1 电压电平; 当上述第 2 输入信号是上述第 2 电压电平时, 上述第 1 输入信号是上述第 1 电压电平。

13. 一种显示装置, 其特征在于:

包括多个像素和公用电极驱动电路,

上述公用电极驱动电路包括 k 个基本电路, 其中 $k \geq 2$,

第 n 个基本电路, 其中 $1 \leq n \leq k$, 包括

第 1 晶体管, 其第 1 电极被施加第 1 输入信号;

第 2 晶体管, 其第 1 电极被施加第 2 输入信号, 控制电极连接在上述第 1 晶体管的控制电极上;

第 3 晶体管, 其控制电极连接在上述第 1 晶体管的第 2 电极上, 第 1 电极连接在输出端子上, 并且, 第 2 电极被施加第 1 电源电压;

第 4 晶体管, 其控制电极连接在上述第 2 晶体管的第 2 电极上, 第 2 电极连接在上述输出端子上, 并且, 第 1 电极被施加第 2 电源电压;

第 5 晶体管, 其控制电极连接在上述第 1 晶体管的第 2 电极上, 第 1 电极被施加第 n 条扫描线选择信号;

第 1 电容元件, 连接在上述第 1 晶体管的第 2 电极和上述第 5 晶体管的第 2 电极之间;

第 6 晶体管, 其控制电极连接在上述第 1 晶体管的控制电极上, 第 1 电极连接在提供基准电位的基准电源线上, 并且, 第 2 电极连接在上述第 5 晶体管的第 2 电极上;

第 7 晶体管, 其第 1 电极被施加在第 1 扫描方向时为第 $(n-1)$ 条的扫描线选择信号, 控制电极被施加第 1 扫描方向控制信号, 并且, 第 2 电极连接在上述第 1 晶体管的控制电极上; 以及

第 8 晶体管, 其第 1 电极被施加在方向与上述第 1 扫描方向相反的第 2 扫描方向时为第 $(n-1)$ 条的扫描线选择信号, 控制电极被施

加第2扫描方向控制信号,并且,第2电极连接在上述第1晶体管的控制电极上,

在上述第 $(n-1)$ 条扫描线选择信号从第1电压电平变为使上述第1晶体管和上述第2晶体管导通的第2电压电平之后,且上述第 $(n-1)$ 条扫描线选择信号从上述第2电压电平返回到上述第1电压电平之前,上述第1输入信号和上述第2输入信号中的一者从上述第1电压电平变为上述第2电压电平,

在上述第 n 条扫描线选择信号从上述第1电压电平变为上述第2电压电平之后,且上述第 n 条扫描线选择信号从上述第2电压电平返回到上述第1电压电平之前,上述第1输入信号和上述第2输入信号中的上述一者或另一者从上述第1电压电平变为上述第2电压电平,

当上述第1输入信号是上述第2电压电平时,上述第2输入信号是上述第1电压电平;当上述第2输入信号是上述第2电压电平时,上述第1输入信号是上述第1电压电平。

14. 根据权利要求12或权利要求13所述的显示装置,其特征在于:

上述第 n 个基本电路,包括连接在上述第5晶体管的第2电极和上述基准电源线之间的第3电容元件。

15. 根据权利要求12或权利要求13所述的显示装置,其特征在于:

上述第 n 个基本电路,包括连接在上述第1晶体管的第2电极和上述第3晶体管的控制电极之间的第9晶体管,

上述第9晶体管的控制电极被施加预定的电位。

16. 根据权利要求13所述的显示装置,其特征在于:

上述第 n 个基本电路,包括连接在上述第1晶体管的第2电极和上述第3晶体管的控制电极之间的第9晶体管和第10晶体管,

上述第9晶体管的控制电极被施加上述第1扫描方向控制信号,

上述第10晶体管的控制电极被施加上述第2扫描方向控制信号。

17. 根据权利要求16所述的显示装置,其特征在于:

上述第 n 个基本电路，包括连接在上述第 5 晶体管的第 2 电极和上述基准电源线之间的第 3 电容元件。

18. 根据权利要求 12 或权利要求 13 所述的显示装置，其特征在于：

上述公用电极驱动电路，第奇数个基本电路或第偶数个基本电路中的一者由上述第 n 个基本电路构成，上述第奇数个基本电路或第偶数个基本电路中的另一者，由在上述第 n 个基本电路中调换了上述第 1 输入信号和上述第 2 输入信号的关系的电路构成，或者由在上述第 n 个基本电路中调换了上述第 1 电源电压和上述第 2 电源电压的关系的电路构成。

19. 根据权利要求 5、6、12、13 中的任一项所述的显示装置，其特征在于：

上述第 n 个基本电路，包括

第 15 晶体管，其控制电极连接在上述第 1 晶体管的第 2 电极上，第 2 电极连接在上述第 2 晶体管的第 2 电极上，并且，第 1 电极连接在上述基准电源线上，

第 16 晶体管，其控制电极连接在上述第 2 晶体管的第 2 电极上，第 2 电极连接在上述第 1 晶体管的第 2 电极上，并且，第 1 电极连接在上述基准电源线上。

20. 根据权利要求 5、6、12、13 中的任一项所述的显示装置，其特征在于：

上述第 n 条扫描线选择信号，经由二极管元件施加给上述第 5 晶体管的第 1 电极。

显示装置

技术领域

本发明涉及显示装置，尤其涉及具有每行独立地进行公共交流驱动的方式的公用电极驱动电路的显示装置。

背景技术

目前，TFT（Thin Film Transistor）方式的液晶显示模块广泛应用于个人笔记本电脑中。尤其是，具有小型液晶显示板的液晶显示模块，被用作例如便携电话等日常携带的便携设备的显示装置。

一般地，当液晶层长时间地被施加相同的电压（直流电压）时，液晶层的倾斜会被固定，结果引起余像现象，从而缩短液晶层的寿命。

为了防止这种情况，在液晶显示模块中，将施加给液晶层的电压每隔一定时间进行交流化，即，以施加在公共电极（也称公用电极）上的电压为基准，使施加在像素电极上的电压每隔一定时间变化到正电压侧/负电压侧。

作为对该液晶层施加交流电压的驱动方法，存在使施加在公共电极上的电压交替地反转为高电位侧、低电位侧的2个电位的公共反转方法，作为该公共反转法之一，使施加给公共电极的电压每行独立地进行交流化的驱动方法记载于下面的专利文献1中。

上述的专利文献1中记载的每行独立地进行公共交流驱动的方式，使用IPS（In Plane Switching）液晶显示板，使施加在各个显示行的公共电极上的电压每行独立地进行交流化，按照这种驱动方法，能够降低提供给扫描线的栅极电压的电压幅值。

与本发明相关的在先技术文献如下。

【专利文献1】日本特开2001-194685号公报。

发明内容

在专利文献1中记载了使用CMOS电路构成的驱动电路,作为对公共电极使用上述每行独立的交流驱动方式进行驱动的公用电极驱动电路,但是,CMOS电路存在制造工序增加这样的问题。

为解决这个问题,使用单沟道电路构成上述用于以每行独立地进行公共交流驱动的方式来驱动公共电极的公用电极驱动电路。

图18是表示在本发明申请之前,本申请人所考虑的用于以每行独立地进行公共交流驱动的方式驱动的单沟道电路结构的公用电极驱动电路的电路图。图18所示的公用电极驱动电路,使用n型MOS晶体管作为晶体管,另外,图19是图18所示的公用电极驱动电路的时序图。

图18所示的公用电极驱动电路具有多个基本电路,该基本电路,在当扫描线选择信号从高电平向低电平变化的时刻,晶体管T1锁存交流化信号M,晶体管T2锁存反转交流化信号MB。

在此,如图19所示,由于交流化信号M和反转交流信号MB具有180度相位差,所以节点ND1和节点ND2必定是一者为高电平,另一者为低电平。

通过成为高电平的节点,使晶体管T3或晶体管T4处于导通状态,由此,当节点ND1为高电平时,在输出OUT输出正极性的公用电压VCOMH,当节点ND2为高电平时,输出端子OUT输出负极性的公用电压VCOML。

以下,使用图19所示的时序图,对图18所示的公用电极驱动电路的动作进行详细的说明。

(1)扫描线选择信号SR(n)之前的第2条扫描线选择信号SR(n-2)为高电平时,晶体管T21和晶体管T22导通,节点ND1和节点ND1复位,即被置为低电平。

同样,扫描线选择信号SR(n-2)为高电平时,晶体管T23和晶体管T24导通,节点ND4和节点ND5复位。

(2)扫描线选择信号SR(n)的前一条扫描线选择信号SR(n-1)

为高电平时，晶体管 T1 和晶体管 T2 导通，节点 ND1 和节点 ND2 被锁存为交流化信号 M 和反转交流信号 MB 的电位。

同样地，扫描线选择信号 SR (n-1) 为高电平时，晶体管 T7 和晶体管 T8 导通，节点 ND4 和节点 ND5 被复位。

(3) 扫描线选择信号 SR (n) 为高电平时，由于晶体管 T5、T6 及电容 Cbs1、Cbs2 引起的自举效应，前一条扫描线选择信号 SR(n-1) 为高电平时，被置于高电平的节点 ND1 或节点 ND2 的电压进一步升高。

利用以上的动作，能够各行独立地交流驱动多个公共电极。

在图 18 所示的电路中，电容 Cs1 和电容 Cs2 是用于使节点 ND1 和节点 ND2 稳定的负载电容元件，晶体管 T9、T10 是用于在节点 ND1 和 ND2 中的一者为高电平时，使另一者为低电平的晶体管。

但是，图 18 所示的公用电极驱动电路，需要用于使节点复位的晶体管 T21 ~ T24，因此存在构成电路的晶体管增加、电路结构复杂这样的问题。

本发明就是为了解决上述现有技术的问题而做出的，本发明的优点在于，提供一种具有单沟道结构的公用电极驱动电路的显示装置，该单沟道结构的公用电极驱动电路与以往的相比，可以不增加元件数量且能减小电路规模。

本说明书的上述优点和其它优点以及新的特征，将通过本说明书的记载及其附图而得到明确。

下面，简单说明本申请所公开的发明中有代表性的发明的概要。

为实现上述课题，本发明提供一种显示装置，其特征在于：包括多个像素和公用电极驱动电路，上述公用电极驱动电路包括多个基本电路，上述基本电路，包括第 1 电路，在时钟信号从第 2 电压电平向第 1 电压电平变化的时刻，锁存第 1 输入信号；第 2 电路，在上述时钟信号从第 2 电压电平向第 1 电压电平变化的时刻，锁存第 2 输入信号；第 1 开关电路，基于由第 1 电路所锁存的电压进行开关，在导通状态下将第 1 电源电压输出到输出端子；以及第 2 开关电路，基于由

第2电路所锁存的电压进行开关,在导通状态下将第2电源电压输出到输出端子,当上述第1输入信号为上述第2电压电平时,上述第2输入信号为上述第1电压电平,当上述第2输入信号为上述第2电压电平时,上述第1输入信号为上述第1电压电平,在上述时钟信号从上述第1电压电平变为上述第2电压电平之后,上述时钟信号从上述第2电压电平返回到上述第1电压电平之前,上述第1输入信号和上述第2输入信号中的一者从上述第1电压电平变为上述第2电压电平。

下面,简单说明利用本申请所公开的发明中有代表性的显示装置得到的效果。

按照本发明,可以提供一种具有单沟道结构的公共电极驱动电路,该单沟道结构的公共电极驱动电路与以往技术相比,能够不增加器件数量,且能减小电路规模。

附图说明

图1是表示本发明的实施例的有源矩阵型液晶显示装置的等效电路的电路图。

图2A是用于说明本发明的公用电极驱动电路的原理的电路图。

图2B是用于说明本发明的公用电极驱动电路的原理的电路图。

图3是表示图1所示的垂直驱动电路的一例的内部结构的框图。

图4是表示本发明的实施例的公用电极驱动电路的基本电路的电路图。

图5是图4所示的公用电极驱动电路的时序图。

图6是表示图4所示的公用电极驱动电路的变形例的电路图。

图7是表示图4所示的公用电极驱动电路的变形例的电路图。

图8是表示图4所示的公用电极驱动电路的变形例的电路图。

图9是图8所示的公用电极驱动电路的时序图。

图10是表示图8所示的公用电极驱动电路的变形例的电路图。

图11是表示图1所示的垂直驱动电路的其它例子的内部结构的框图。

图 12 是表示图 8 所示的公用电极驱动电路的变形例的电路图。

图 13 是图 8 所示的公用电极驱动电路的变形例的电路图。

图 14 是表示图 13 所示的公用电极驱动电路的变形例的电路图。

图 15 是将图 8 所示的公用电极驱动电路按各公共线设置，并使用行反转驱动方法进行驱动时的时序图。

图 16 是将图 8 所示的公用电极驱动电路按各公共线设置，并使用帧反转驱动方法进行驱动时的时序图。

图 17 是将图 8 所示的公用电极驱动电路按各公共线设置，并使用帧反转驱动方法进行驱动时的变形例的框图。

图 18 是表示在本申请发明前，本申请人所考虑的用于以每行独立地进行公共交流驱动的方式进行驱动的单沟道电路结构的公用电极驱动电路的电路图。

图 19 是图 18 所示的公用电极驱动电路的时序图。

具体实施方式

以下，参照附图，详细说明将本发明应用于有源矩阵型液晶显示装置的实施例。

在用于说明实施例的所有附图中，对具有相同功能的部分添加相同的标记，省略其反复的说明。

图 1 是表示本发明的实施例的有源矩阵型液晶显示装置的等效电路的电路图。

如图 1 所示，本实施例的有源矩阵型液晶显示装置为使用 IPS (In Plane Switching) 液晶显示板的有源矩阵型液晶显示装置。在隔着液晶彼此相对配置的一对基板的一个基板的液晶面上，有在 x 方向延伸的 n 条栅极线 (X1, X2, ..., Xn)，和在 x 方向延伸的 n 条公共线 (CM1, CM2, ..., CMn) 以及在与 X 方向交叉的 y 方向延伸的 m 条漏极线 (Y1, Y2, ..., Ym)。

以栅极线 (也称为扫描线) 和漏极线 (也称为图像线) 包围的区域为像素区域，在一个像素区域上，设置有栅极与栅极线连接、漏极

(或者是源极)与漏极线连接、源极(或者是漏极)与像素电极连接的薄膜晶体管 T_{nm} 。另外,在像素电极和公共线(也称为公用电极)之间设置有液晶电容(C_{nm})。

在像素电极和公共线(C_{m1} , C_{m2} , ..., C_{mn})之间还设置有保持电容,但是在图1中省略了其图示。

各栅极线(X_1 , X_2 , ..., X_n)与垂直驱动电路 XDV 连接,由垂直驱动电路 XDV 将栅极信号依次提供给栅极线 X_1 至栅极线 X_n 。

各公共线(C_{m1} , C_{m2} , ..., C_{mn})与垂直驱动电路 XDV 连接,由垂直驱动电路 XDV 以与栅极信号相同的时序,依次切换施加在公共线 CM_1 至公共线 CM_n 上的电压的极性,进行交流驱动。

各漏极线(Y_1 , Y_2 , ..., Y_m)与开关元件(S_1 , S_2 , ..., S_m)的漏极(或源极)连接。

开关元件(S_1 , S_2 , ..., S_m)的源极(或漏极)与图像信号线(DATA)连接,栅极与水平驱动电路 YDV 连接,水平驱动电路 YDV 对开关元件 S_1 至开关元件 S_m 依次进行扫描。

本发明涉及垂直驱动电路 XDV 内的公用电极驱动电路。

在本发明中,SW1 和 SW2 这两个开关元件如图 2A 所示那样构成。

开关元件 SW1 和开关元件 SW2 使用 nMOS-TFT (nMOS 薄膜晶体管),在时钟信号 CLK 从高电平切换为低电平时,开关元件 SW1 锁存输入信号 IN 的电压。

该被锁存的电压在时钟信号 CLK 为低电平时被保持,被锁存的电压为高电平时,开关元件 SW2 变为导通状态,作为输出 OUT 提供电压 VDC。

本发明的公用电极驱动电路如图 2B 所示,由两组图 2A 所示的电路做成基本电路。时钟 CLK 为高电平时,第 1 输入信号 IN_1 和第 2 输入信号 IN_2 同时为高电平是被禁止的。

图 3 是表示图 1 所示的垂直驱动电路 XDV 的内部结构的框图,在图 3 中,10 为扫描线驱动电路,CA1, CA2, ..., CA_n 是公用电极驱动电路。

如图3所示,对每条栅极线设置本发明的公用电极驱动电路CA1, CA2, ..., Can。

图4是表示本实施例中的公用电极驱动电路(CA1, CA2, ..., CAn)的基本电路的电路图,是用nMOS-TFT构成图2B所示的电路的电路图。

在图4中,SRn是从扫描线驱动电路10输出的第n条扫描线选择信号,M和MB是交流化信号。另外,VCOMH是提供给公共线的正极性的公用电压,VCOML是提供给公共线的负极性的公用电压。

交流化信号M、MB和扫描线选择信号SRn的高电平比正极性的公用电压VCOMH高,低电平比负极性的公用电压VCOML低。

因此,在扫描线选择信号SRn为高电平、交流化信号M为低电平、交流化信号MB为高电平时,节点ND1为高电平,节点ND2为低电平,由于保持1帧的期间,因此作为输出OUT,在1帧的期间,输出正极性的公用电压VCOMH。

另外,在扫描线选择信号SRn为高电平、交流化信号M为高电平、交流化信号MB为低电平时,节点ND1为低电平,节点ND2为高电平,由于保持1帧的期间,所以作为输出OUT,在1帧的期间,输出负极性的公用电压VCOML,因此施加在公共线上的公用电压可以进行交流化。

并且,如图3所示,通过对每条栅极线设置公用电极驱动电路CA1, CA2, ..., Can,能够以栅极线写入的时序,独立地设定分别施加在公共线上的公用电压,进行交流化。

在图4的结构中,交流化信号M为高电平,输出OUT为负极性公用电压VCOML,对液晶进行正写入,但是根据写入结构,也可以分别调换输入交流化信号M、MB或者公用电压VCOMH、VCOML。

在图4所示的公用电极驱动电路CA1, CA2, ..., Can中,切换节点ND1和节点ND2的状态进行交流化,但在将节点ND1从高电平切换到低电平,将节点ND2从低电平切换到高电平时,或是反过来变化时,在切换的瞬间,有可能会存在节点ND1和节点ND2都为高

电平的时间。

也就是说,晶体管 Tr3 和晶体管 Tr4 有可能会同时处于导通状态,此时,提供正极性的公用电压 VCOMH 的端子和共用负极性的公用电压 VCOML 的端子短接,导致穿透电流流过。

因此,输入如图 5 的时序图所示的时序的时钟信号,作为扫描线选择信号 SRn 和交流化信号 M、MB。

即,在扫描线选择信号 SRn 为高电平时,采用在初始的一定期间内,交流化信号 M、MB 都为低电平这样的时序关系,由此能够使图 4 的 ND1 和节点 ND2 为低电平,并能使晶体管 Tr3 和晶体管 Tr4 暂时处于截止状态。

之后,通过使交流化信号 M 或交流化信号 MB 变为高电平,能使晶体管 Tr3 或晶体管 Tr4 只有一个导通,从而能安全地切换施加在公共线上的公用电压。

在图 5 中,优选的是扫描线选择信号 SRn 的下降比交流化信号 M、MB 的下降早。在扫描线选择信号 SRn 的下降与交流化信号 M、MB 的下降同时进行,或者迟于交流化信号 M、MB 的下降的情况下,在扫描线选择信号 SRn 下降时,节点 ND1 和 ND2 有可能都为低电平。即便在这种情况下,因为输出 OUT 被保持,所以不会妨碍电路的动作。但是,在节点 ND1、ND2 都为低电平的状态下,输出 OUT 容易发生变动。因此,通过使扫描线选择信号 SRn 的下降早于交流化信号 M、MB 的下降,能够使节点 ND1、ND2 只有一个为高电平。因此,能够谋求稳定的输出 OUT。

节点 ND1 和节点 ND2 为浮置节点(floating node)。为了使提供公用电压的晶体管 Tr3 或晶体管 Tr4 在一定时间内保持导通状态,需要将节点 ND1 或节点 ND2 保持为高电平。

因此,如图 6 所示,在节点 ND1、ND2(或者晶体管 Tr1、Tr2 的漏极)和提供基准电压 VSS 的基准电源线之间连接保持电容 Cs1 和 Cs2,从而能够稳定节点 ND1、ND2 的电压。

如上所述,当节点 ND1 和 ND2 同时为高电平时,在提供正极性

的公用电压 VCOMH 的端子和提供负极性的公用电压 VCOML 的端子之间流过穿透电流。

因为节点 ND1 和节点 ND2 为浮置节点，所以容易受到噪声的干扰。采用如图 6 所示的电路结构，可以减少噪声的干扰，但是，一旦电压发生变化，就不会产生效果。

因此，如图 7 所示，通过设置斜向交叉的晶体管 Tr5 和晶体管 Tr6 后，能够在节点 ND1 和 ND2 中的一者为高电平时，使另一者总是为低电平。基准电压 VSS 为与交流化信号 M、MB 的低电平相当的电压。

在这种结构中，当节点 ND1 和节点 ND2 同时为高电平时，从提供交流化信号 MB 的端子经由晶体管 Tr1、Tr6 流过穿透电流，或者从提供交流化信号 M 的端子经由晶体管 Tr2、Tr5 流过穿透电流，因此，在节点 ND1 和节点 ND2 的状态切换中，图 5 所示的时序关系是有效的。

在图 4 所示的电路结构中，将交流化信号 MB 的高电平写入节点 ND1 时，实际上是将交流化信号 MB 的高电平减去阈值电压 V_{th} 后的电压写入到节点 ND1。

输出 OUT 的高电平（施加在公共线上的正极性的共用电压 VCOMH 的高电平）是从节点 ND1 的高电平减去阈值电压 V_{th} 后的电压，该电压最大。

因此，交流化信号 M、MB 的高电平最小也需要是在施加于公共线的正极性的公用电压 VCOMH 的高电平上再加 2 倍阈值电压后的电压。

实际上，在保持状态下，从电荷的减少导致的电压下降和写入特性的问题出发，需要比其高得多的电压。

因此，将设置了利用自举效应的升压电路的公用电极驱动电路示于图 8。另外，图 9 是图 8 所示的公用电极驱动电路的时序图。

在图 8 中， $SR(n-1)$ 是第 n 条扫描线选择信号 SR_n 的前一条扫描线选择信号，该扫描线选择信号 $SR(n-1)$ 从图 3 所示的扫描线驱动电路 10 输出。

利用图 9 所示的时序图，对图 8 所示的公用电极驱动电路的动作进行简单的说明。

前一条扫描线选择信号 $SR(n-1)$ 为高电平，节点 ND1 和节点 ND2 一旦取入低电平而复位后，就取入交流化信号 M、MB 的状态，并且，使晶体管 TrA 和晶体管 TrB 导通，由此节点 ND4 和节点 ND5 的电压变为基准电压 VSS，这样，电容元件 Cbs1 和电容元件 Cbs2 被交流化信号 M、MB 的电压充电。

在这个状态下，前一条扫描线选择信号 $SR(n-1)$ 变为低电平，节点 ND1、ND2、ND4、ND5 变为电压的保持状态。

接着，当第 n 条扫描线选择信号 SR_n 变为高电平时，节点 ND3 经由进行了二极管连接的晶体管 Tr7，被写入高电平（实际上是减少了阈值电压 V_{th} 后的电压）。

因此，当节点 ND1 为高电平、节点 ND2 为低电平时，晶体管 Tr8 导通，晶体管 Tr9 截止，因此节点 ND5 保持低电平，仅节点 ND4 被写入高电平。

因此，经由电容元件 Cbs1，通过自举效应，节点 ND1 的电压上升。晶体管 Tr8 因节点 ND1 的电压上升而完全导通，因此节点 ND1 的电压达到最大，升高从第 n 条扫描线选择信号 SR_n 的高电平减去了阈值电压后的电压。

由于节点 5 不发生变动，所以节点 2 的电压不会发生变动，保持在低电平。

还可以省略对将负极性的公用电压 VCOML 输出到输出 OUT 的晶体管 Tr4 进行控制的节点 ND2 侧的晶体管 Tr9、TrB、电容元件 Cbs2。

节点 ND1、ND2、ND4、以及 ND5 是浮置节点。因此，节点 ND1、ND2 通过电容元件 Cbs1、Cbs2 直接受到节点 ND4、ND5 的电压变动的的影响。

因此，如图 10 所示，在节点 ND4、ND5（或者是晶体管 Tr8 和 Tr9 的漏极）与提供基准电压 VSS 的基准电压线之间连接负载电容 Cs1、Cs2，由此，能够使节点 ND1、ND2 的电压变得稳定。也可以

省略负载电容 C_{s2} 。

在图 8 所示的公用电极驱动电路中,当前一条扫描线选择信号 $SR(n-1)$ 为高电平时,交流化信号 M 、 MB 的电压写入节点 $ND1$ 、 $ND2$,节点 $ND4$ 、 $ND5$ 的电压变为基准电压 VSS 。

前一条扫描线选择信号 $SR(n-1)$,从图 3 所示的扫描线驱动电路 10 输出。扫描线驱动电路 10 的输出,与栅极线 $X1, X2, \dots, Xn$ 连接,因此容易受到漏极线 $Y1, Y2, \dots, Ym$ 的电压变动的的影响。

由于受到电压变动的的影响,因此扫描线驱动电路 10 的输出节点的电压瞬间升高,晶体管 $Tr1$ 、 $Tr2$ 、 TrA 及 TrB 有可能导通。

进而,由于节点 $ND1$ 、 $ND2$ 、 $ND4$ 及 $ND5$ 是浮置节点,因此容易受到噪声的影响,保持的电荷将因上述的电压变动,或受到电压反复变动的的影响而失去,上述情况有可能引起误动作。

因此,如图 11 所示,分配扫描线驱动电路 10 的输出端子,使 $X1', X2', \dots, Xn'$ 与栅极线 $X1, X2, \dots, Xn$ 独立,从而难以受到电压变化的影响,能够防止误操作。

另外,关于提供第 n 条扫描线选择信号 SRn 的端子,可以认为在稳定状态下,节点 $ND3$ 为高电平,因此,晶体管 $Tr7$ 使得节点 $ND3$ 几乎不受到提供第 n 条扫描线选择信号 SRn 的端子的电压变化的影响,因此不会出现问题。

在图 8 所示的公用电极驱动电路中,节点 $ND1$ 、 $ND2$ 的电压由于自举效应,成为高于交流化信号 M 、 MB 的高电平的电压。因此,在晶体管 $Tr1$ 、 $Tr2$ 的源-漏极间产生高电压差,出现耐压的问题。

因此,如图 12 所示,在晶体管 $Tr1$ 的漏极和晶体管 $Tr3$ 的栅极间连接晶体管 TrE ,同样地,在晶体管 $Tr2$ 的漏极和晶体管 $Tr4$ 的栅极间连接晶体管 TrF 。

并且,在晶体管 TrE 、 TrF 的栅极施加预定的电压 VDD 。在此,使电压 VDD 与扫描线选择信号的高电平为相等的电压。也可以省略晶体管 TrF 。

这样,例如,即使节点 $ND1$ 由于自举效应变为高电压,节点 $ND7$

最大的电压也只能是电压 V_{DD} 减去阈值电压后的电压 ($V_{DD}-V_{th}$)。

因此,无论在哪个晶体管的源-漏之间,都不会出现交流化信号 M 、 MB 或扫描线选择信号的振幅以上的电压差。

而且,在将图 7 所示的晶体管 $Tr5$ 和晶体管 $Tr6$ 进行组合的情况下,将它们分别与节点 $ND7$ 、 $ND8$ 连接,对于晶体管 $Tr5$ 和晶体管 $Tr6$ 也能够得到上述的效果。

在图 8 所示的公用电极驱动电路中,如图 13 所示,在提供前一条扫描线选择信号 $SR(n-1)$ 的端子上设置方向控制开关,可以简单地实现双向化。

在图 13 所示的公用电极驱动电路中,假设存在正向和反向扫描,在正向扫描时, $SR(n-1)F$ 是第 n 条扫描线选择信号 SR_n 的前一个输出(在反向扫描时是后一个输出) $SR(n-1)$, $SR(n-1)R$ 是第 n 条扫描线选择信号 SR_n 的后一个输出(在反向扫描时是前一个输出) $SR(n+1)$ 。

扫描线选择驱动信号 $SR(n-1)F$ 、 $SR(n-1)R$,由图 3 所示的扫描线驱动电路 10 输出。

并且,在正向扫描时,将方向控制信号 DRF 置于高电平,将方向控制信号 DRR 置于低电平,由此晶体管 TrC 导通。在反向扫描时,将方向控制信号 DRR 置于高电平,将方向控制信号 DRF 置于低电平,由此晶体管 TrD 导通。因此,节点 $ND6$ 相对于扫描方向,总是被输入第 n 条扫描线选择信号 SR_n 的前一个扫描选择信号,因此能够实现双向化。

最好是,方向控制信号 DRF 、 DRR 的高电平比扫描线选择信号的高电平高,方向控制信号 DRF 、 DRR 的低电平比扫描线选择信号的低电平低。

在图 13 所示的公用电极驱动电路中,例如在正向扫描(方向控制信号 DRF 为高电平,方向控制信号 DRR 为低电平)的情况下,当扫描线选择信号 $SR(n-1)F$ 为高电平时,节点 $ND6$ 的电压也升高,在从方向控制信号 DRF 的高电平下降了阈值电压 (V_{th}) 后的电压下,

晶体管 TrC 成为截止状态，因此节点 ND6 成为浮置状态。

之后，例如，当交流化信号 M 为高电平（交流化信号 MB 为低电平）时，因晶体管 Tr1 的栅极电容而产生自举效应，节点 ND6 的电压上升。

这时，上升的电压，由晶体管 Tr1 的栅极电容与节点 ND6 的负载电容（晶体管 Tr2、TrA、TrB 的栅极电容或晶体管 TrD 的栅极截止电容等）的比值所确定。

因此，通过减小晶体管 TrA、TrB 的栅极电容或晶体管 TrC、TrD 的栅极截止电容，能得到更高的自举效应。

在图 13 所示的公用电极驱动电路中，节点 ND1、ND2 的电压由于自举效应，也成为比交流化信号 M、MB 的高电平高的电压。因此，在晶体管 Tr1、Tr2 的源极-漏极之间产生高电压差，出现耐压的问题。

为了解决这个问题，采用上述的图 12 所示的电路结构即可，但是，在双方向对应的电路结构的情况下，也可以如图 14 那样，使用方向控制信号。

在图 14 所示的公用电极驱动电路中，在晶体管 Tr1 的漏极和晶体管 Tr3 的栅极间连接晶体管 TrE 和晶体管 TrG，同样地，在晶体管 Tr2 的漏极和晶体管 Tr4 的栅极间连接晶体管 TrF 和晶体管 TrH。晶体管 TrF 和晶体管 TrH 也可以省略。

并且，在晶体管 TrE、TrF 的栅极施加方向控制信号 DRF，在晶体管 TrG、TrH 的栅极施加方向控制信号 DRR。

这样，可以防止在晶体管 Tr1 和晶体 Tr2 的源极-漏极之间产生高电压差。

在将图 7 所示的晶体管 Tr5 和晶体管 Tr6 进行组合的情况下，将它们分别与节点 ND7、ND8 连接，对于晶体管 Tr5 和晶体管 Tr6 也能够得到上述的效果。

在对各公共线设置图 8 所示的公用电极驱动电路的情况下，行反转驱动的时序图如图 15 所示，帧反转驱动的时序图如图 16 所示。

如图 16 所示，在这种电路结构的情况下，在帧反转驱动时，交

流化信号 M、MB 的频率是行反转驱动时的频率的 2 倍。

因此，将图 8 所示的公用电极驱动电路用作 CA，将调换施加交流化信号 M 的端子和施加交流化信号 MB 的端子的电路（与调换正极性公用电压 VCOMH 和负极性公用电压 VCOML 的电路等效）用作 CA'，例如，如图 17 所示，通过交替设置（n 为偶数），能够以图 15 所示的交流化信号 M、MB 的时序进行帧反转驱动。第奇数个用 CA，第偶数个用 CA'，当然，也可以相互调换。

在上面的说明中，对使用 n 型薄膜晶体管构成公用电极驱动电路的情况进行了说明，但本发明不只适用由 n 型薄膜晶体管构成的 MOS 单沟道结构，也可以是由 p 型薄膜晶体管构成的 pMOS 单沟道结构。这时，基准电压 VSS 为高电平，逻辑反转。

公用电压 VCOMH、VCOML 施加给在像素内形成的对置电极，在本说明书中，正极性的公用电压 VCOMH 的正极性，意思是电位高于施加在像素电极上的电压的一侧，与是否大于 0V 无关。同样地，负极性的公用电压 VCOML 的负极性，意思是电位低于施加在像素电极上的电压的一侧，与是否大于 0V 无关。

如上所述，按照本实施例，由于能够采用 n 型或 p 型单沟道元件结构构成电路，因此可以缩短制造工序。在此基础上，可以用一个电路实现双向化。进而，电路的规模能因元件（晶体管）的数量和信号路径的减少而缩小，从而能够提高成品率。

在上述的说明中，对使用 MOS（Metal Oxide Semiconductor）型 TFT 作为晶体管的情况进行了说明，但是，也可以使用普通的 MOS-FET 或 MIS（Metal Insulator Semiconductor）型 FET 等。

另外，在上述的说明中，对将本发明应用于液晶显示装置的实施例进行了说明，但本发明并不限于此，不言而喻，对于例如使用有机 EL 元件等的 EL 显示装置等也是适用的。

以上，基于上述实施例将本发明人完成的发明具体地进行了说明，但本发明不限于上述实施例，在不脱离本发明的主旨的范围内可以进行各种变更。

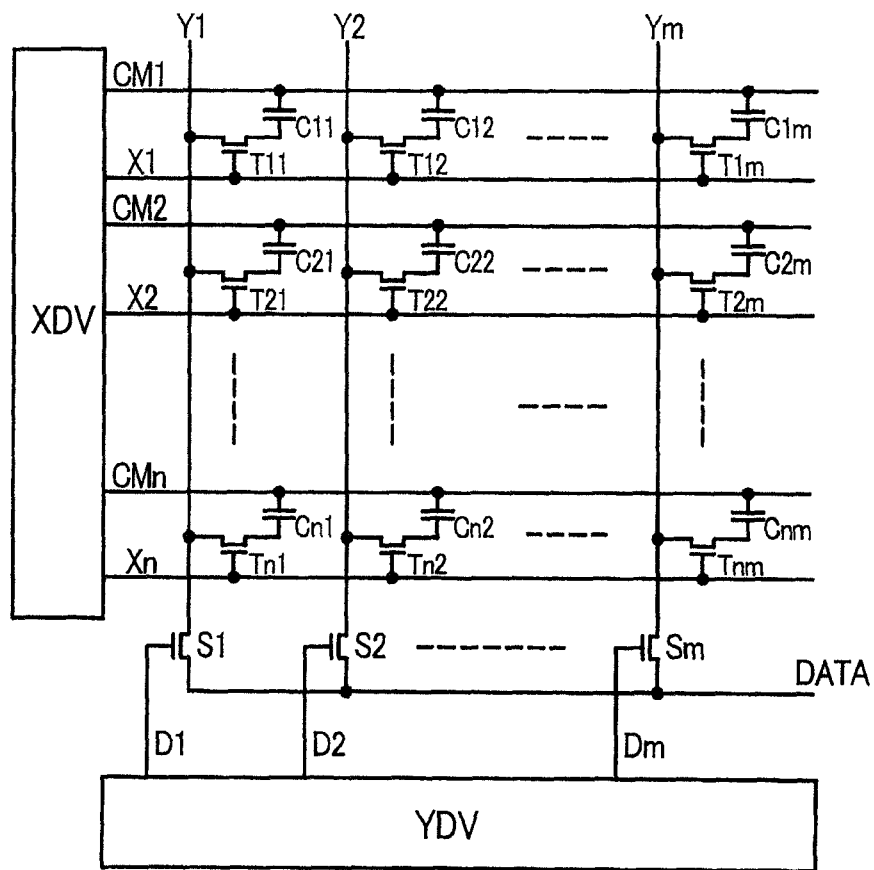


图 1

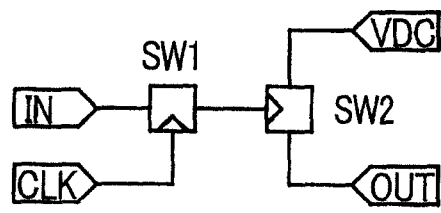


图 2A

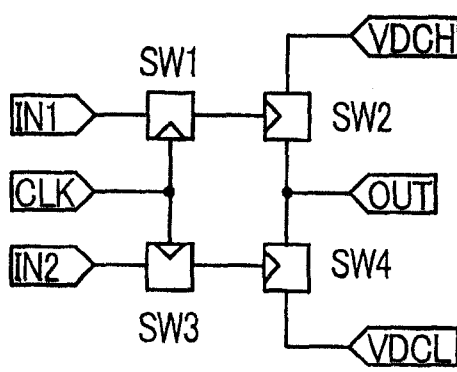


图 2B

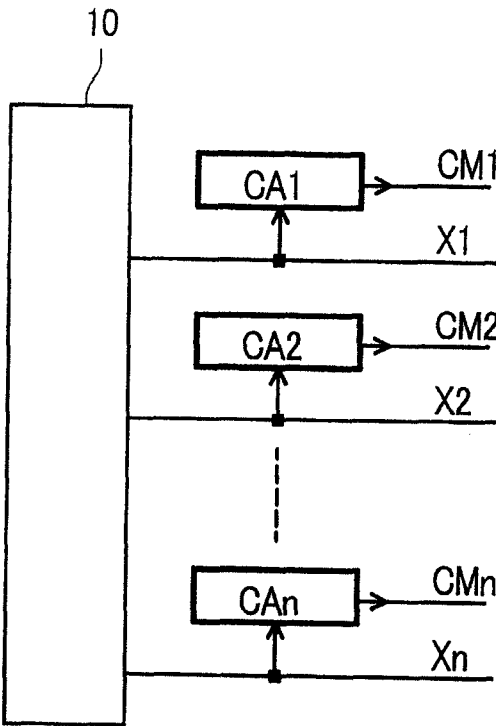


图 3

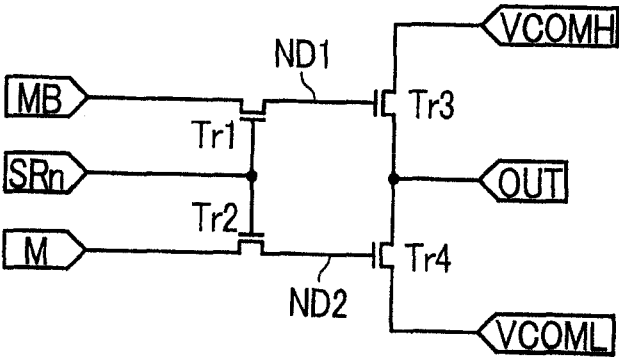


图 4

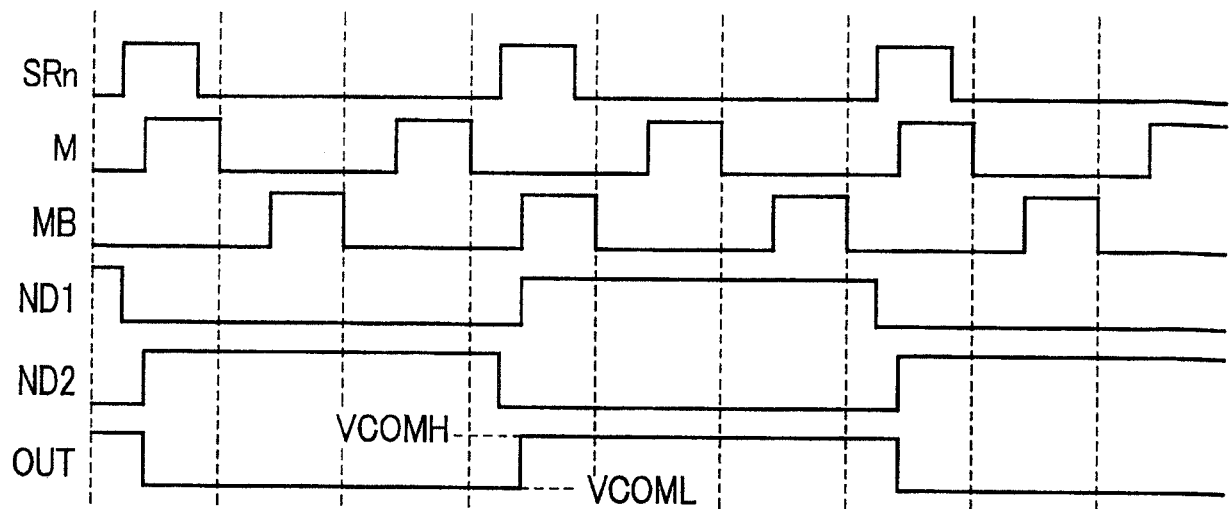


图 5

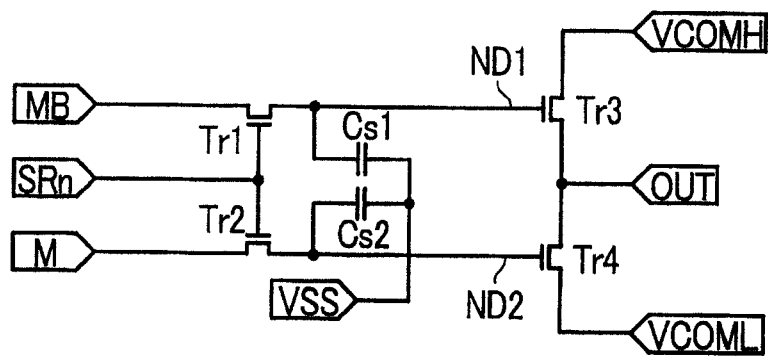


图 6

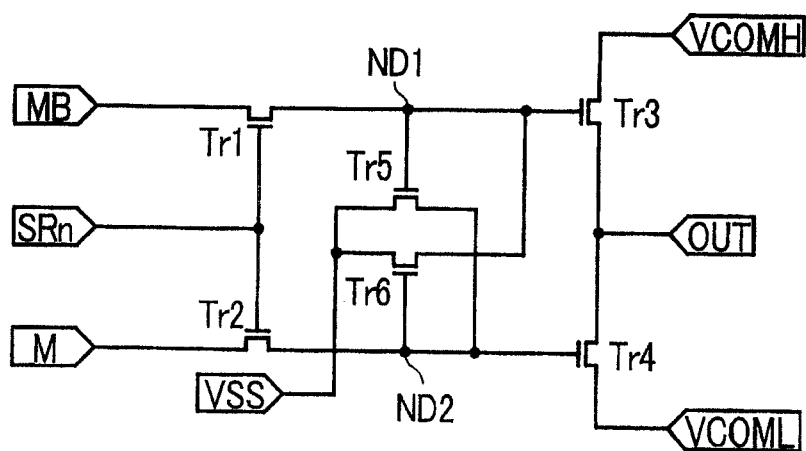


图 7

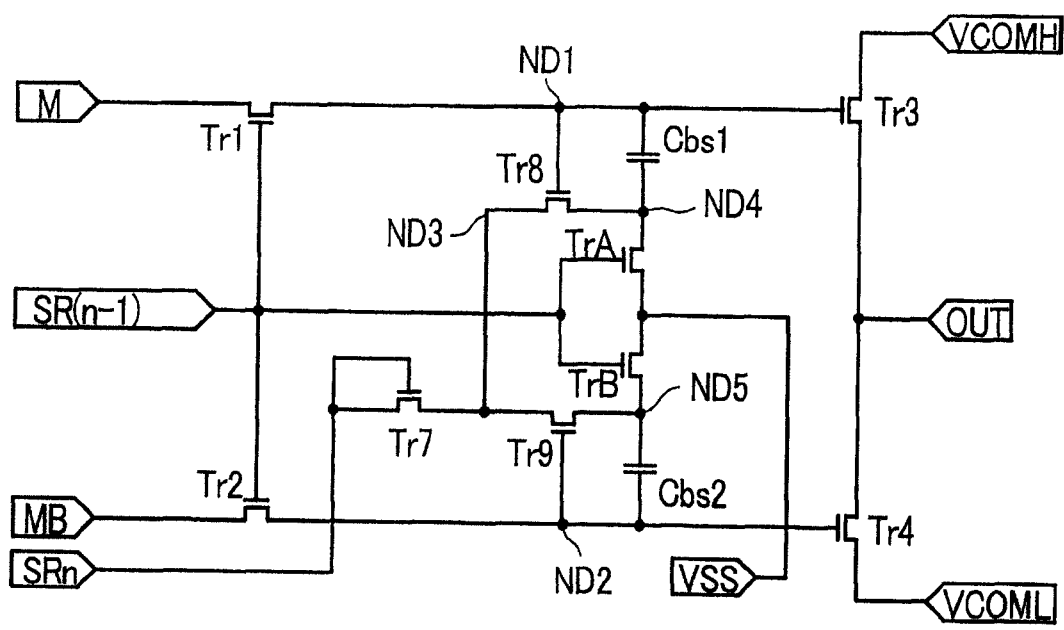


图 8

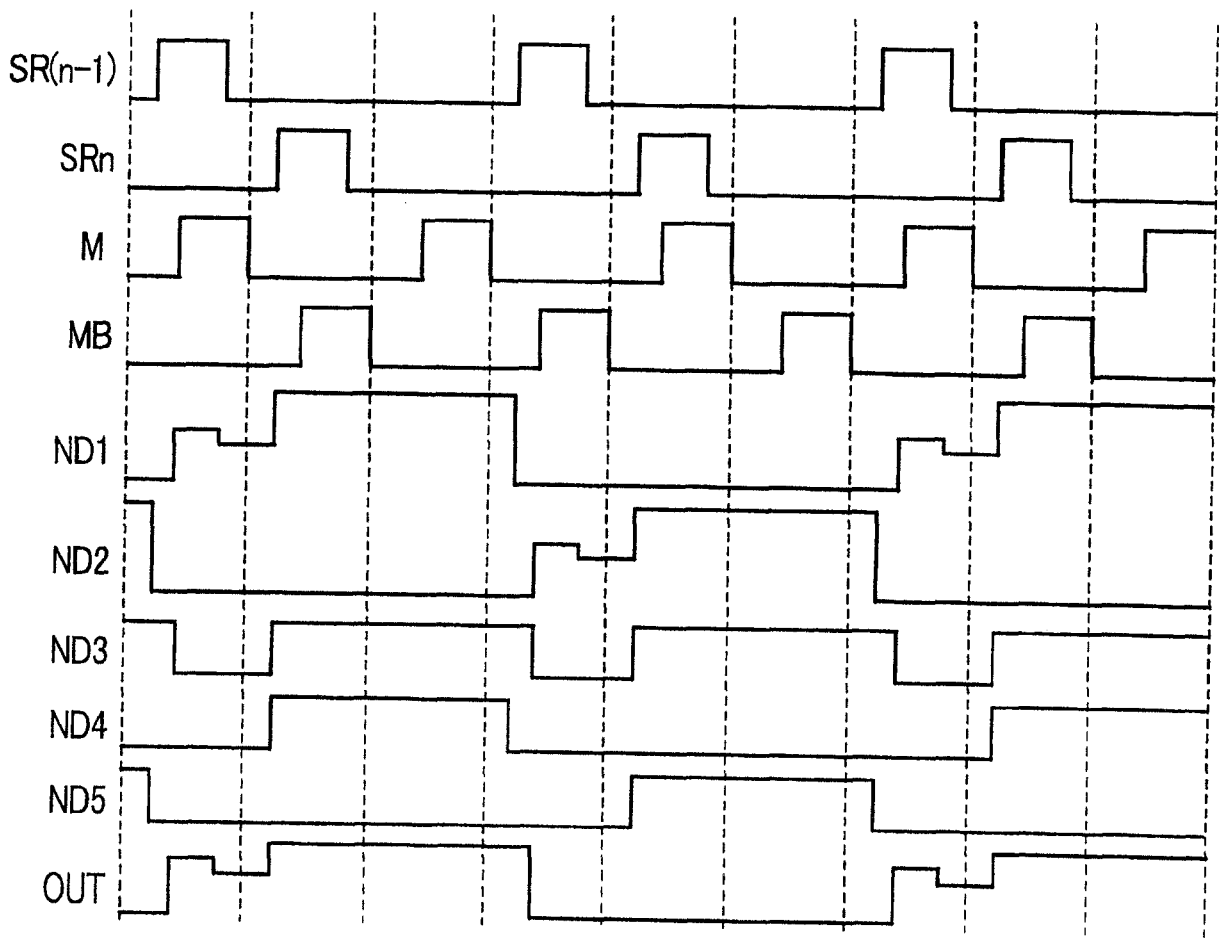


图 9

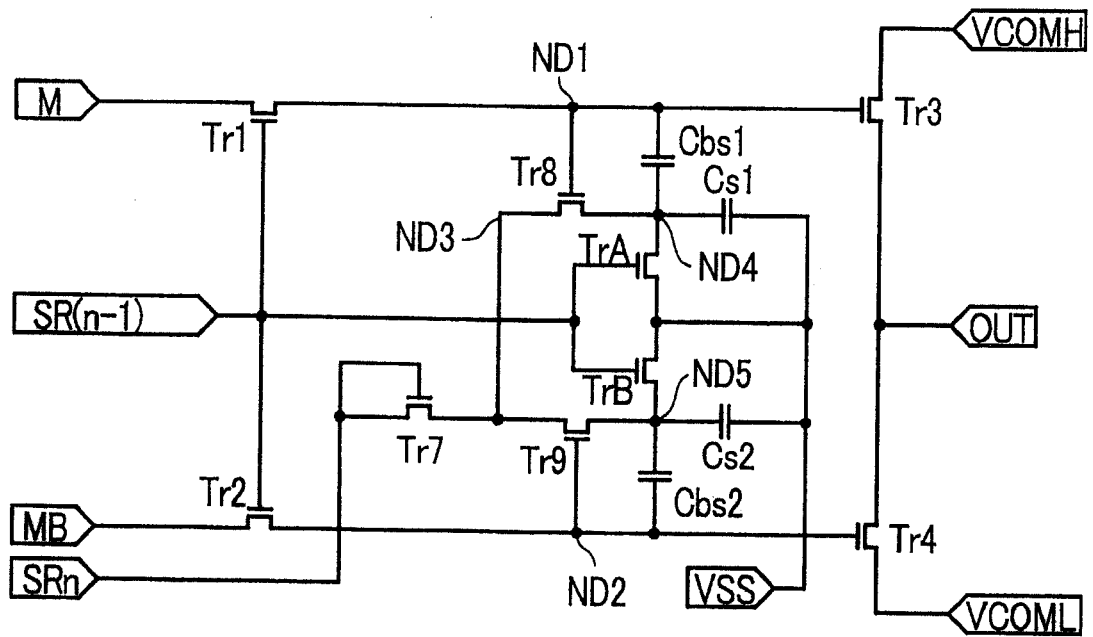


图 10

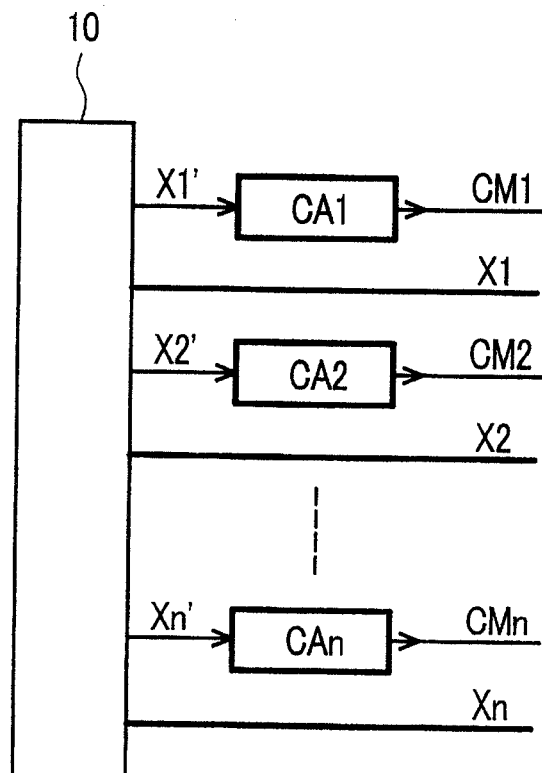


图 11

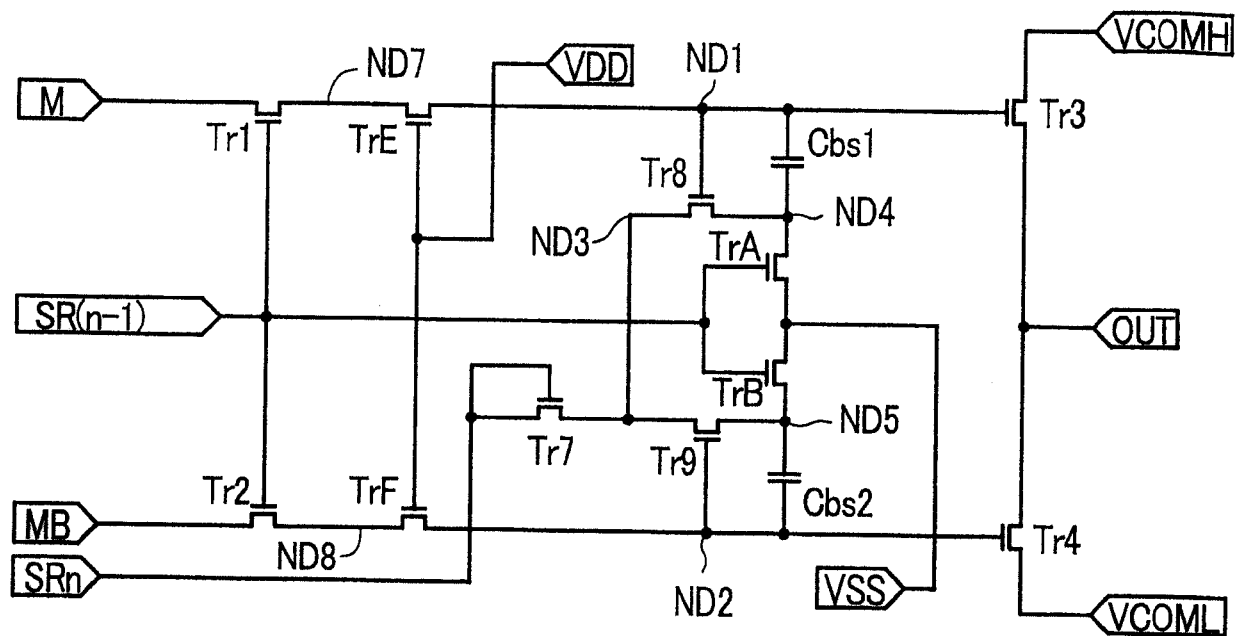


图 12

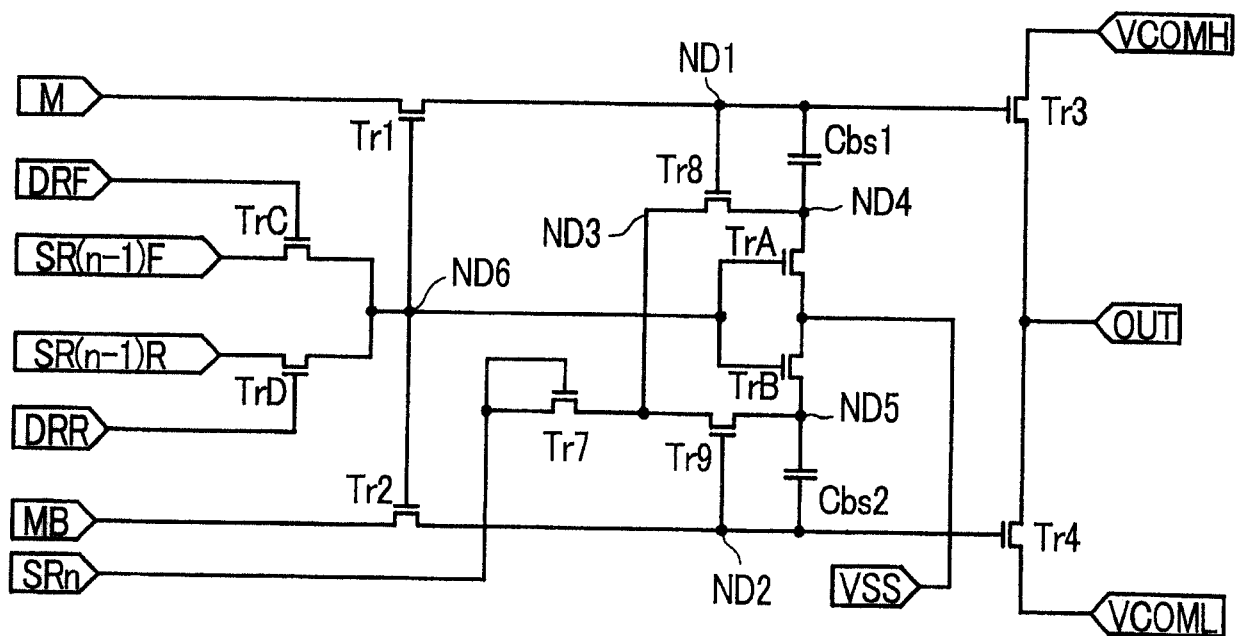


图 13

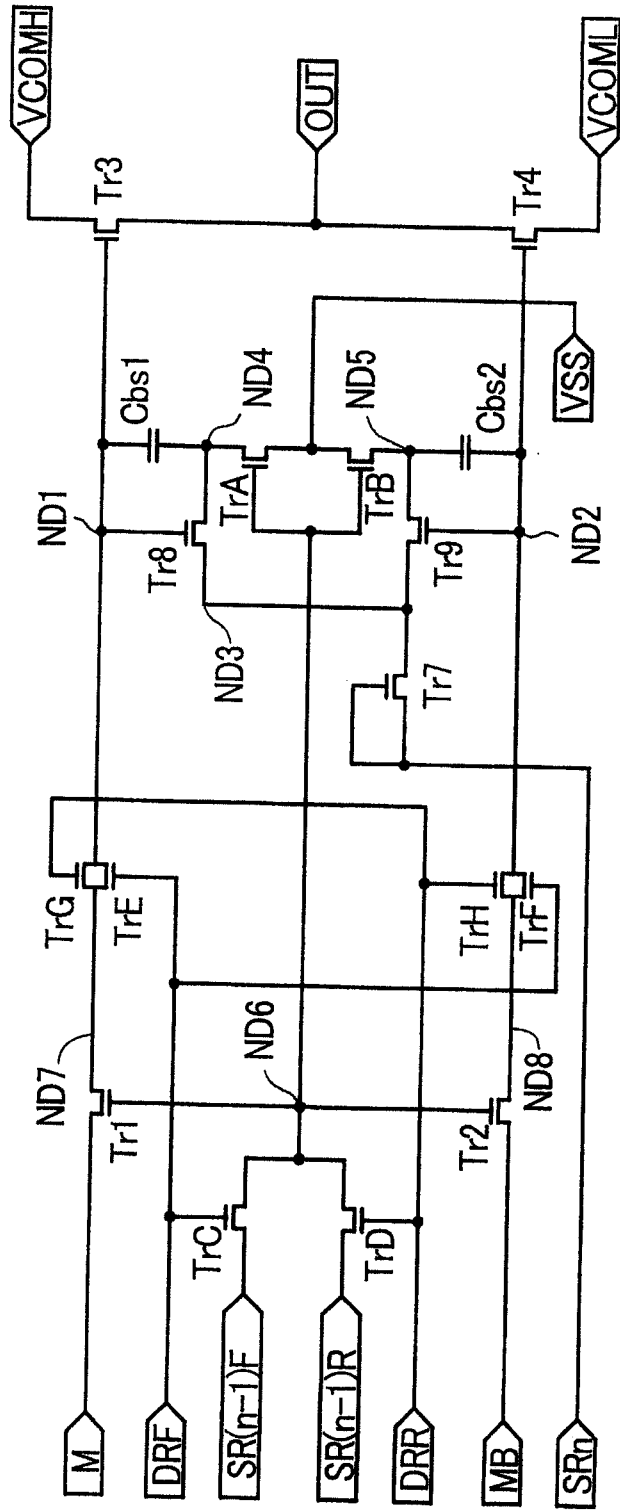


图 14

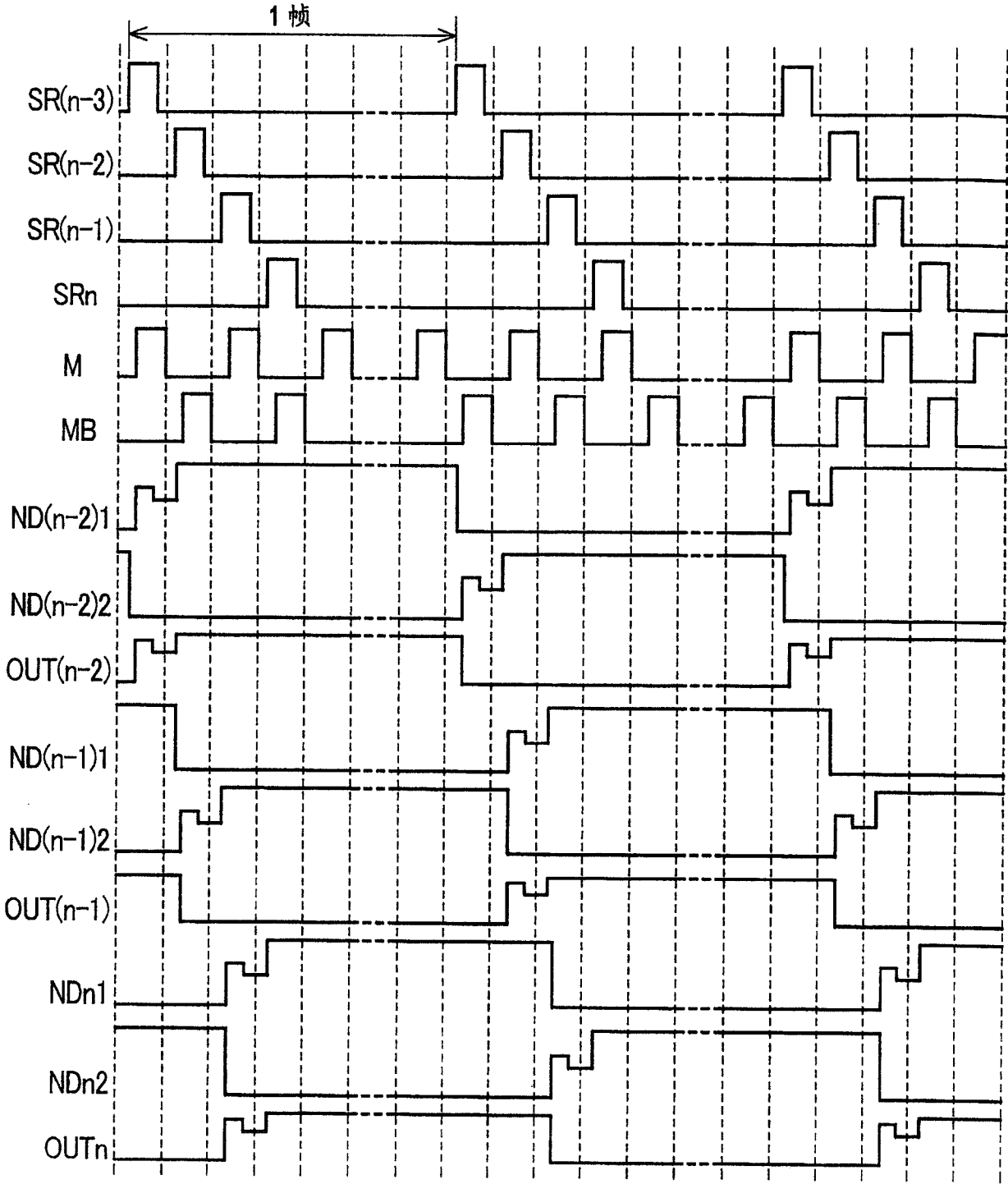


图 15

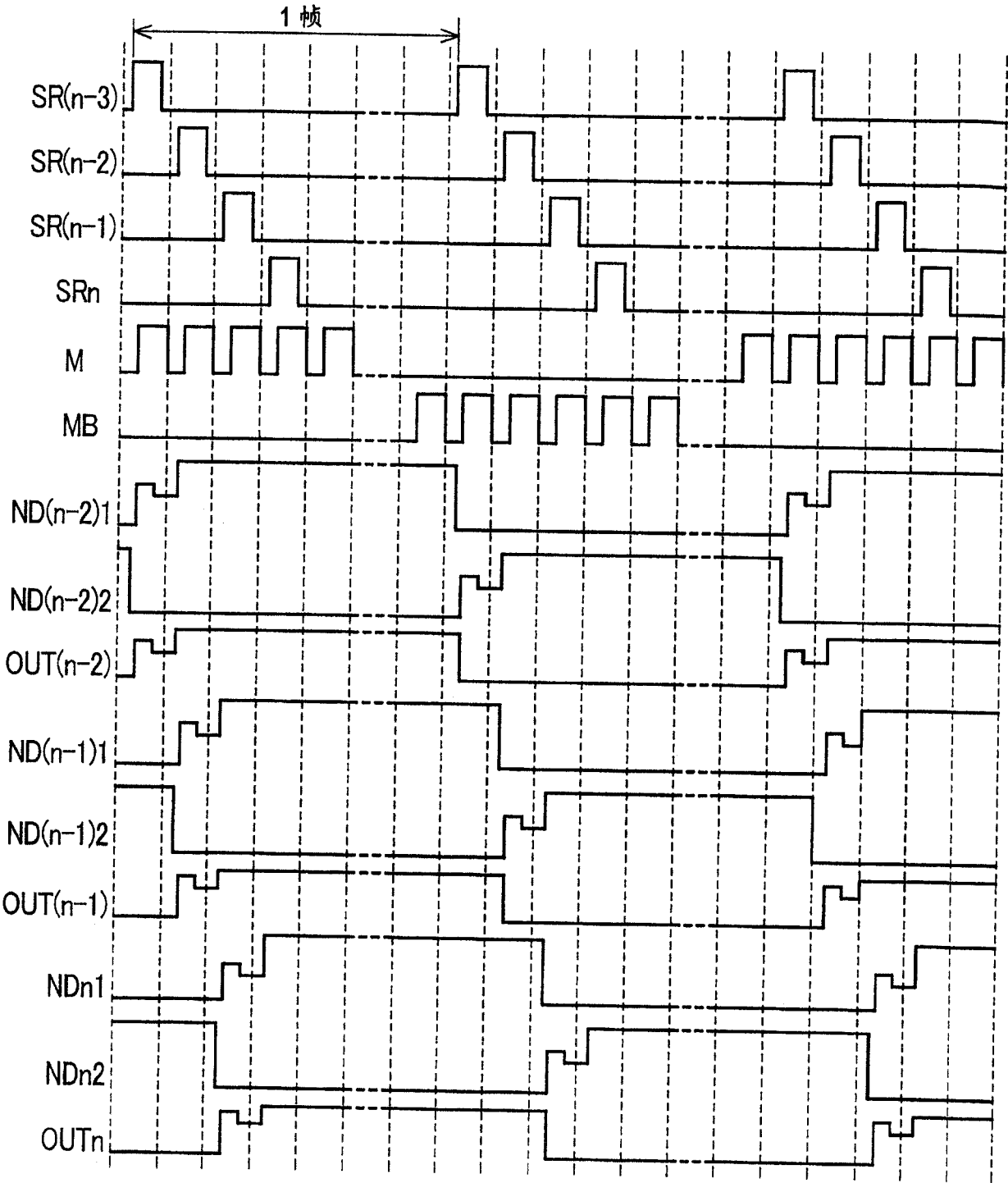


图 16

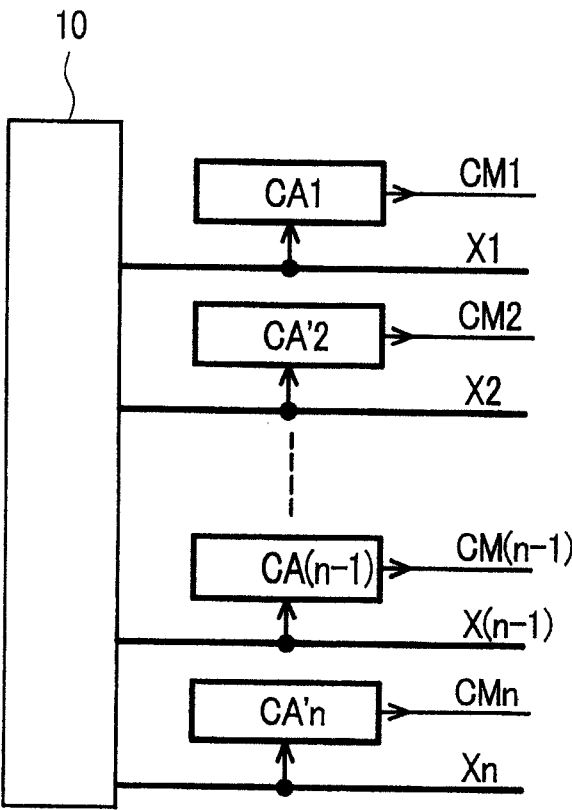
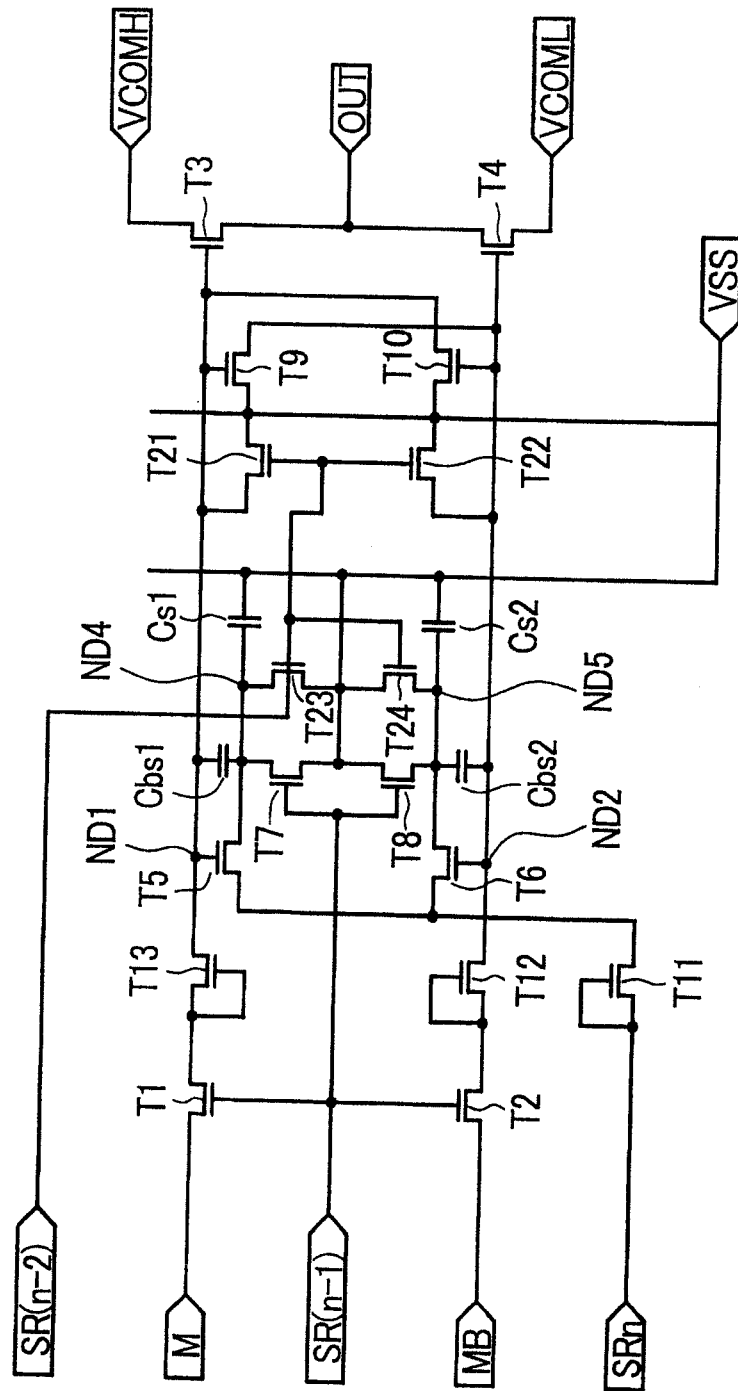


图 17



18

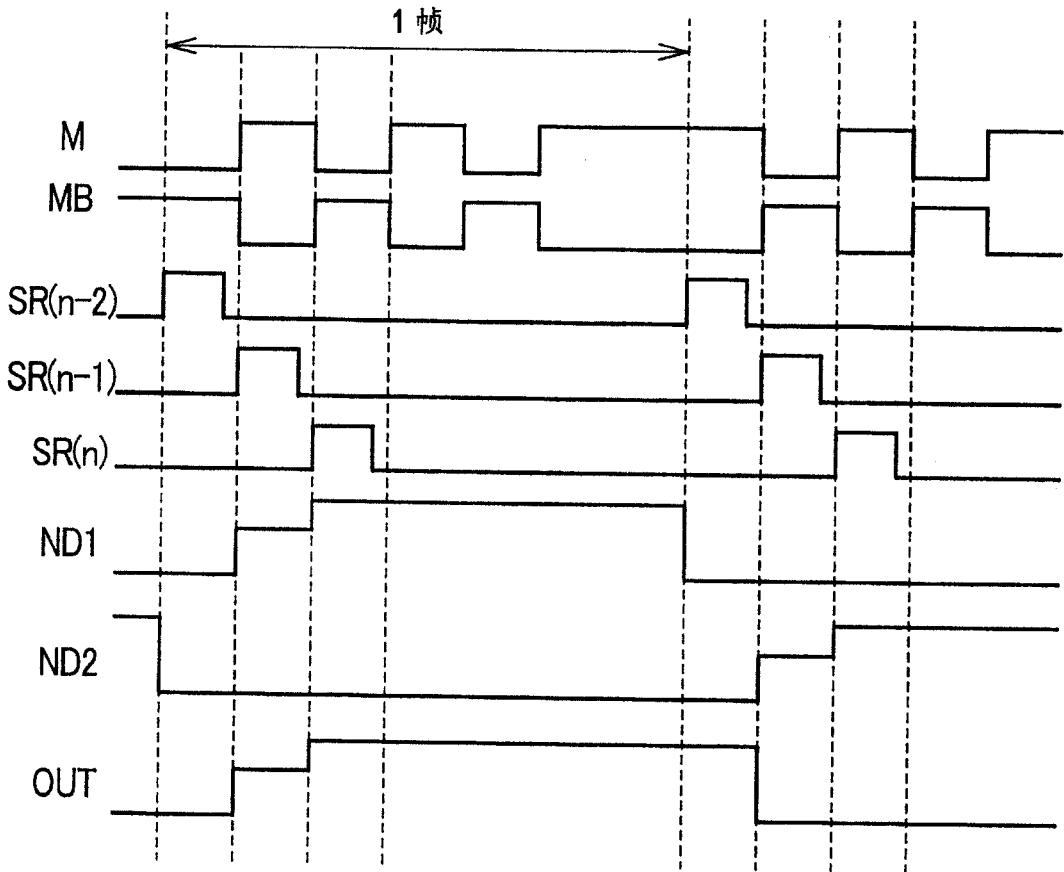


图 19