



(12) 发明专利

(10) 授权公告号 CN 110047543 B

(45) 授权公告日 2024.05.28

(21) 申请号 201811548865.6

(51) Int.CI.

(22) 申请日 2018.12.18

G11C 16/08 (2006.01)

(65) 同一申请的已公布的文献号

G11C 16/10 (2006.01)

申请公布号 CN 110047543 A

G11C 16/34 (2006.01)

(43) 申请公布日 2019.07.23

G11C 29/42 (2006.01)

(30) 优先权数据

10-2017-0174926 2017.12.19 KR

(56) 对比文件

CN 104238993 A, 2014.12.24

(73) 专利权人 三星电子株式会社

CN 106126481 A, 2016.11.16

地址 韩国京畿道

CN 106356087 A, 2017.01.25

(72) 发明人 金泽寿 朴贊益 申峴升 蒋尚煥

CN 107102817 A, 2017.08.29

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112

JP 2012226822 A, 2012.11.15

专利代理人 赵南 张帆

JP 3260357 B2, 2002.02.25

US 7107305 B2, 2006.09.12

US 7167890 B2, 2007.01.23

审查员 邱爽

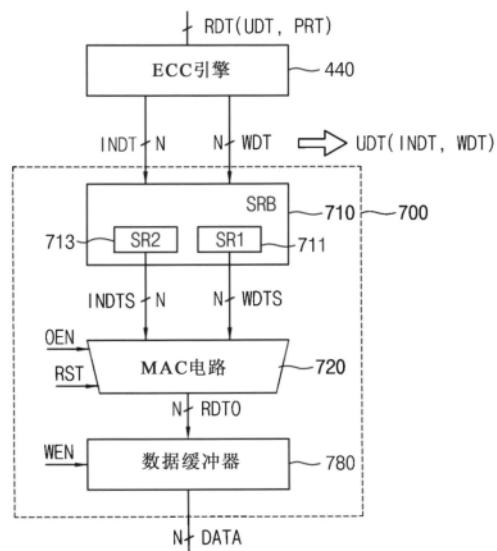
权利要求书4页 说明书14页 附图20页

(54) 发明名称

非易失性存储器件及其操作方法和存储系统

(57) 摘要

一种非易失性存储器件及其操作方法和存储系统。所述非易失性存储器件包括：存储单元阵列，其包括多个非易失性存储单元；页缓冲器电路，其通过多个位线连接到存储单元阵列；计算电路，其配置为基于具有第一尺寸的计算窗口来执行对信息比特和权重比特的计算，信息比特和权重比特包括在用户数据集中，存储单元阵列配置为存储所述用户数据集，计算电路还配置为通过页缓冲器电路接收所述用户数据集；以及数据输入/输出电路，其连接到计算电路，其中，计算电路还配置为响应于计算电路完成对所有信息比特和权重比特的计算，向数据输入/输出电路提供输出数据集，并且其中，所述输出数据集对应于完成计算的结果。



1. 一种非易失性存储器件,包括:

存储单元阵列,其包括多个非易失性存储单元;

页缓冲器电路,其通过多个位线连接到所述存储单元阵列;

计算电路,其配置为基于具有第一尺寸的计算窗口来执行对信息比特和权重比特的计算,所述信息比特和权重比特包括在用户数据集中,所述存储单元阵列配置为存储所述用户数据集,所述计算电路还配置为通过所述页缓冲器电路接收所述用户数据集,所述计算包括对所述信息比特当中在所述计算窗口内的比特矩阵执行乘法操作;以及

数据输入/输出电路,其连接到所述计算电路,

其中,所述计算电路还配置为响应于所述计算电路完成对所有信息比特和权重比特的计算,向所述数据输入/输出电路提供输出数据集,并且

其中,所述输出数据集对应于完成计算的结果。

2. 如权利要求1所述的非易失性存储器件,还包括:

错误校验码引擎,其配置为:

基于与所述用户数据集相关的奇偶校验数据来校正所述信息比特和所述权重比特中的至少一个错误比特,并且

将校正后的数据集提供给所述计算电路。

3. 如权利要求1所述的非易失性存储器件,其中,所述计算电路包括:

移位寄存器块,其配置为:

基于所述计算窗口来划分所述权重比特,以顺序提供特征映射,并且

基于所述特征映射中的每个与所述信息比特之间的相关性来划分所述信息比特,以顺序地提供激活;

乘法和累加电路,其配置为:

对所述特征映射中的每个和所述激活中的相应一个执行矩阵向量乘法,

对所述矩阵向量乘法的结果进行累加,并且

提供所述输出数据集,

所述输出数据集通过对所述特征映射和所述激活执行的矩阵向量乘法的完成而生成;以及

数据缓冲器,其配置为存储所述输出数据集,以响应于写使能信号将所述输出数据集提供给所述数据输入/输出电路。

4. 如权利要求3所述的非易失性存储器件,其中,所述移位寄存器块包括:

第一移位寄存器,其配置为:

将所述权重比特布置到所述特征映射中,使得所述特征映射分别具有 $P*Q$ 的矩阵配置,并且

对所述权重比特进行移位,使得基于第一计算窗口来顺序输出所述特征映射,从而输出第一移位比特,

P 和 Q 是自然数;以及

第二移位寄存器,其配置为:

基于相关性将所述信息比特布置到激活中,使得所述激活对应于多个子数据集,每个子数据集具有 $L*L$ 的矩阵配置,并且

对所述信息比特进行移位,使得基于第二计算窗口来顺序输出所述激活,从而输出第二移位比特,所述第二计算窗口具有 $P*Q$ 的矩阵配置,

L 是大于3的自然数。

5. 如权利要求4所述的非易失性存储器件,其中,所述第二移位寄存器被配置为:

将第二计算窗口在第一方向上移位,使得相对于第二计算窗口的两个连续位置在第二方向上重复选择 $2P$ 个信息比特,直到所述第二计算窗口到达所述激活的边界处为止,以及响应于所述第二计算窗口到达所述激活的边界,所述第二计算窗口移位了 $L-P$ 。

6. 如权利要求4所述的非易失性存储器件,其中,所述乘法和累加电路包括:

乘法电路,其配置为:

接收所述第一移位比特和所述第二移位比特,并且

将所述激活中的一个的信息比特乘以所述特征映射中的相应一个的权重比特,以提供乘法结果作为输出;以及

累加电路,其配置为累加所述乘法电路的输出,以提供所述输出数据集。

7. 如权利要求6所述的非易失性存储器件,其中,所述乘法电路包括:

第一缓冲器,其配置为接收所述第一移位比特,以基于所述第一计算窗口输出所述第一移位比特作为所述特征映射;

第二缓冲器,其配置为接收所述第二移位比特,以基于所述第二计算窗口输出所述第二移位比特作为所述激活;以及

乘法器,其配置为将所述第一缓冲器的输出乘以所述第二缓冲器的输出,以提供乘法结果作为中间计算结果。

8. 如权利要求7所述的非易失性存储器件,其中,所述累加电路包括:

加法器,包括第一输入端和第二输入端;以及

缓冲器,

其中,所述加法器配置为将在所述第一输入端接收到的所述乘法电路的所述中间计算结果与在所述第二输入端接收到的所述缓冲器的输出相加,以向所述缓冲器提供相加后的结果,并且

其中,所述缓冲器配置为将所述加法器的输出反馈到所述加法器的所述第二输入端,并且被配置为响应于输出使能信号来提供所述加法器的输出作为所述输出数据集。

9. 如权利要求8所述的非易失性存储器件,其中,所述非易失性存储器件配置为,使得在所述缓冲器输出所述输出数据集之后,所述缓冲器响应于复位信号而被复位。

10. 如权利要求3所述的非易失性存储器件,其中,所述数据缓冲器包括静态随机存取存储器设备。

11. 如权利要求1所述的非易失性存储器件,还包括:

控制电路,其配置为响应于来自外部的命令和地址来控制所述页缓冲器电路、所述计算电路和所述数据输入/输出电路。

12. 如权利要求11所述的非易失性存储器件,其中,所述控制电路还被配置为:

响应于所述命令和所述地址来产生计算控制信号,并且

通过将所述计算控制信号应用于所述计算电路来控制所述计算电路。

13. 如权利要求12所述的非易失性存储器件,其中,所述计算电路包括:

移位寄存器块,其配置为:

基于所述计算窗口来划分所述权重比特,以顺序提供特征映射,并且

基于所述特征映射来划分所述信息比特,以顺序提供激活;

乘法和累加电路,其配置为:

对所述特征映射中的每个和所述激活中的相应一个执行矩阵向量乘法,

对所述矩阵向量乘法的结果进行累加,并且

提供所述输出数据集,

所述输出数据集通过对所述特征映射和所述激活的矩阵向量乘法的完成而生成;以及

数据缓冲器,其配置为:

存储所述输出数据集,并且

响应于写使能信号,将所述输出数据集提供给所述数据输入/输出电路。

14. 如权利要求13所述的非易失性存储器件,其中,所述控制电路配置为:

通过将输出使能信号和复位信号提供至所述乘法和累加电路来控制所述乘法和累加电路,并且

通过将写使能信号提供至所述数据缓冲器来控制所述数据缓冲器的输出操作,

其中,所述计算控制信号包括所述写使能信号、所述复位信号和所述写使能信号。

15. 如权利要求1所述的非易失性存储器件,

其中,所述存储单元阵列包括多个存储块,并且

其中,所述多个存储块中的每一个包括:

第一存储单元,其耦合到第一字线;以及

第二存储单元,其耦合到第二字线,

所述第二存储单元层叠在所述第一存储单元上。

16. 如权利要求1所述的非易失性存储器件,

其中,所述存储单元阵列位于第一半导体层中,并且所述第一半导体层包括在第一方向上延伸的多条字线以及在与所述第一方向交叉的第二方向上延伸的多条位线,并且

其中,所述页缓冲器电路、所述计算电路和所述数据输入/输出电路位于在第三方向上位于所述第一半导体层下面的第二半导体层中,使得所述第一半导体层位于所述第二半导体层上,所述第三方向与所述第一方向和所述第二方向垂直,并且

其中,所述第二半导体层包括衬底。

17. 如权利要求16所述的非易失性存储器件,其中,所述页缓冲器电路的至少一部分和所述计算电路的至少一部分在所述第三方向上至少部分地与所述存储单元阵列重叠。

18. 一种存储系统,包括:

至少一个非易失性存储器件;以及

存储器控制器,其配置为控制所述至少一个非易失性存储器件,

其中,所述至少一个非易失性存储器件包括:

存储单元阵列,其包括多个非易失性存储单元;

页缓冲器电路,其通过多个位线连接到所述存储单元阵列;

计算电路,其配置为基于具有第一尺寸的计算窗口来执行对信息比特和权重比特的计算,所述信息比特和所述权重比特包括在用户数据集中,所述存储单元阵列配置为存储所

述用户数据集,所述计算电路还配置为通过所述页缓冲器电路来接收所述用户数据集,所述计算包括对所述信息比特当中在所述计算窗口内的比特矩阵执行乘法操作;以及

数据输入/输出电路,其连接到所述计算电路,

其中,所述计算电路还配置为响应于对所述信息比特和所述权重比特的计算完成,将输出数据集提供至所述数据输入/输出电路,并且

其中,所述输出数据集对应于完成计算的结果。

19. 如权利要求18所述的存储系统,其中,所述计算电路包括:

移位寄存器块,其配置为:

基于所述计算窗口来划分所述权重比特,以顺序提供特征映射,并且

基于所述特征映射来划分所述信息比特,以顺序提供激活;

乘法和累加电路,其配置为:

对所述特征映射中的每个和所述激活中的相应一个执行矩阵向量乘法,

对所述矩阵向量乘法的结果进行累加,并且

提供所述输出数据集,所述输出数据集通过对所述特征映射和所述激活的矩阵向量乘法的完成而生成;以及

数据缓冲器,其配置为存储所述输出数据集,以响应于写使能信号将所述输出数据集提供给所述数据输入/输出电路。

20. 一种操作非易失性存储器件的方法,所述非易失性存储器件包括具有多个非易失性存储单元的存储单元阵列,所述方法包括:

通过经由多个位线连接到所述存储单元阵列的页缓冲器电路,将信息比特和权重比特从所述存储单元阵列提供至移位寄存器块,所述信息比特和权重比特包括在通过所述页缓冲器电路读取的用户数据集中;

通过所述移位寄存器块将所述信息比特和权重比特分别分成激活和特征映射;

通过计算电路,基于计算窗口对所述激活和所述特征映射执行矩阵向量乘法;以及

响应于计算电路完成对所有所述激活和所述特征映射的矩阵向量乘法,提供输出数据集,所述输出数据集对应于完成的矩阵向量乘法的结果。

非易失性存储器件及其操作方法和存储系统

[0001] 相关申请的交叉引用

[0002] 本申请要求日提交给韩国知识产权局 (KIPO) 的韩国专利申请No. 10-2017-0174926的优先权,其公开内容通过引用其全部合并于此。

技术领域

[0003] 本发明构思的至少一些示例实施例一般涉及存储器件,更具体地,涉及一种非易失性存储器件、包括该非易失性存储器件的存储系统以及操作非易失性存储器件的方法。

背景技术

[0004] 半导体存储器件分为易失性存储器件和非易失性存储器件。

[0005] 闪存设备(非易失性存储设备之一)可以用作诸如计算机、蜂窝电话、个人数字助理 (PDA)、数码相机、便携式摄像机、录音机、MP3播放器、手持式个人计算机 (PC)、游戏机、传真机、扫描仪、打印机等信息设备的数据存储器。

[0006] 已经进行了各种研究以降低非易失性存储器件的功耗。

发明内容

[0007] 根据本发明构思的至少一些示例实施例,一种非易失性存储器件包括:存储单元阵列,其包括多个非易失性存储单元;页缓冲器电路,其通过多个位线连接到所述存储单元阵列;计算电路,其配置为基于具有第一尺寸的计算窗口来执行对信息比特和权重比特的计算,所述信息比特和权重比特包括在用户数据集中,所述存储单元阵列配置为存储所述用户数据集,所述计算电路还配置为通过所述页缓冲器电路接收所述用户数据集;以及数据输入/输出 (I/O) 电路,其连接到所述计算电路,其中,所述计算电路还配置为响应于所述计算电路完成对所有信息比特和权重比特的计算,向所述数据I/O电路提供输出数据集,并且其中,所述输出数据集对应于完成计算的结果。

[0008] 根据本发明构思的至少一些示例实施例,一种存储系统包括:至少一个非易失性存储器件;以及存储器控制器,其配置为控制所述至少一个非易失性存储器件,其中,所述至少一个非易失性存储器件包括:存储单元阵列,其包括多个非易失性存储单元;页缓冲器电路,其通过多个位线连接到所述存储单元阵列;计算电路,其配置为基于具有第一尺寸的计算窗口来执行对信息比特和权重比特的计算,所述信息比特和所述权重比特被包括在用户数据集中,所述存储单元阵列配置为存储所述用户数据集,所述计算电路还配置为通过所述页缓冲器电路来接收所述用户数据集;以及数据输入/输出 (I/O) 电路,其连接到所述计算电路,其中,所述计算电路还配置为响应于对所述信息比特和所述权重比特的计算完成,将输出数据集提供至所述数据I/O电路,并且其中,所述输出数据集对应于完成计算的结果。

[0009] 根据本发明构思的至少一些示例实施例,一种操作非易失性存储器件的方法,所述非易失性存储器件包括具有多个非易失性存储单元的存储单元阵列,所述方法包括:通

过经由多个位线连接到所述存储单元阵列的页缓冲器电路,将信息比特和权重比特从所述存储单元阵列提供至移位寄存器块,所述信息比特和权重比特包括在通过所述页缓冲器电路读取的用户数据集中;通过所述移位寄存器块将所述信息比特和权重比特分别分成激活和特征映射;通过计算电路,基于计算窗口对所述激活和所述特征映射执行矩阵向量乘法;以及响应于计算电路完成对所有所述激活和所述特征映射的矩阵向量乘法,提供输出数据集,所述输出数据集对应于完成的矩阵向量乘法的结果。

附图说明

- [0010] 通过参照附图详细描述本发明构思的示例实施例,本发明构思的示例实施例的以上和其他特征和优点将变得更加明显。附图旨在描述本发明构思的示例实施例,并且不应被解释为对权利要求的预期范围的限制。除非明确说明,否则附图不应视为按比例绘制。
- [0011] 图1是示出根据本发明构思的至少一些示例实施例的存储系统的框图。
- [0012] 图2是示出图1的存储系统中的控制信号的表格。
- [0013] 图3是示出根据本发明构思的至少一些示例实施例的图1的存储系统的非易失性存储器件的框图。
- [0014] 图4是示出图3中的存储单元阵列的框图。
- [0015] 图5是示出图4的存储块中的一个的透视图。
- [0016] 图6是示出参照图5描述的存储块的等效电路的电路图。
- [0017] 图7是用于示出图3中的存储单元阵列中的一个页的阈值电压分布的示图。
- [0018] 图8是示出根据本发明构思的至少一些示例实施例的图3的非易失性存储器件中的控制电路的框图。
- [0019] 图9是示出根据本发明构思的至少一些示例实施例的图3的非易失性存储器件中的电压产生电路的框图。
- [0020] 图10是示出根据本发明构思的至少一些示例实施例的图3的非易失性存储器件中的计算电路的框图。
- [0021] 图11是示出根据本发明构思的至少一些示例实施例的图10中的计算电路中的乘法和累加(MAC)电路的示例的框图。
- [0022] 图12示出了由图10中的计算电路执行的矩阵计算,图13详细示出了图12中的矩阵计算。
- [0023] 图14是示出根据本发明构思的至少一些示例实施例的非易失性存储器件的操作的时序图。
- [0024] 图15是示出根据本发明构思的至少一些示例实施例的非易失性存储器件的框图。
- [0025] 图16示意性地示出了根据本发明构思的至少一些示例实施例的图15的非易失性存储器件的结构。
- [0026] 图17是根据本发明构思的至少一些示例实施例的非易失性存储器件的示例的截面图。
- [0027] 图18示出了根据本发明构思的至少一些示例实施例的包括第一半导体层和第二半导体层的非易失性存储器件的结构。
- [0028] 图19是在图18的非易失性存储器件中与第一半导体层接触的第二半导体层的上

表面的平面图。

[0029] 图20是根据本发明构思的至少一些示例实施例的图15的非易失性存储器件中的外围电路的示例的框图。

[0030] 图21是示出根据本发明构思的至少一些示例实施例的操作非易失性存储器件的方法的流程图。

[0031] 图22是示出根据本发明构思的至少一些示例实施例的固态盘或固态驱动器 (SSD) 的框图。

具体实施方式

[0032] 如在本发明构思本领域中的传统,在附图中以功能块、单元和/或模块描述并示出了各实施例。本领域技术人员将理解,这些块、单元和/或模块通过例如逻辑电路、分立组件、微处理器、硬连线电路、存储元件、布线连接等电子(或光学)电路而物理地实现,其可以使用基于半导体的制造技术或其他制造技术形成。在块、单元和/或模块由微处理器或类似物实现的情况下,可以使用软件(例如,微代码)对它们进行编程以执行本文所讨论的各种功能,并且可以可选地由固件和/或软件驱动。可替换地,每个块、单元和/或模块可以由专用硬件实现,或者作为执行某些功能的专用硬件和执行其他功能的处理器(例如,一个或多个可编程微处理器和相关电路)的组合来实现。而且,在不脱离本发明构思的范围的情况下,实施例的每个块、单元和/或模块可以在物理上分成两个或更多个交互和离散的块、单元和/或模块。此外,在不脱离本发明构思的范围的情况下,各实施例的块、单元和/或模块可以物理地组合成更复杂的块、单元和/或模块。

[0033] 图1是示出根据本发明构思的至少一些示例实施例的存储系统的框图。

[0034] 参照图1,存储系统(或非易失性存储系统)10可包括存储器控制器20和至少一个非易失性存储器件30。

[0035] 存储系统10可以包括基于闪存的数据存储介质,诸如存储卡、通用串行总线(USB)存储器和固态驱动器(SSD)。

[0036] 非易失性存储器件30可以在存储器控制器20的控制下执行擦除操作、编程操作或写入操作。非易失性存储器件30通过输入/输出线从存储器控制器20接收用于执行这些操作的命令CMD、地址ADDR和数据DATA。另外,非易失性存储器件30通过控制线从存储器控制器20接收控制信号CTRL。另外,非易失性存储器件30通过电源线从存储器控制器20接收电源PWR。

[0037] 图2是示出图1的存储系统中的控制信号的表格。

[0038] 参照图1和图2,控制信号CTRL可以包括命令锁存使能信号CLE、地址锁存使能信号ALE、芯片使能信号nCE、读使能信号nRE和写使能信号nWE。

[0039] 存储器控制器20可以将命令锁存使能信号CLE发送到非易失性存储器件30。命令锁存使能信号CLE可以是指示经由输入/输出线发送的信息是命令的信号。存储器控制器20可以将地址锁存使能信号ALE发送到非易失性存储器件30。地址锁存使能信号ALE可以是指示经由输入/输出线发送的信息是地址的信号。

[0040] 存储器控制器20可以将芯片使能信号nCE发送到非易失性存储器件30。当非易失性存储器件包括多个存储器芯片时,芯片使能信号nCE可以指示从多个存储器芯片之中的

选中的存储器芯片。

[0041] 存储器控制器20可以将读使能信号nRE发送到非易失性存储器件30。非易失性存储器件30可以基于读使能信号nRE将读取数据发送到存储器控制器20。

[0042] 存储器控制器20可以将写使能信号nWE发送到非易失性存储器件30。当写使能信号nWE被激活时,非易失性存储器件30可以存储从存储器控制器20提供的数据输入信号作为命令CMD或地址ADDR。

[0043] 图3是示出根据本发明构思的至少一些示例实施例的图1的存储系统的非易失性存储器件的框图。

[0044] 参照图3,非易失性存储器件30包括存储单元阵列100、地址解码器430、页缓冲器电路410、错误校验码(ECC)引擎440、计算电路700、数据输入/输出电路420、控制电路500和电压产生电路600。

[0045] 存储单元阵列100可以通过串选择线SSL、多条字线WL和地选择线GSL耦接到地址解码器430。另外,存储单元阵列100可以通过多条位线BL耦接到页缓冲器电路410。存储单元阵列100可以包括耦接到多条字线WL和多条位线BL的多个非易失性存储单元。多个非易失性存储单元可以布置在存储单元阵列100中。

[0046] 根据本发明构思的至少一些示例实施例,存储单元阵列100可以是以三维结构(或竖直结构)形成在衬底上的三维存储单元阵列。在这种情况下,存储单元阵列100可以包括在竖直方向上层叠的竖直单元串,使得至少一个存储单元位于另一个存储单元上。以下通过引用并入本文的专利文献描述了用于三维存储单元阵列的合适配置:美国专利第7,679,133号、美国专利第8,553,466号、美国专利第8,654,587号、美国专利第8,559,235号和第美国专利公开第2011/0233648号。

[0047] 根据本发明构思的至少一些示例实施例,存储单元阵列100可以是以二维结构(或水平结构)形成在衬底上的二维存储单元阵列。

[0048] 图4是示出图3中的存储单元阵列的框图。

[0049] 参照图4,存储单元阵列100可以包括在第一至第三方向D1、D2和D3上延伸的多个存储块BLK1至BLKz。在一个实施例中,存储块BLK1至BLKz由图3中的地址解码器430选择。例如,地址解码器430可以选择与存储块BLK1至BLKz之中的块地址相对应的存储块BLK。

[0050] 图5是示出图4的存储块中的一个的透视图。

[0051] 参见图5,存储块BLKi包括以三维结构(或竖直结构)形成在衬底上的单元串。存储块BLKi包括沿第一方向D1至第三方向D3延伸的结构。

[0052] 提供衬底111。例如,衬底111可以具有第一类型(例如,第一导电类型)的阱。例如,衬底111可以具有通过注入诸如硼(B)的第3族元素形成的p阱。例如,衬底111可以具有设置在n阱中的袋状p阱。在一个实施例中,衬底111具有p型阱(或p型袋状阱)。然而,衬底111的导电类型不限于p型。沿着第一方向D1延伸的多个掺杂区311至314设置在衬底111上。例如,多个掺杂区311至314可以具有与衬底11的第一类型不同的第二类型(例如,第二导电类型)。在一个实施例中,第一掺杂区311至第四掺杂区314具有n型。然而,第一掺杂区311至第四掺杂区314的导电类型不限于n型。

[0053] 沿第一方向D1延伸的多个绝缘材料112沿第二方向D2依次设置在衬底111在第一掺杂区311和第二掺杂区312之间的区域上。例如,多个绝缘材料112沿第二方向D2设置,并

且间隔特定距离。根据本发明构思的至少一些示例实施例，绝缘材料112可以包括诸如氧化物层的绝缘材料。

[0054] 在衬底111在第一掺杂区311和第二掺杂区312之间的区域上，沿第二方向D2穿透绝缘材料的多个柱113沿第一方向D1顺序地设置。例如，多个柱113穿透绝缘材料112以接触衬底111。

[0055] 例如，每个柱113可包括多种材料。例如，每个柱113的沟道层114可以包括具有第一类型的硅材料。例如，每个柱113的沟道层114可以包括与衬底111相同类型的硅材料。在一个实施例中，每个柱113的沟道层114包括p型硅。然而，每个柱113的沟道层114不限于p型硅。

[0056] 每个柱113的内部材料115包括绝缘材料。例如，每个柱113的内部材料115可以包括诸如氧化硅的绝缘材料。例如，每个柱113的内部材料115可以包括气隙。

[0057] 在第一掺杂区311和第二掺杂区312之间的区域上，沿绝缘材料112、柱113和衬底111的暴露表面设置有绝缘层116。根据本发明构思的至少一些示例实施例，可以去除设置在最后绝缘材料112的在第二方向D2上的暴露表面上的绝缘层116。

[0058] 在第一掺杂区311和第二掺杂区312之间的区域中，第一导电材料211至291设置在绝缘层116的暴露表面上。例如，沿第一方向D1延伸的第一导电材料211设置在与衬底111相邻的绝缘材料112与衬底111之间。更具体地，沿第一方向D1延伸的第一导电材料211设置在与衬底111相邻的绝缘材料112底部的绝缘层116与衬底111之间。

[0059] 沿着第一方向D1延伸的第一导电材料设置在绝缘材料112之中的特定绝缘材料顶部的绝缘层116与设置所述特定绝缘材料的顶部上的绝缘材料的底部的绝缘层116之间。也就是说，沿第一方向D1延伸的多个第一导电材料221至281设置在绝缘材料112之间，并且可以理解，绝缘层116设置在绝缘材料112与第一导电材料221至281之间。第一导电材料211至291可以包括金属材料。第一导电材料211至291可以包括诸如多晶硅的导电材料。

[0060] 可以在第二掺杂区312和第三掺杂区313之间的区域中设置与第一掺杂区311和第二掺杂区312结构相同的结构。在第二掺杂区312和第三掺杂区313之间的区域中，设置有沿第一方向D1延伸的多个绝缘材料112、沿第一方向D1顺序设置并沿第二方向D2穿透多个绝缘材料112的多个柱113、设置在多个绝缘材料112和多个柱113的暴露表面上的绝缘层116、以及沿第一方向D1延伸的多个导电材料213至293。

[0061] 可以在第三掺杂区313和第四掺杂区314之间的区域中设置与第一掺杂区311和第二掺杂区312结构相同的结构。在第三掺杂区313和第四掺杂区314之间的区域中，设置有沿第一方向D1延伸的多个绝缘材料112、沿第一方向D1顺序设置并沿第二方向D2穿透多个绝缘材料112的多个柱113、设置在多个绝缘材料112和多个柱113的暴露表面上的绝缘层116、以及沿第一方向D1延伸的多个第一导电材料213至293。

[0062] 漏极320分别设置在多个柱113上。在漏极320上设置有沿第三方向D3延伸的第二导电材料331至333。各第二导电材料331至333沿第一方向D1设置，并且间隔特定距离。各第二导电材料331至333分别在相应区域中连接至漏极320。沿第三方向D3延伸的漏极320和第二导电材料331至333可以通过每个接触插塞连接。第二导电材料331至333可以包括金属材料。第二导电材料331至333可以包括诸如多晶硅的导电材料。

[0063] 图6是示出参照图5描述的存储块的等效电路的电路图。

[0064] 图6的存储块BLKi可以以三维结构(或竖直结构)形成在衬底上。例如,包括在存储块BLKi中的多个存储单元串可以在垂直于衬底的方向上形成。

[0065] 参照图6,存储块BLKi可以包括耦接在位线BL1、BL2和BL3与公共源极线CSL之间的存储单元串NS11至NS33。存储单元串NS11至NS33中的每个可以包括串选择晶体管SST、多个存储单元MC1至MC8和地选择晶体管GST。在图6中,存储单元串NS11至NS33中的每个被示出为包括八个存储单元MC1至MC8。然而,本发明构思的至少一些示例实施例不限于图6所示的示例。例如,根据本发明构思的至少一些示例实施例,存储单元串NS11至NS33中的每个可包括任何数量的存储单元。

[0066] 串选择晶体管SST可以连接到对应的串选择线SSL1至SSL3。多个存储单元MC1至MC8可以分别连接到对应的字线WL1至WL8。地选择晶体管GST可以连接到对应的地选择线GSL1到GSL3。串选择晶体管SST可以连接到对应的位线BL1、BL2和BL3,并且地选择晶体管GST可以连接到公共源极线CSL。

[0067] 具有相同高度的字线(例如,WL1)可以共同地连接,并且地选择线GSL1至GSL3和串选择线SSL1至SSL3可以分离。在图6中,存储块BLKi被示出为耦接到八条字线WL1至WL8和三条位线BL1至BL3。然而,本发明构思的至少一些示例实施例不限于图6中示出的示例。例如,根据本发明构思的至少一些示例实施例,存储单元阵列100a可以耦接到任何数量的字线和位线。

[0068] 返回参照图3,控制电路500可以从存储器控制器20接收命令(信号)CMD和地址(信号)ADDR,并且基于命令信号CMD和地址信号ADDR控制非易失性存储器件30的擦除循环、编程循环和读取操作。编程循环可以包括编程操作和编程验证操作。擦除循环可以包括擦除操作和擦除验证操作。

[0069] 例如,控制电路500可以基于命令信号CMD产生用于控制电压产生电路600的控制信号CTL,并且基于地址信号ADDR产生行地址R_ADDR和列地址C_ADDR。控制电路500可以将行地址R_ADDR提供给地址解码器430,并将列地址C_ADDR提供给数据输入/输出电路420。

[0070] 地址解码器430可以通过串选择线SSL、多个字线WL和地选择线GSL耦接到存储单元阵列100。在编程操作或读取操作期间,地址解码器430可以基于行地址R_ADDR将多个字线WL中的一条字线确定为选中字线,并且将多个字线WL中的除了选中字线之外的其余字线确定为未选中字线。

[0071] 电压产生电路600可以基于控制信号CTL产生字线电压VWL,其用于使用来自存储器控制器20的电源PWR或电源电压VPP操作非易失性存储器件30。字线电压VWL可以通过地址解码器430施加到多个字线WL。

[0072] 例如,在擦除操作期间,电压产生电路600可以将擦除电压施加到存储块的阱,并且可以将地电压施加到存储块的全部字线。在擦除验证操作期间,电压产生电路600可以将擦除验证电压施加到存储块的全部字线,或者基于字线顺序地将擦除验证电压施加到各字线。

[0073] 例如,在编程操作期间,电压产生电路600可以将编程电压施加到选中字线,并且可以将编程通过电压施加到未选中的字线。另外,在编程验证操作期间,电压产生电路600可以将编程验证电压施加到选中的字线,并且可以将验证通过电压施加到未选中的字线。

[0074] 另外,在读取操作期间,电压产生电路600可以将读取电压施加到选中的字线,并

且可以将读取通过电压施加到未选中的字线。

[0075] 页缓冲器电路410可以通过多条位线BL耦接到存储单元阵列100。页缓冲器电路410可以包括多个页缓冲器。根据本发明构思的至少一些示例实施例,一个页缓冲器可以连接到一条位线。根据本发明构思的至少一些示例实施例,一个页缓冲器可以连接到两条或更多条位线。

[0076] 页缓冲器电路410可以在编程操作期间暂时存储在选中页面中待编程的数据,或者在读取操作期间暂时存储从选中页面读出数据。页缓冲器电路410可以响应于来自控制电路500的控制信号PCTL操作。

[0077] ECC引擎440可以连接到页缓冲器电路410,可以通过使用从存储单元阵列100提供的奇偶校验数据来校正从存储单元阵列100提供的用户数据集中的至少一个错误比特,并且可以将校正后的用户数据集提供到计算电路700。

[0078] 计算电路700可以基于具有常规尺寸的计算窗口顺序地执行对包括在用户数据集中的信息比特和权重比特的计算,并且可以在针对所有的信息比特和权重比特的计算完成时,将输出数据集提供给数据输入/输出电路420。输出数据集可以对应于完成计算的结果。计算电路700可以通过,当针对所有信息比特和权重比特的计算完成时将输出数据集提供给数据输入/输出电路420,而不是每当基于窗口的计算完成时提供基于窗口的计算结果,来降低功耗。

[0079] 可以响应于来自控制电路500的计算控制信号CCTL控制计算电路700。

[0080] 数据输入/输出电路420可以通过数据线DL耦接到计算电路700。在编程操作期间,数据输入/输出电路420可以从存储器控制器20接收编程数据DATA,并且基于从控制电路500接收的列地址C_ADDR,通过ECC引擎440将编程数据DATA提供给页缓冲器电路410。

[0081] 在读取操作期间,数据输入/输出电路420可以基于从控制电路500接收的列地址C_ADDR,将从计算电路700提供的输出数据集DATA提供给存储器控制器20。

[0082] 另外,页缓冲器电路410和数据输入/输出电路420从存储单元阵列100的第一区域读取数据,并将读取的数据写入存储单元阵列100的第二区域。即,页缓冲器电路410和数据输入/输出电路420可以执行复制操作。

[0083] 图7是用于解释图3中的存储单元阵列中的一个页的阈值电压分布的示图。

[0084] 假设非易失性存储器件30的存储单元是每个存储单元存储三个比特的三电平单元(TLC),并且用于确定存储单元的编程状态的读取电压集包括七个不同的读取电压。

[0085] 参见图7,非易失性存储器件30的每个存储单元具有擦除状态E和第一编程状态P1至第七编程状态P7中的一个。在存储器控制器20的控制下,非易失性存储器件30使用默认读取电压集VRD1至VRD7来确定存储单元的编程状态,并输出所确定的数据状态作为读取数据。

[0086] 根据本发明构思的至少一些示例实施例,可以根据单元特性来预先确定默认读取电压集VRD1至VRD7的各电压电平。例如,默认读取电压集VRD1至VRD7的各电压电平可以根据刚好在存储单元被编程之后的存储单元的阈值电压分布来确定。也就是说,在对存储单元进行编程之后,可以执行编程验证操作,并且可以检测存储单元的阈值电压分布。可以基于检测到的存储单元的阈值电压分布来确定默认读取电压集VRD1至VRD7。

[0087] 图8是示出根据本发明构思的至少一些示例实施例的图3的非易失性存储器件中

的控制电路的框图。

[0088] 参照图8,控制电路500可以包括命令解码器510、地址缓冲器520和控制信号发生器530。

[0089] 命令解码器510对命令CMD进行解码,并将解码的命令D_CMD提供给控制信号发生器530。地址缓冲器520接收地址信号ADDR,将行地址R_ADDR提供给地址解码器430,并将列地址C_ADDR提供至数据输入/输出电路420。

[0090] 控制信号发生器530接收解码的命令D_CMD,基于由解码的命令D_CMD所指示的操作产生控制信号CTL,并将控制信号CTL提供至电压产生电路600。控制信号发生器530可以将控制信号PCTL提供至页缓冲器电路410。控制信号发生器530可以将计算控制信号CCTL提供至计算电路700。

[0091] 图9是示出根据本发明构思的至少一些示例实施例的图3的非易失性存储器件中的电压产生电路的框图。

[0092] 参照图9,电压产生电路600包括编程电压发生器610、验证/读取电压发生器650和通过电压发生器630。

[0093] 编程电压发生器610可以响应于第一控制信号CTL1,根据由解码的命令D_CMD所指定的操作来产生编程电压VPGM。可以将编程电压VPGM提供给选中字线。第一控制信号CTL1可以包括多个位,其指示由解码命令D_CMD所指定的操作。

[0094] 验证/读取电压发生器650可以响应于第二控制信号CTL2,根据由解码命令D_CMD所指定的操作来产生编程验证电压VPV、读取验证电压VRD和擦除验证电压VEV。根据操作,可以将编程验证电压VPV、读取验证电压VRD和擦除验证电压VEV施加到选中的字线。第二控制信号CTL2可以包括多个位,其指示由解码命令D_CMD所指定的操作。

[0095] 通过电压发生器630可以响应于第三控制信号CTL3,根据由解码命令D_CMD所指定的操作来产生编程通过电压VPPASS、验证通过电压VVPASS和读取通过电压VRPASS。根据操作,可以将编程通过电压VPPASS、验证通过电压VVPASS和读取通过电压VRPASS施加到未选中的字线。第三控制信号CTL3可以包括多个位,其指示由解码命令D_CMD所指定的操作。

[0096] 图10是示出根据本发明构思的至少一些示例实施例的图3的非易失性存储器件中的计算电路的框图。

[0097] 在图10中,为了便于描述,示出了ECC引擎440与计算电路700。

[0098] 参照图10,计算电路700可以包括移位寄存器块710、乘法和累加(MAC)电路720以及数据缓冲器780。移位寄存器块710可以包括第一移位寄存器711和第二移位寄存器713。

[0099] ECC引擎440可以通过使用从页缓冲器电路410提供的读取数据集RDT中的奇偶校验数据PRT来校正读取数据集RDT中的用户数据集UDT中的至少一个错误比特。ECC引擎440可以向移位寄存器块710提供包括在用户数据集UDR中的信息比特(information bit)INDT和权重比特(weight bit)WDT。例如,ECC引擎440可以基于奇偶校验数据PRT来校正信息比特INDT和权重比特WDT中的至少一个错误。权重比特WDT与信息比特INDT相关联。信息比特INDT和权重比特WDT中的每一个可以包括N个位,其中N是大于1的整数。当用户数据集UDT对应于图像数据时,信息比特INDT可以包括图像数据的像素值,并且权重比特WDT可以包括与这些像素值相关的参数值。

[0100] 移位寄存器块710可以基于计算窗口来划分权重比特WDT,以顺序地提供特征映射

(feature map), 并且可以基于每个特征映射与信息比特INDT之间的相关性来划分信息比特INDT, 以顺序地提供激活 (activation)。这里, 计算窗口可以定义权重比特WDT在矩阵配置中的子集的大小, 并且可以通过将计算窗口顺序地应用于权重比特WDT来获得每个特征映射。可以基于每个特征映射与信息比特INDT之间的相关性, 将信息比特INDT分组为激活。例如, 每个激活可以与各特征映射中的相应特征映射中的各元素相关。

[0101] 第一移位寄存器711可以将权重比特WDT布置到特征映射中, 每个特征映射具有P*Q的矩阵配置, 可以移位权重比特WDT, 以使得基于第一计算窗口顺序地输出特征映射, 并且可以输出第一移位比特WDTS。这里, P和Q是自然数。第二移位寄存器713可以基于相关性, 将信息比特INDT布置到与多个子数据集相对应的各激活中, 每个子数据集具有L*L矩阵配置, 可以移位信息比特INDT, 以使得基于具有P*Q矩阵配置的第二计算窗口来顺序地输出激活, 并且可以输出第二移位比特INDTS。这里, L是大于3且大于P和Q的自然数。

[0102] MAC电路720可以接收第一移位比特WDTS和第二移位比特INDTS, 可以对每个特征映射及相应的一个激活执行矩阵向量乘法, 可以累加矩阵向量乘法的结果, 并且当针对所有特征映射和激活的矩阵向量乘法完成时, 可以响应于输出使能信号OEN将输出数据集RDTO提供给数据缓冲器780。

[0103] 数据缓冲器780可以响应于写使能信号WEN, 将输出数据集RDTO存储在其中。数据缓冲器780可以包括静态随机存取存储器(SRAM)设备。数据缓冲器780可以向存储器控制器20提供存储的输出数据集RDTO作为数据DATA。

[0104] 图11是示出根据本发明构思的至少一些示例实施例的图10中的计算电路中的乘法和累加(MAC)电路的示例的框图。

[0105] 参照图11, MAC电路720可以包括乘法电路730和累加电路760。

[0106] 乘法电路730可以接收第一移位比特WDTS和第二移位比特INDTS, 并且可以将各激活中的一个激活的信息比特乘以各特征映射中的一个对应特征映射的权重比特, 以提供相乘结果作为输出。累加电路760可以累加乘法电路730的输出以提供输出数据集RDTO。

[0107] 乘法电路730可以包括第一缓冲器731、第二缓冲器733和乘法器735。第一缓冲器731可以接收第一移位比特WDTS, 以输出第一移位比特WDTS作为基于第一计算窗口的特征映射。第二缓冲器733可以接收第二移位比特INDTS, 以输出第二移位比特INDTS作为基于第二计算窗口的激活。乘法器735可以将第一缓冲器731的输出乘以第二缓冲器733的输出, 以提供相乘结果作为中间计算结果ICR。

[0108] 累加电路760可以包括加法器761和缓冲器763。加法器761可以具有第一输入端子和第二输入端子, 并且可以接收中间计算结果ICR, 即, 乘法器735的输出。加法器761可以将来自乘法电路730的中间计算结果ICR与在第二输入端子处接收到的缓冲器763的输出相加, 以向缓冲器763提供相加结果。缓冲器763可以将加法器761的输出反馈到加法器761的第二输入端。缓冲器763可以响应于输出使能信号OEN来提供加法器761的输出作为输出数据集RDTO, 并且可以响应于复位信号RST进行复位。输出使能信号OEN和复位信号RST可以包括在计算控制信号CCTL中。

[0109] 由于在乘法电路730完成所有与输出数据集RDTO的每个输出子数据集相关联的激活和特征映射的矢量矩阵乘法之前, 缓冲器763保持加法器761的输出, 因此非易失性存储器件30可以降低输入/输出电路420消耗的功率。

[0110] 图12示出了由图10中的计算电路执行的矩阵计算,图13详细示出了图12中的矩阵计算。

[0111] 参照图12,通过将第一计算窗口CW1应用于第一移位比特WDTs,可以将与权重比特WDTs相关联的第一移位比特WDTs布置至特征映射FM1至FMk,并且特征映射FM1至FMk中的每个可以对应于第一计算窗口CW1。特征映射FM1至FMk中的每个可以具有P*Q的矩阵配置。在图12中,假设P和Q均等于3。

[0112] 第一特征映射FM1可以具有权重比特W1至W9作为其3×3矩阵配置的各元素。基于特征映射FM1至FMk中的每个与信息比特INDT之间的相关性,可以将与信息比特INDT相关联的第二移位比特INDTS布置成多个子数据集SUBDT1至SUBDTk。也就是说,第二移位比特INDTS可以根据与特征映射FM1至FMk中的每个的相关性被分组为多个子数据集SUBDT1至SUBDTk。例如,第二移位比特INDTS的子数据集SUBDT1与特征映射FM1相关,并且第二移位比特INDTS的子数据集SUBDTk与特征映射FMk相关。子数据集SUBDT1至SUBDTk中的每个可以对应于激活。子数据集SUBDT1至SUBDTk中的每个可以具有L*L矩阵配置。在图12中,假设L等于7。第一子数据集SUBDT1(即,第一激活)可以具有信息比特A1至A49作为其7×7矩阵配置的各元素。在图12中,在子数据集SUBDT1中示出了具有与第一计算窗口CW1相同尺寸的第二计算窗口CW2。

[0113] 计算电路700可以对特征映射FM1至FMk中的每个和与子数据集SUBDT1至SUBDTk相对应的激活中的每个执行矩阵向量乘法,以提供输出子数据集RSUB1至RSUBk。

[0114] 可以通过第一特征映射FM1和第一激活(即,第一子数据集SUBDT1)的矩阵向量乘法来生成第一输出子数据集RSUB1。

[0115] 图13示出了图12中的第一特征映射和第一激活的矩阵向量乘法的过程。

[0116] 参照图13,MAC电路720可以包括多个单元计算器741至74p。单元计算器741可以包括乘法器751、加法器752和累加器753。加法器752可以具有用于接收乘法器751的输出的第一输入端子和用于接收累加器753的输出的第二输入端子。因此,可以根据下面的等式1计算第一输出子数据集RSUB1的第一元素R1。

[0117] [等式1]

$$R1 = A1*W1 + A2*W2 + A3*W3 + A8*W4 + A9*W5 + A10*W6 + \dots + A17*W9$$

[0119] 类似地,可以根据下面的等式2计算第一输出子数据集RSUB1的元素R25。

[0120] [公式2]

$$R25 = A33*W1 + A34*W2 + A35*W3 + A40*W4 + A41*W5 + A42*W6 + \dots + A49*W9$$

[0122] 单元计算器741使用等式1生成元素R1,单元计算器742生成元素R2,单元计算器743生成元素R3,并且单元计算器74p生成元素R25。

[0123] 当第二移位寄存器713移位图12中的第二计算窗口CW2时(当第二计算窗口CW2包括第一方向D11和第二方向D12上的P*P信息比特时),第二移位寄存器713可以在第一方向D11上移位第二计算窗口CW2,使得相对于第二计算窗口CW2的两个连续位置来重复选择第二方向D12上的2P个信息比特,直到第二计算窗口CW2到达激活的边界为止。当响应于第二计算窗口CW2到达激活的边界时,将第二计算窗口CW2移位L-P。

[0124] 非易失性存储器件30可以包括多个计算电路,例如计算电路700,并且多个计算电路可以并行地对特征映射FM1至FMk中的每个和与子数据集SUBDT1至SUBDTk相对应的每个

激活执行矩阵向量乘法。

[0125] 图14是示出根据本发明构思的至少一些示例实施例的非易失性存储器件的操作的时序图。

[0126] 参照图14,主要描述ECC引擎440和计算电路700的操作。

[0127] 参照图1到14,在定时点T1,响应于与复位命令 (ROP) 相对应的复位信号RST对累加电路760中的缓冲器763进行复位。缓冲器763被设置为数据未存储在缓冲器763中的状态。在定时点T3,响应于第一读取命令RD1,通过页缓冲器电路410将权重比特WDT提供给ECC引擎440,并且在定时点T5,响应于第二读取命令RD2,通过页缓冲器电路410将信息比特INDT提供给ECC引擎440。ECC引擎440可以对权重比特WDT和信息比特INDT执行ECC解码,以校正权重比特WDT和信息比特INDT中的至少一个错误比特。

[0128] 从定时点T4开始,第一移位寄存器711顺序输出权重比特WDT中的权重W1至Wr,并且从定时点T6开始,第二移位寄存器713顺序输出信息比特INDT中的比特A1至Ar。从定时点T7到定时点T8,MAC电路720对权重W1至Wr和比特A1至Ar执行矩阵向量乘法MOP,在定时点T8,数据缓冲器780响应于写入命令WR将权重W1至Wr和比特A1至Ar的矩阵向量乘法MOP结果存储在其中,并且在定时点T9,数据缓冲器780输出数据DATA。

[0129] 因此,由于在乘法电路730基于非易失性存储器件30中的计算电路700中的计算窗口完成对所有信息比特和权重比特的矩阵向量乘法之前,缓冲器763不向数据缓冲器780提供加法器761的输出,因此非易失性存储器件30可以减少输入/输出电路420消耗的功率。因此,非易失性存储器件30可以减少多层感知器 (MLP)、递归神经网络 (RNN)、卷积神经网络 (CNN) 等的数据处理时间和功耗。

[0130] 图15是示出根据本发明构思的至少一些示例实施例的非易失性存储器件的框图。

[0131] 参照图15,非易失性存储器件800可以包括存储单元阵列810、行解码器820、页缓冲器电路830、计算电路850和外围电路840。

[0132] 行解码器820可以接收驱动电压VWLS和行地址R_ADDR。随着存储单元阵列810的集成度和非易失性存储器件800的操作速度增加,由于施加到字线的信号的延迟,行解码器820不仅可以与存储单元相邻地设置,而且还可以包括与布置在存储单元阵列810中的各条字线相邻且重复布置的相同的电路。

[0133] 页缓冲器电路830可以从外围电路840接收控制信号PCTL,并且可以从外围电路840接收数据信号D_RW。响应于控制信号PCTL,页缓冲器电路830可以基于从外围电路840接收的数据信号D_RW向位线施加信号,并且因此可以将数据写入存储单元阵列810的存储单元。

[0134] 计算电路850可以响应于来自外围电路840的计算控制信号CCTL,对从外围电路840提供的用户数据集执行计算,并且可以将输出数据集DATA提供给外围电路840。外围电路840可以从非易失性存储器件800的外部接收命令CMD、地址ADDR和控制信号CTRL,并且可以与非易失性存储器件800的外部收发(即,接收和/或发送)数据DATA。

[0135] 图16示意性地示出了根据本发明构思的至少一些示例实施例的图15的非易失性存储器件的结构。

[0136] 参照图16,非易失性存储器件800可以包括第一半导体层40和第二半导体层50,并且第一半导体层40可以在第三方向D3上层叠在第二半导体层50上。图15中的存储单元阵列

810可以形成在第一半导体层40中，并且行解码器820、页缓冲器电路830、计算电路850和外围电路840可以形成在第二半导体层50中。换句话说，第二半导体层50可以包括衬底，并且诸如晶体管的半导体器件和用于布线各器件的图案形成在衬底上。因此，各电路（例如，与行解码器820、页缓冲器电路830、计算电路850和外围电路840相对应的各电路）可以形成在第二半导体层50中。

[0137] 在第二半导体层50中形成各电路之后，可以形成包括存储单元阵列810的第一半导体层40，并且可以形成用于电连接存储单元阵列810（例如，字线WL和位线BL）与形成在第二半导体层50中的各电路（例如，与行解码器820、页缓冲器电路830、计算电路850和外围电路840相对应的各电路）的图案。因此，非易失性存储器件800可以具有存储单元阵列810和其他电路（即，与行解码器820、页缓冲器电路830、计算电路850和外围电路840相对应的各电路）在层叠方向（即第三方向D3）上设置的结构，即，Cell-on-Peri或Cell-Over-Peri（COP）结构。由于除存储单元阵列810之外的各电路设置在存储单元阵列810下方，因此COP结构可以有效地减小占据垂直于层叠方向的表面上的面积。

[0138] 参照图16，在形成有存储单元阵列810的第一半导体层40中，字线WL可以在垂直于层叠方向（即，第三方向D3）的第一方向D1上延伸，并且位线BL可以在垂直于层叠方向（即，第三方向D3）的第二方向D2上延伸。

[0139] 包括在外围电路840中的一些电路可以形成在第二半导体层50中而不与存储单元阵列810重叠。结果，非易失性存储器件800的面积（即垂直于第三方向D3的平面面积）可以增加，可以提高非易失性存储器件800的集成度。

[0140] 图17是根据本发明构思的至少一些示例实施例的非易失性存储器件的示例的截面图。

[0141] 参照图17，第二半导体层50可以包括在第三方向D3上层叠的衬底SUB、第二下绝缘层IL22和第一下绝缘层IL21。

[0142] 可以在第二半导体层50的衬底SUB上形成多个半导体器件，例如晶体管TR。半导体器件可以经由穿透第二下绝缘层IL22的接触插塞CP21电连接到形成在第一下绝缘层IL21上的导电图案MP21。形成在第二半导体层50中的半导体器件可以形成与图15中的行解码器820、页缓冲器电路830、计算电路850和外围电路840相对应的各电路。

[0143] 第一半导体层40可以形成为层叠在第二半导体层50上，并且第一半导体层40可以包括在第三方向D3上层叠的基底板BP和上绝缘层IL10。

[0144] 可以通过设置在存储单元阵列810的边缘侧的接触插塞CP12，在第一半导体层40和第二半导体层50之间形成导电路径。换句话说，如图17所示，在第三方向D3上层叠的串选择线SSL、字线WL1至WL8和地选择线GSL可以经由形成在上绝缘层IL10中的接触插塞CP11电连接到形成在第一半导体层40的上表面上的导电图案MP11。导电图案MP11可以通过穿透第一半导体层40（即，上绝缘层IL10和基底板BP）的接触插塞CP12电连接到形成在第二半导体层50中的导电图案MP21。结果，导电图案MP11可以电连接到形成在第二半导体层50中的半导体器件，例如晶体管TR。

[0145] 例如，设置在存储单元阵列810的边缘侧并且穿透第一半导体层40的接触插塞CP12可以用于将在存储单元阵列810中布置的字线WL1至WL8电连接到在第二半导体层50中形成的与行解码器820相对应的电路。

[0146] 图18示出了根据本发明构思的至少一些示例实施例的包括第一半导体层和第二半导体层的非易失性存储器件的结构,图19是在图18的非易失性存储器件中与第一半导体层接触的第二半导体层的上表面的平面图。

[0147] 参照图18和图19,在非易失性存储器件800'中,行解码器820可以设置为具有与字线WL的延伸方向(即,字线WL布置的方向)垂直的方向上延伸的形状。页缓冲器电路830可以布置为具有与位线BL的延伸方向(即,位线BL的布置方向)垂直的方向上的形状。因此,在具有COP结构的非易失性存储器件800'中,行解码器820、页缓冲器电路830和计算电路850可以像风车一样设置,因为行解码器820和页缓冲器电路830中的每一个被分成两个或更多个部分,如图18和图19所示,从而增加在第三方向D3上与第一半导体层40的存储单元阵列810重叠的面积。

[0148] 换句话说,参照图18和图19,与行解码器820对应的电路可以分成第一行解码器电路RD_1和第二行解码器电路RD_2,与页缓冲器电路830对应的电路可以分成第一页缓冲器电路PB_1和第二页缓冲器电路PB_2,与计算电路850对应的电路可以分成第一计算电路CC1和第二计算电路CC2。例如,当与行解码器120对应的电路在第二方向D2上具有与存储单元阵列110实质相同的长度,与页缓冲器130对应的电路在第一方向D1上具有与存储单元阵列110实质相同的长度时,与行解码器120和页缓冲器130对应的电路可以像风车一样设置,从而在第三方向D3上与第一半导体层40的存储单元阵列810重叠。与行解码器820、页缓冲器电路830和计算电路850对应的各电路可以像风车一样设置,从而在第三方向D3上与第一半导体层40的存储单元阵列810重叠。

[0149] 参照图19,当在第一方向D1上与字线WL平行的虚线Y0-Y0'和在第二方向D2上与位线BL平行的虚线X0-X0'在区域R0或R0'(其在垂直于第一方向D1和第二方向D2的第三方向D3上与存储单元阵列810重叠)中的点P0处相交时,第二半导体层50可以包括由两条虚线Y0-Y0'和X0-X0'划分的四个区域R1至R4。如图19所示,第一行解码器电路RD_1和第二行解码器电路RD_2可以分别设置在第一区域R1和第三区域R3中,第一页缓冲器电路PB_1和第二页缓冲器电路PB_2可以分别设置在第二区域R2和第四区域R4中,并且第一计算电路CC1和第二计算电路CC2可以分别设置在第二区域R2和第四区域R4中。

[0150] 例如,如果第二半导体层50的与第一半导体层40的存储单元阵列810重叠的区域是图19的区域R0,则第一区域R1至第四区域R4可以与存储单元阵列810完全重叠。因此,第一行解码器电路RD_1和第二行解码器电路RD_2、第一页缓冲器电路PB_1和第二页缓冲器电路PB_2以及第一计算电路CC1和第二计算电路CC2可以在第三方向D3上与存储单元阵列810完全重叠。在另一示例中,如果第二半导体层50与第一半导体层40的存储单元阵列810重叠的区域是图19的区域R0',则第一区域R1至第四区域R4可以与存储单元阵列810部分重叠。因此,第一行解码器电路RD_1和第二行解码器电路RD_2、第一页缓冲器电路PB_1和第二页缓冲器电路PB_2以及第一计算电路CC1和第二计算电路CC2可以包括在第三方向D3上不与存储单元阵列810重叠的部分。

[0151] 图20是根据本发明构思的至少一些示例实施例的图15的非易失性存储器件中的外围电路的示例的框图。

[0152] 参照图20,外围电路840可以包括电压产生电路841、控制电路843和数据输入/输出电路845。电压产生电路841、控制电路843和数据输入/输出电路中的每一个的配置和操

作与图3的非易失性存储器件30中的电压产生电路600、控制电路500和数据输入/输出电路420中的每一个的配置和操作实质相同,因此将省略详细描述。

[0153] 与图20的外围电路840的各元件相对应的各电路可以设置在图16的第二半导体层50中,具有图15中的行解码器820、页缓冲器电路830和计算电路850。

[0154] 图21是示出根据本发明构思的至少一些示例实施例的操作非易失性存储器件的方法的流程图。

[0155] 参照图1至图20,在操作包括具有多个非易失性存储单元的存储单元阵列100的非易失性存储器件30的方法中,通过经由多个位线BL连接到存储单元阵列100的页缓冲器电路410,将来自存储单元阵列100的信息比特INDT和权重比特WDT提供给移位寄存器块710(S110)。信息比特INDT和权重比特WDT包括在通过页缓冲器电路410读取的用户数据集UDT中。在移位寄存器块710中将信息比特INDT和权重比特WDT分别分成激活和特征映射(S120)。

[0156] MAC电路720基于计算窗口对激活和特征映射执行矩阵向量乘法(S130)。当对所有信息比特和权重比特的矩阵向量乘法完成时,数据缓冲器780提供输出数据集RDTO(S140)。输出数据集RDTO对应于已完成的矩阵向量乘法的结果。

[0157] 图22是示出根据本发明构思的至少一些示例实施例的固态盘或固态驱动器(SSD)的框图。

[0158] 参照图22,SSD 1000包括多个非易失性存储器件1100和SSD控制器1200。

[0159] 可选地,可以向非易失性存储器件1100提供外部高电压(或第二电源电压)VPP。每个非易失性存储器件1100可以包括图3的非易失性存储器件30。因此,每个非易失性存储器件1100可以包括连接在页缓冲器电路与数据输入/输出电路之间的计算电路。计算电路基于计算窗口对信息比特和权重比特执行矩阵向量乘法,在对所有的信息比特和权重比特的矩阵向量乘法完成之前,不向数据输入/输出电路提供矩阵向量乘法的结果。因此,每个非易失性存储器件1100可以减少输入/输出路径所消耗的功率。另外,计算电路形成在形成有存储单元阵列的第一半导体层下面的第二半导体层中,因此可以改善每个非易失性存储器件1100的集成度。

[0160] SSD控制器1200通过多个通道CH1至CHi连接到非易失性存储器件1100。SSD控制器1200包括一个或多个处理器1210、缓冲存储器1220、ECC块1230、主机接口1250和非易失性存储器接口1260。

[0161] 缓冲存储器1220存储用于驱动SSD控制器1200的数据。缓冲存储器1220包括多个存储器线,每个存储器线存储数据或命令。ECC块1230计算在写入操作时要编程的数据的错误校验码值,并在读取操作时使用错误校验码值来校正读取数据中的错误。在数据恢复操作中,ECC块1230校正从非易失性存储器件1100恢复的数据中的错误。

[0162] 可以以各种形式封装非易失性存储器件或存储系统。

[0163] 包括非易失性存储器件的各种电子设备可以采用本发明构思的一个或多个示例实施例。

[0164] 已经描述了本发明构思的示例实施例,显然可以以多种方式改变本发明构思的示例实施例。不应将这些变化视为脱离本发明构思的示例实施例的预期精神和范围,并且对于本领域技术人员显而易见的所有这些修改旨在包括在所附权利要求的范围内。

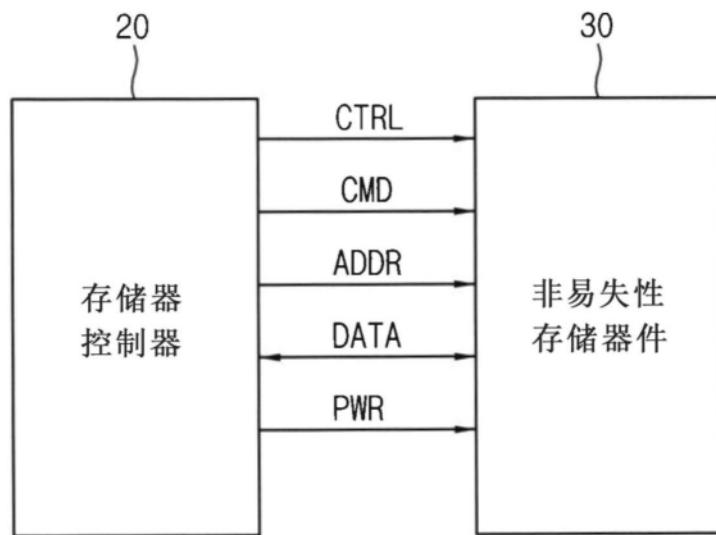
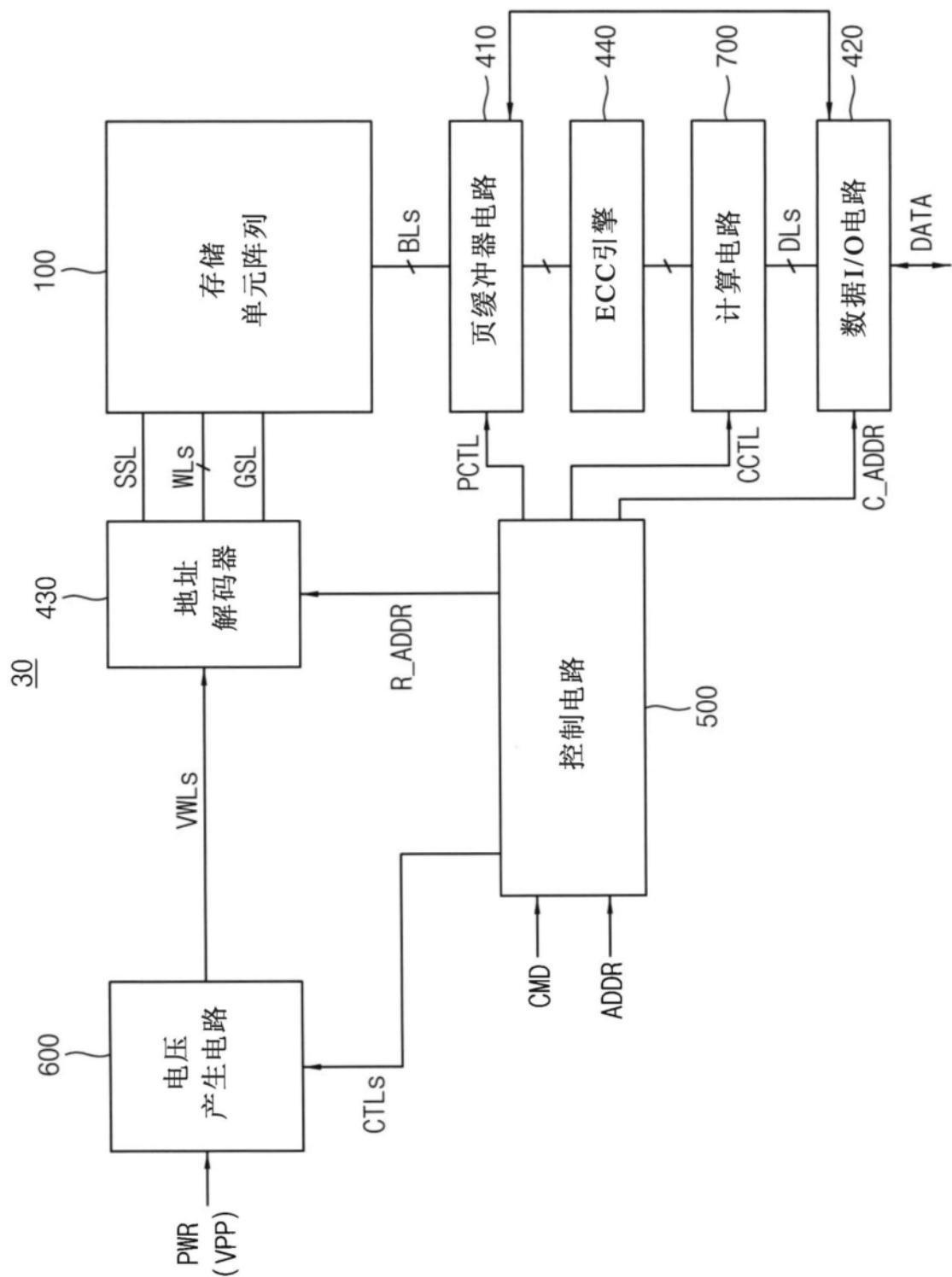
10

图1

CLE	命令锁存使能
ALE	地址锁存使能
nCE	芯片使能
nRE	读使能
nWE	写使能

图2



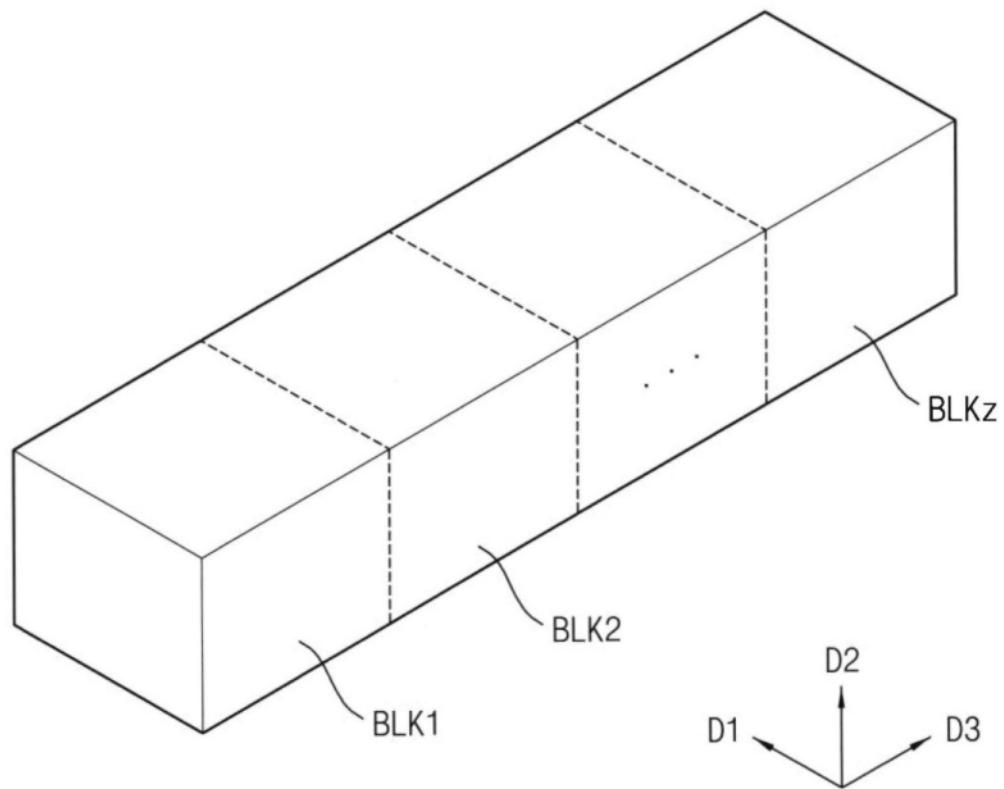
100

图4

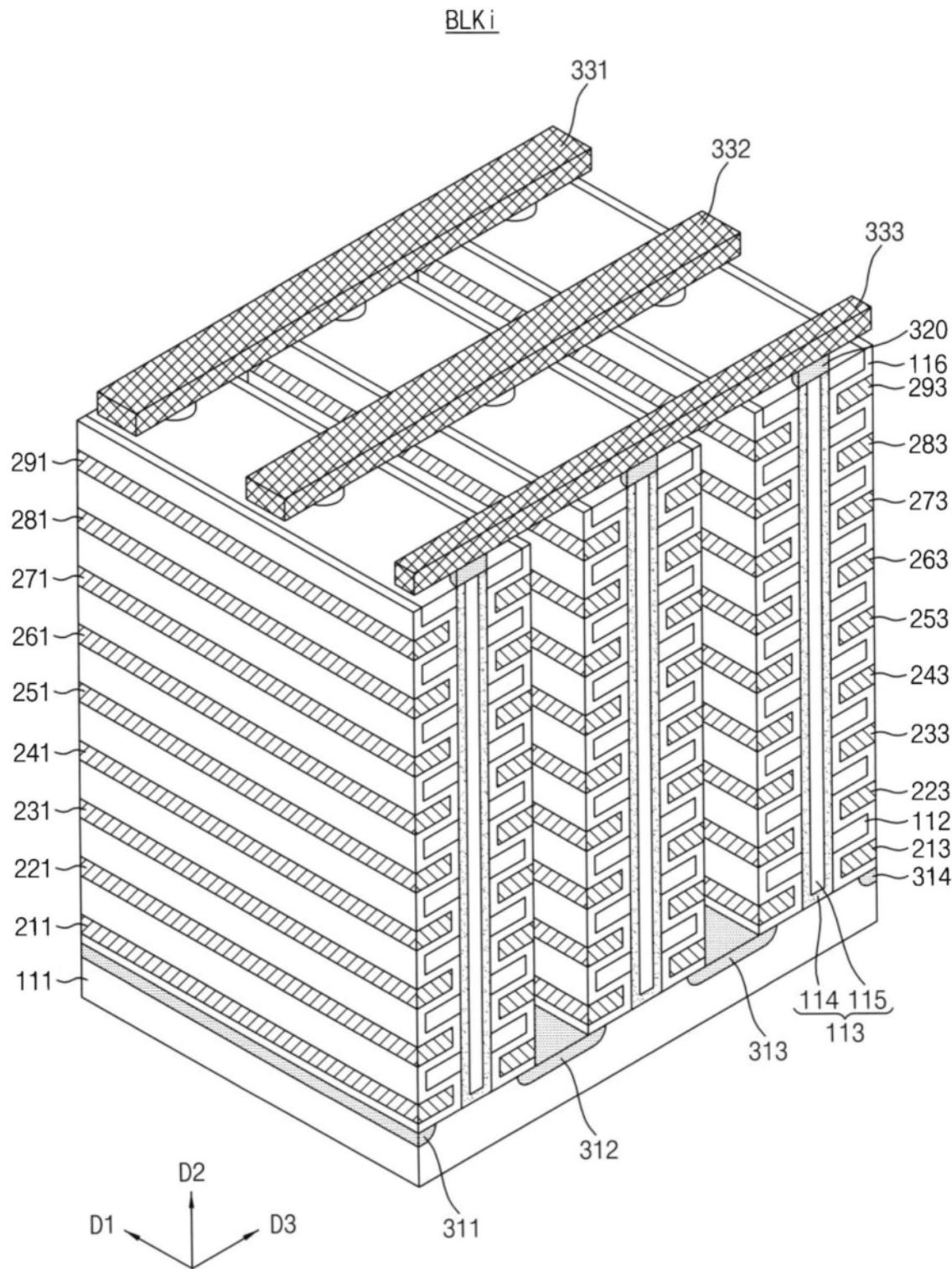


图5

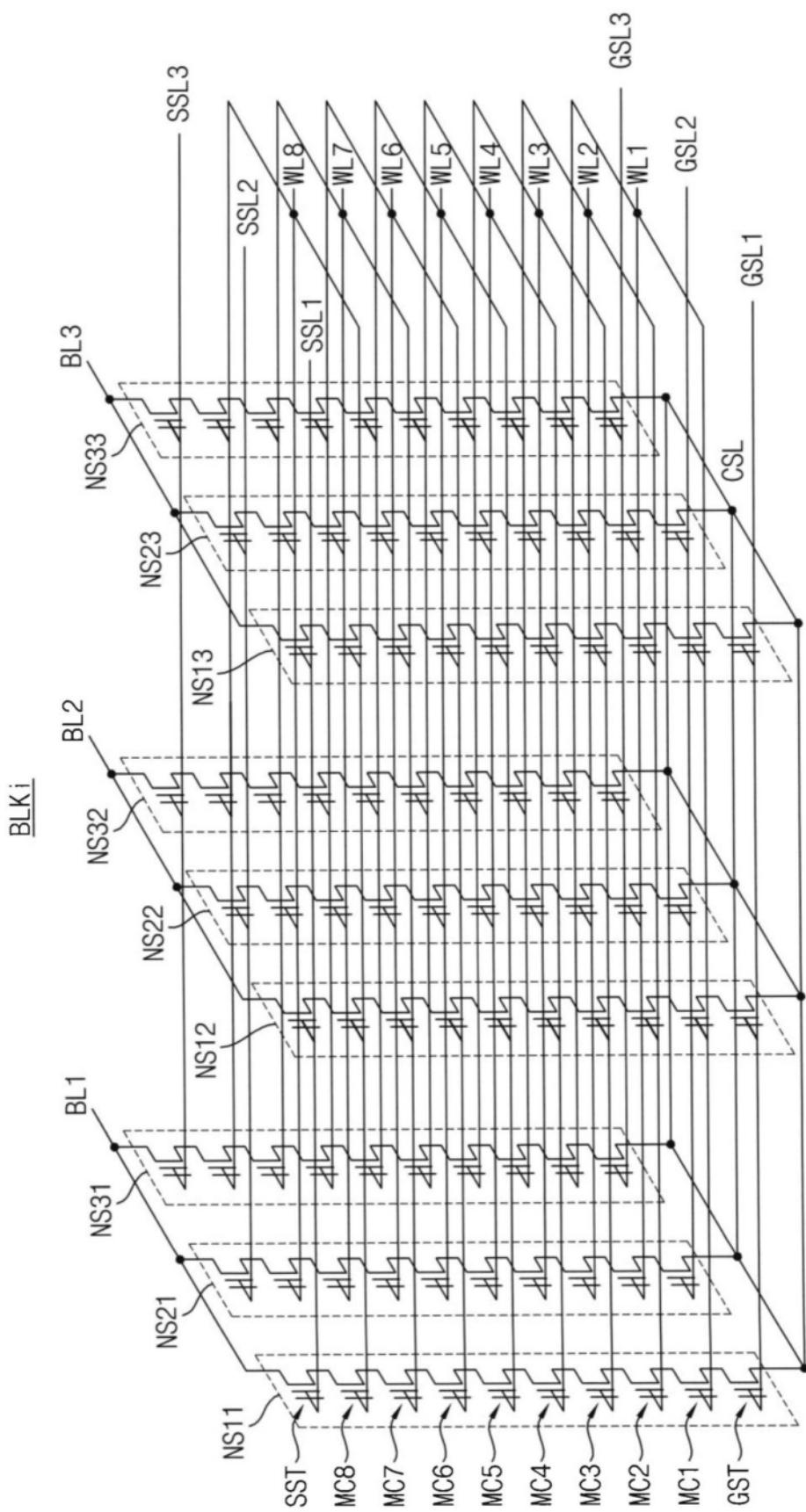


图6

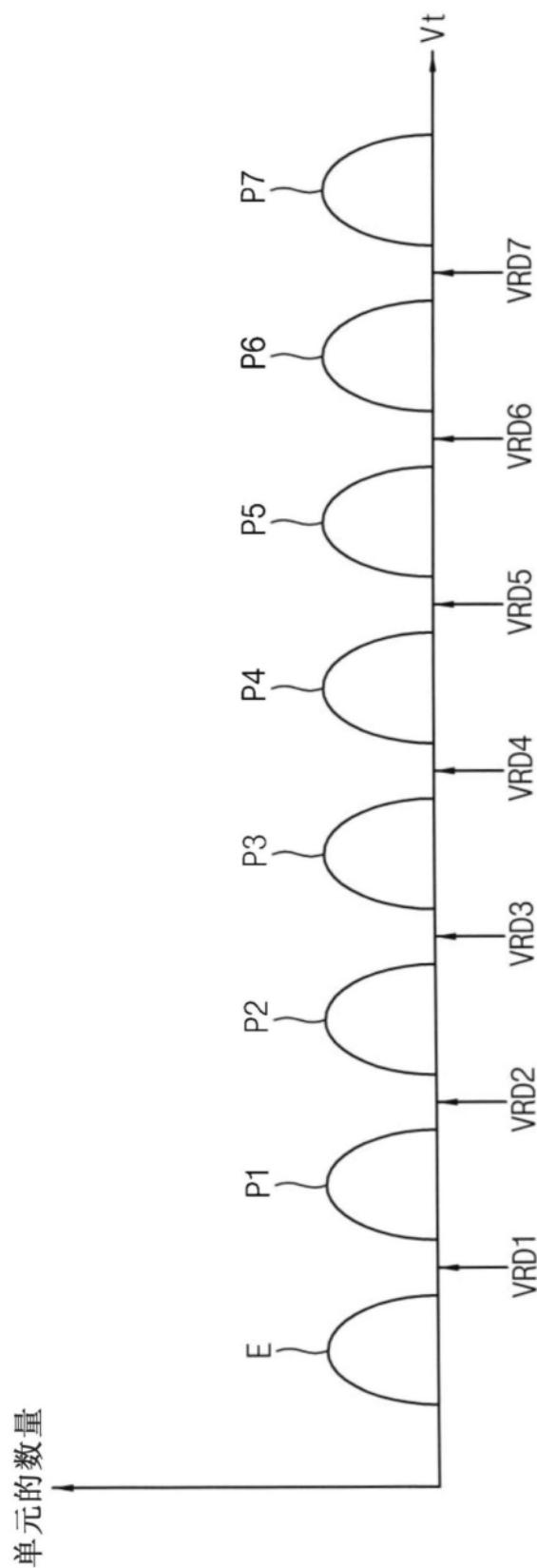


图7

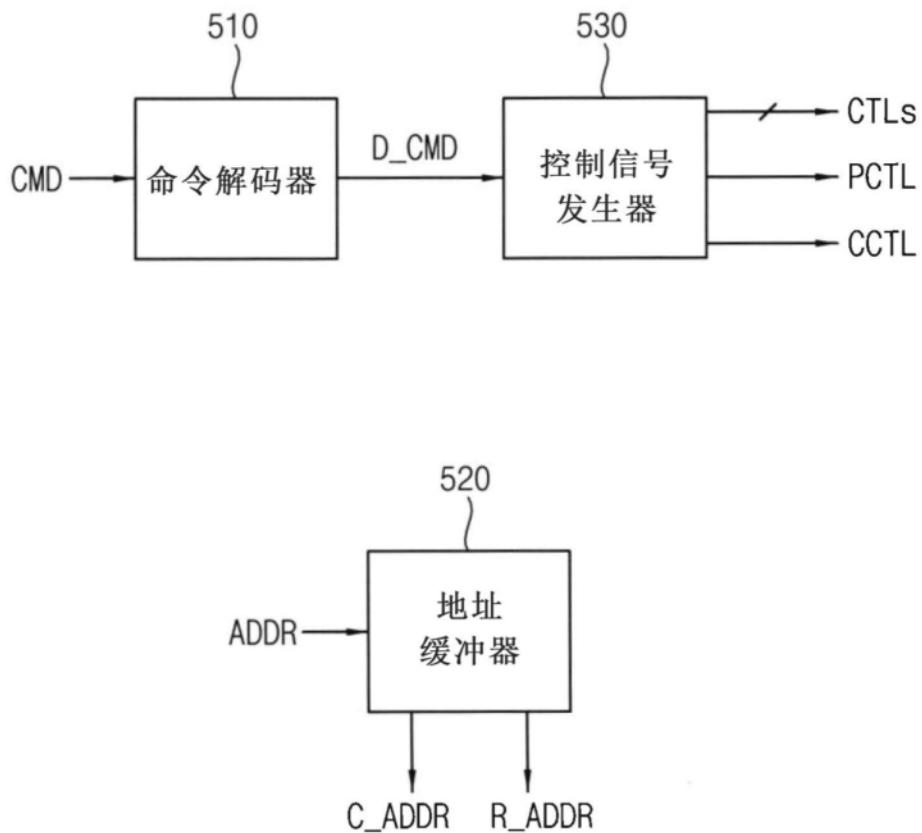
500

图8

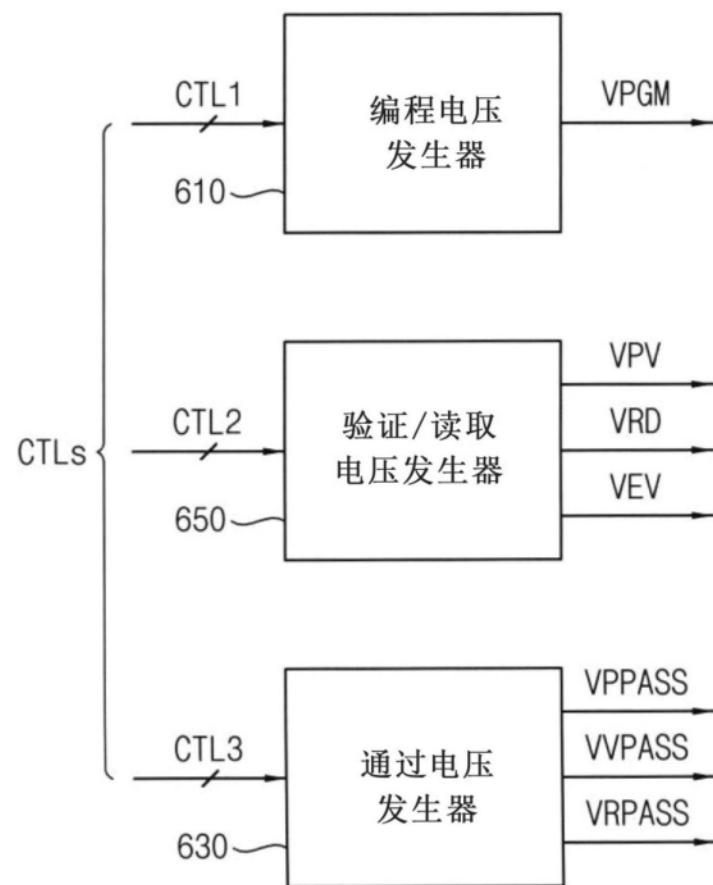
600

图9

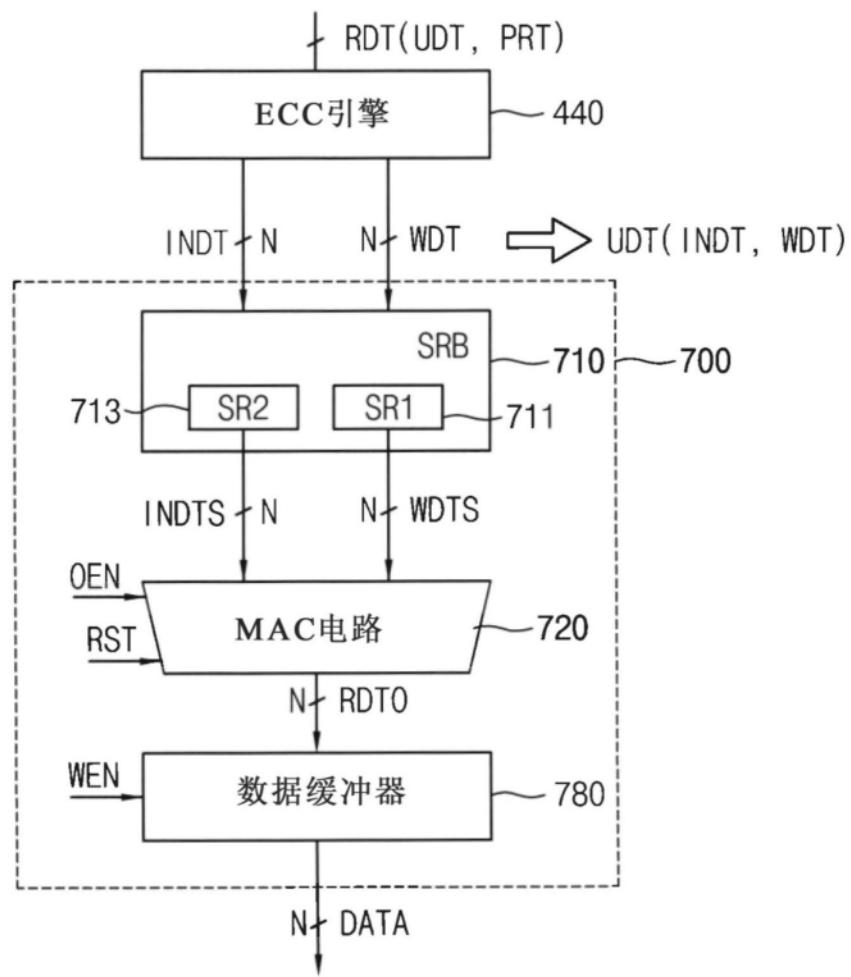


图10

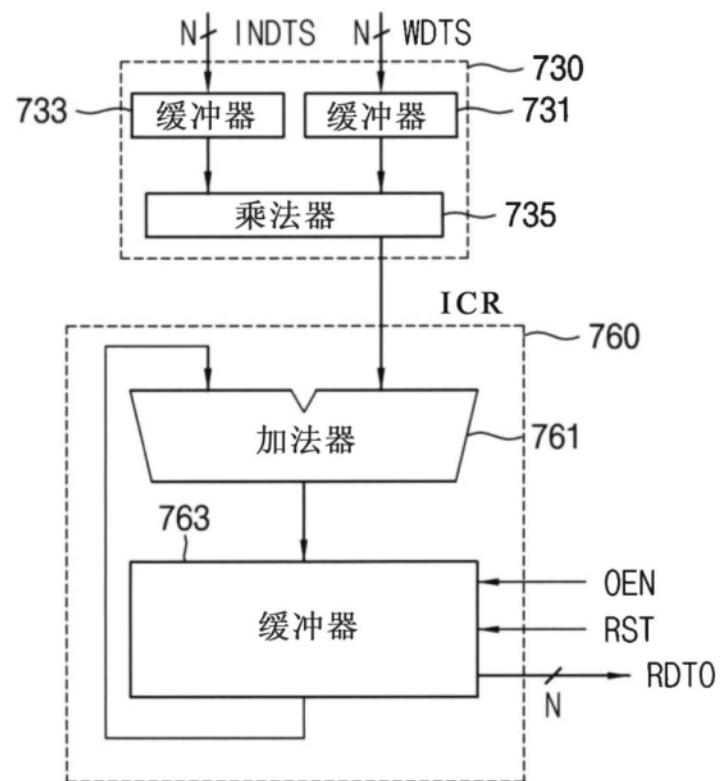
720

图11

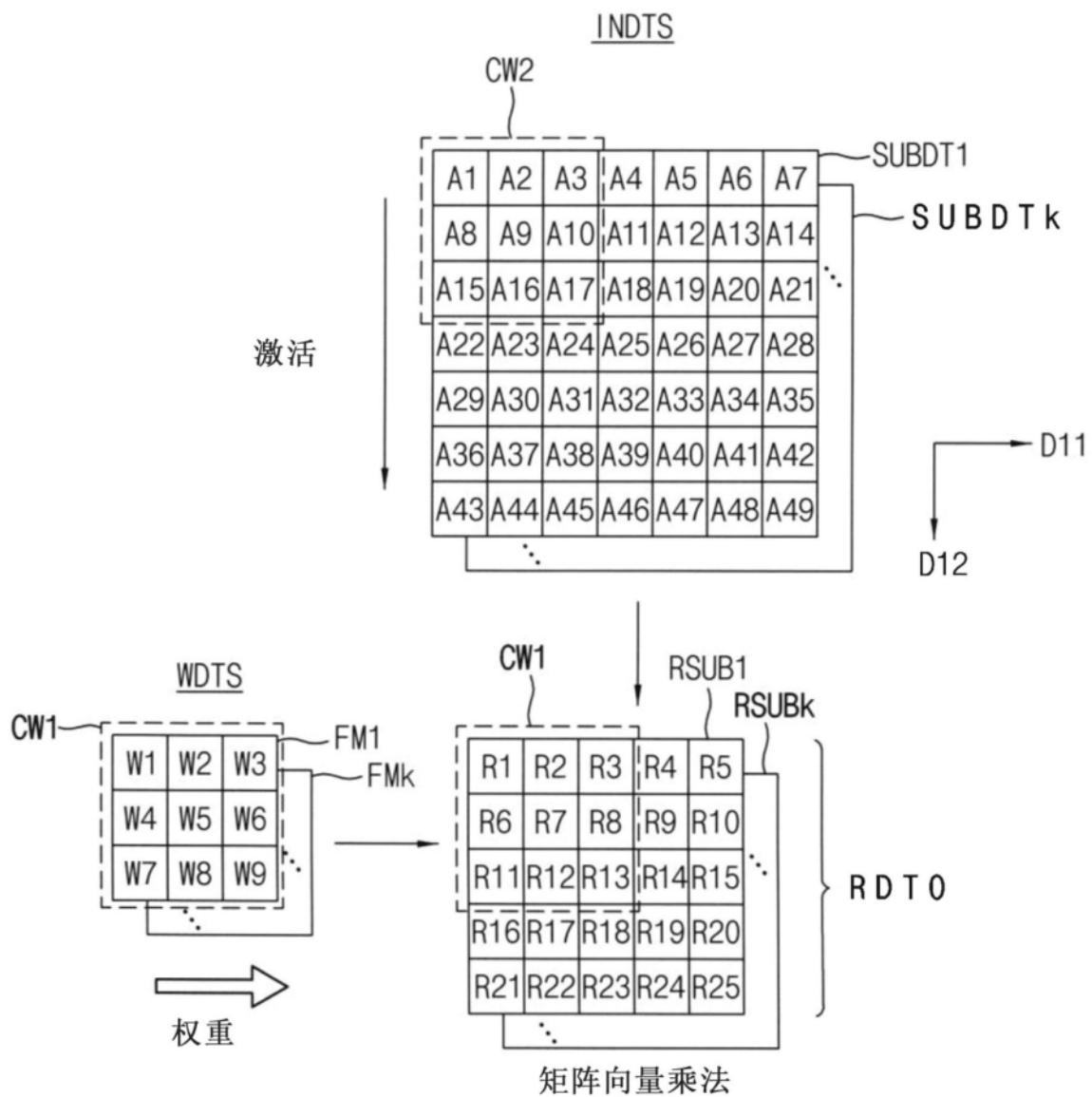


图12

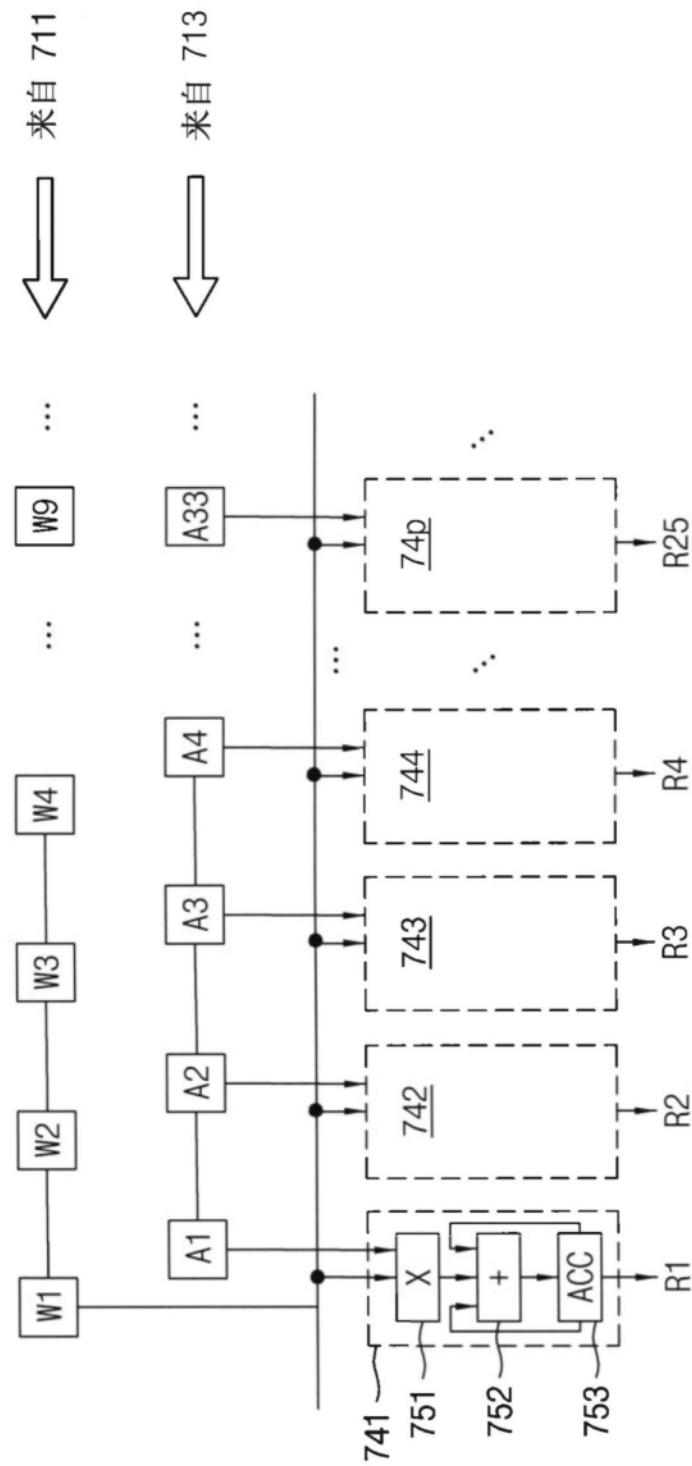


图13

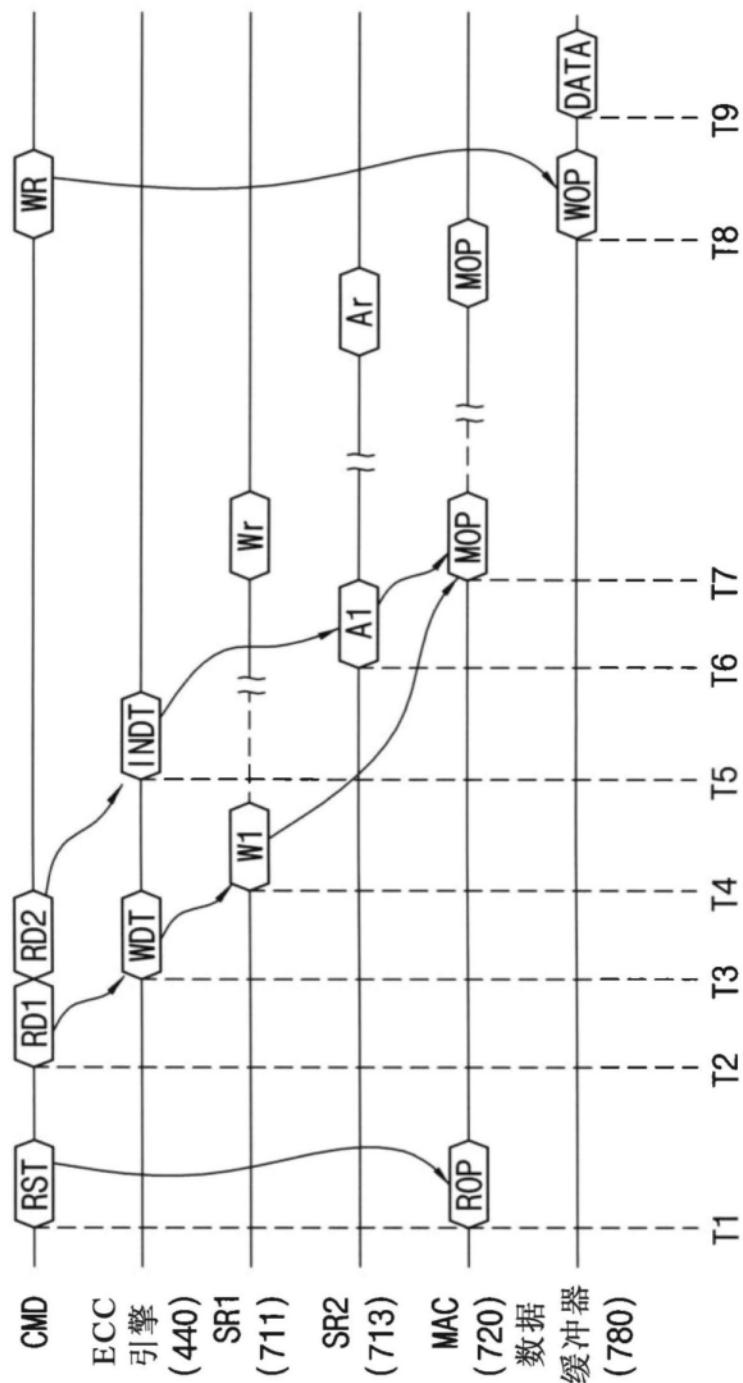


图14

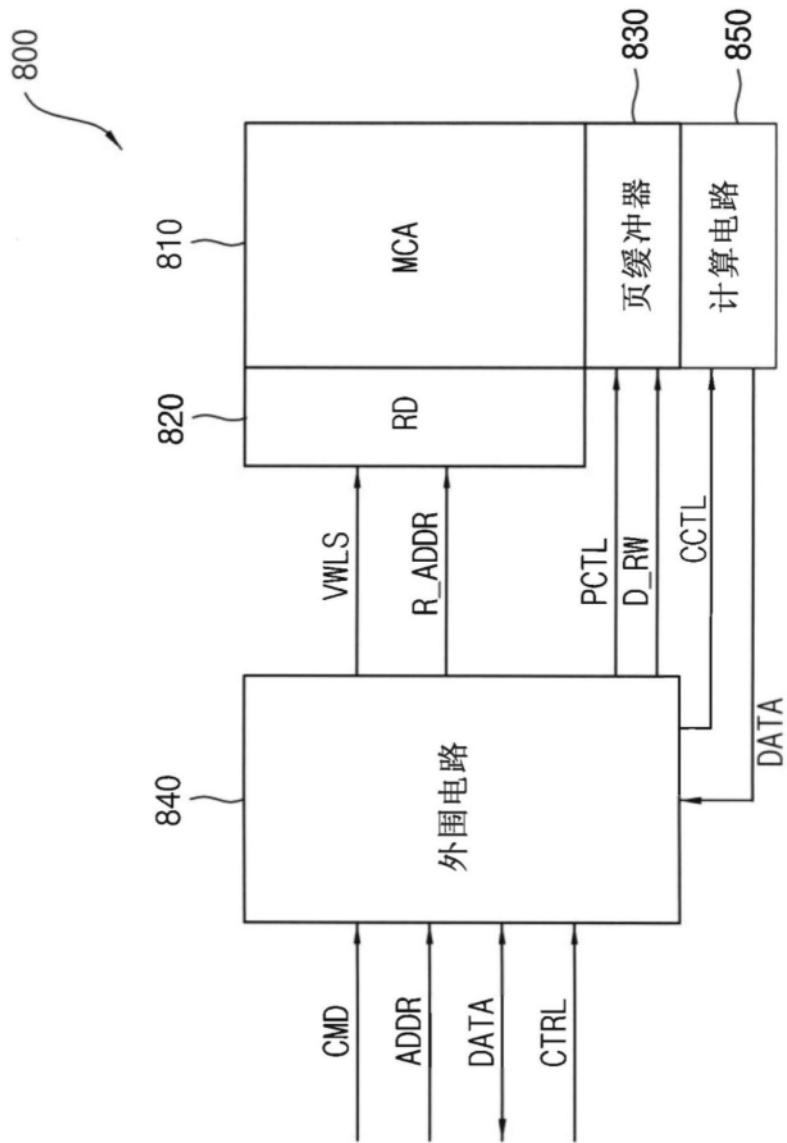


图15

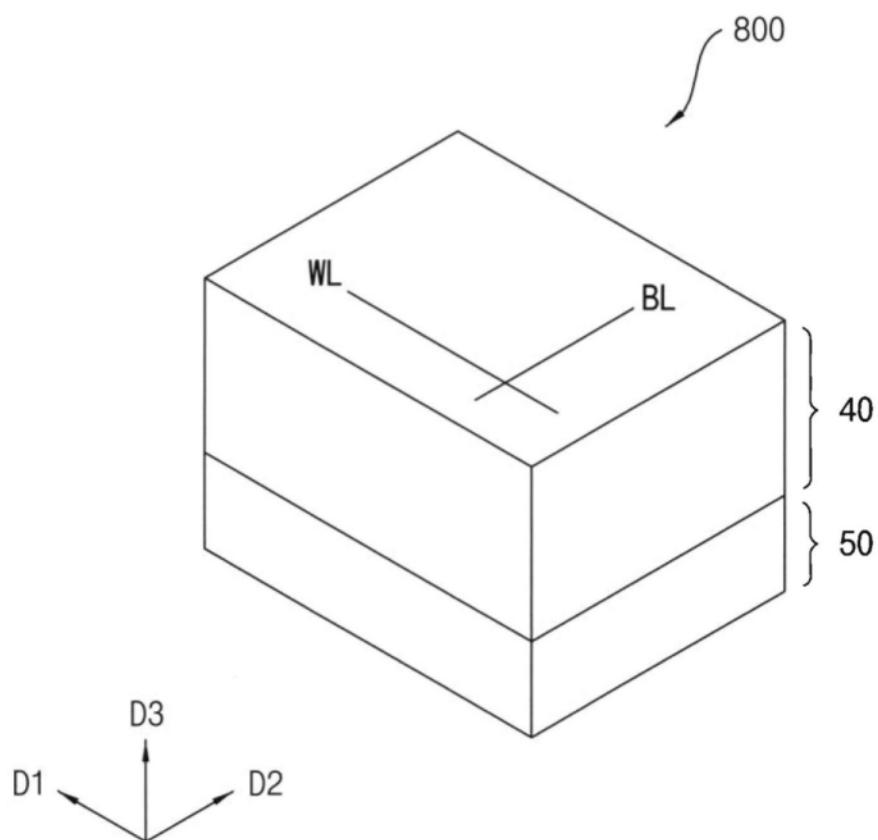


图16

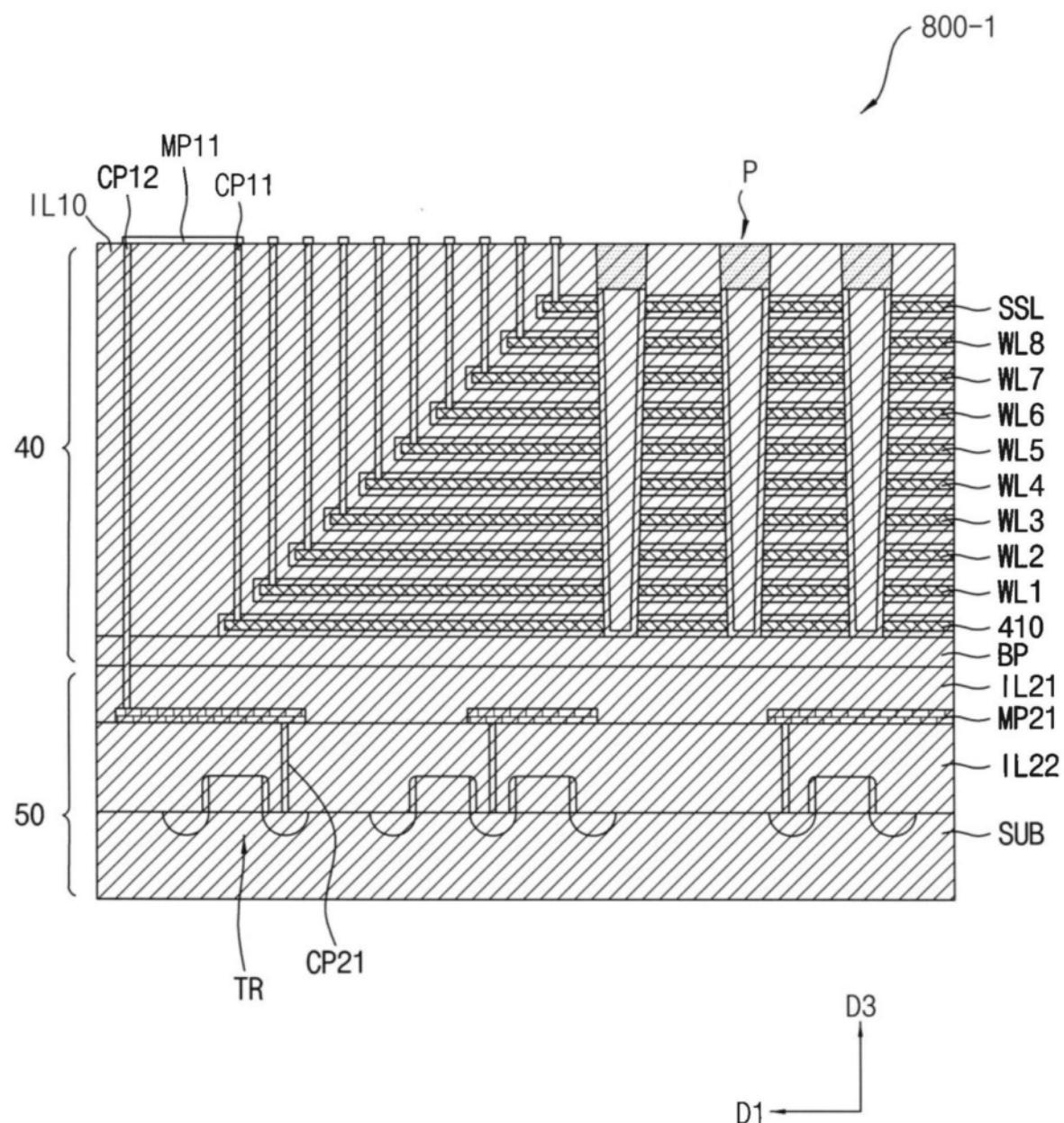


图17

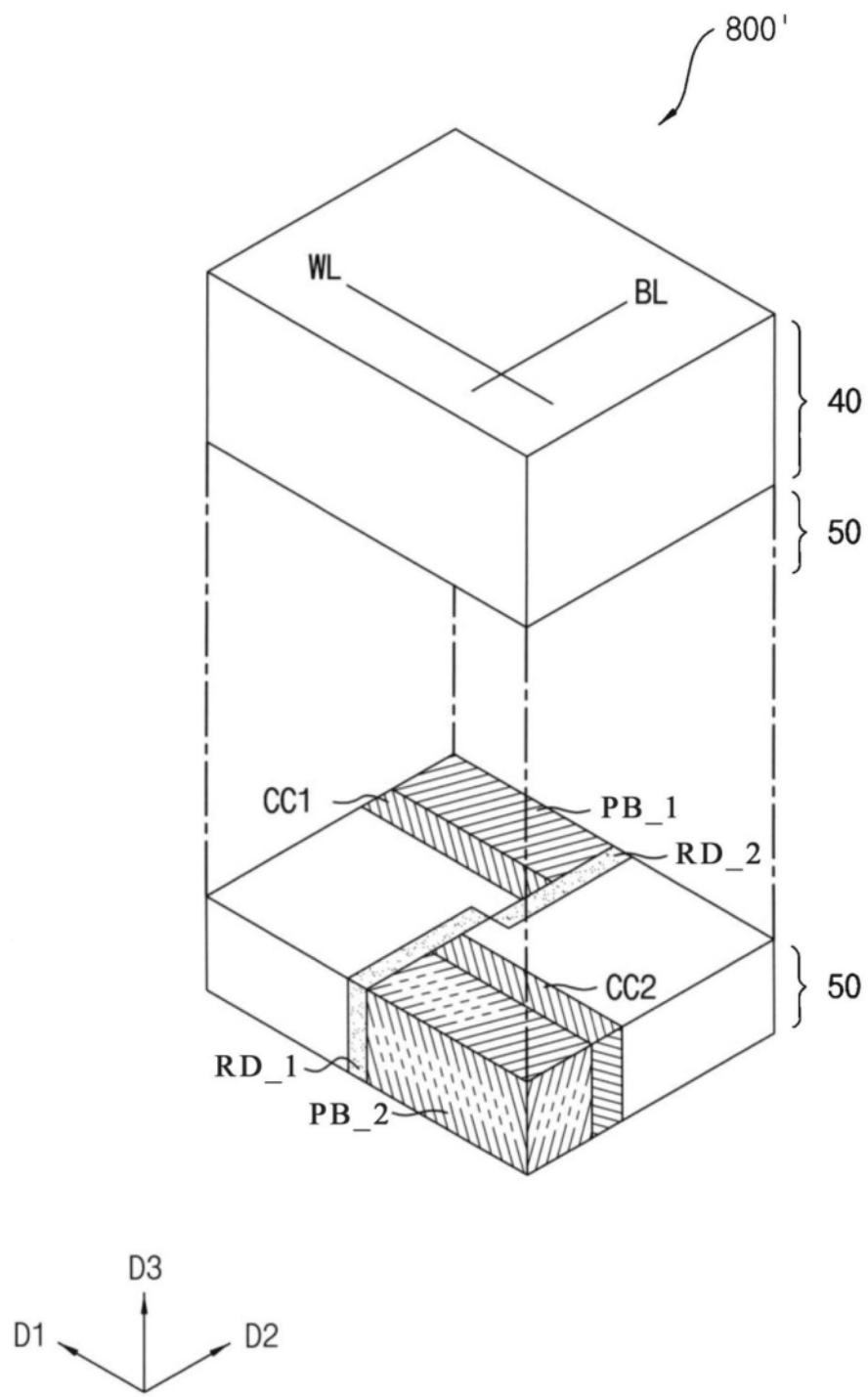


图18

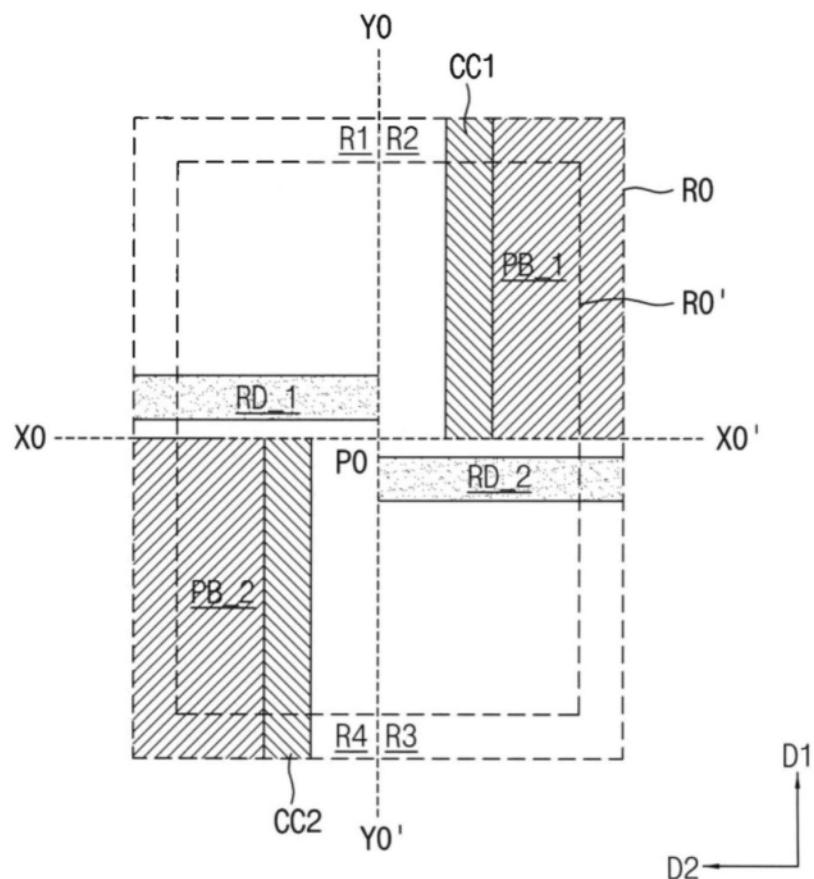


图19

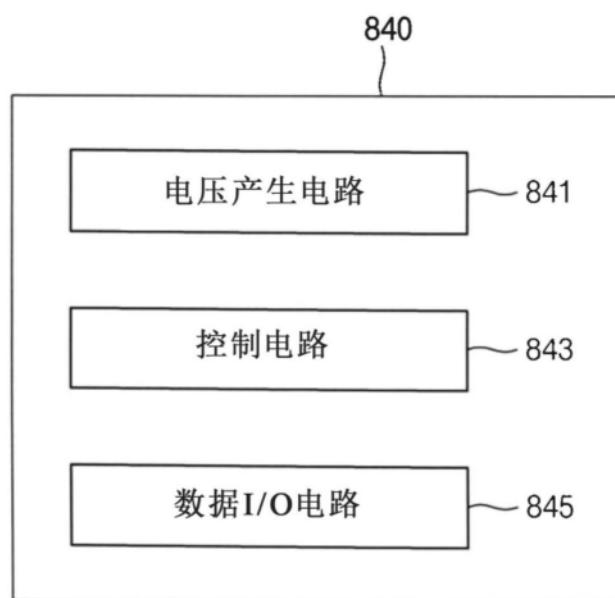


图20

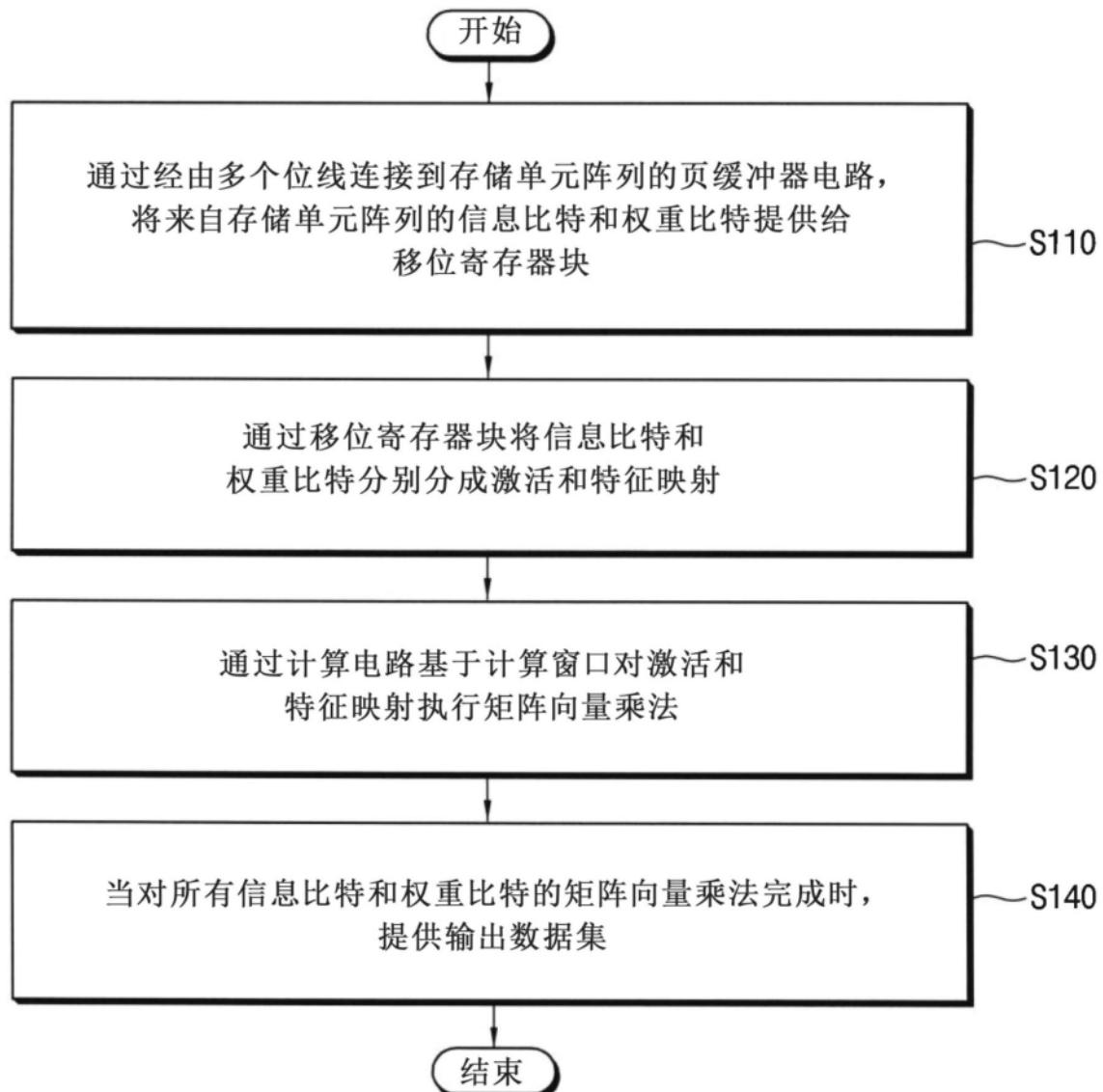


图21

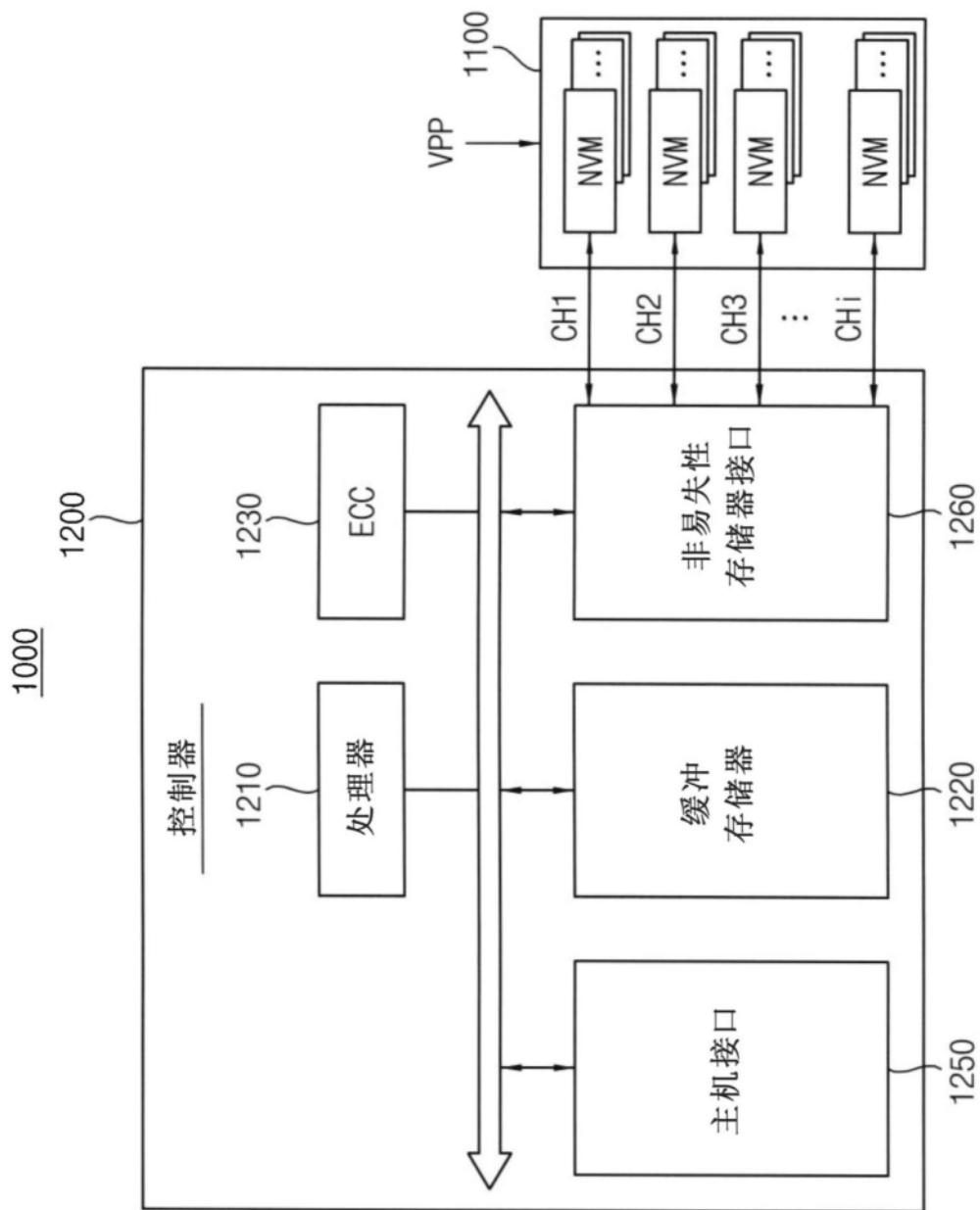


图22