



[12] 发明专利申请公开说明书

[21] 申请号 01810026.0

[43] 公开日 2003 年 7 月 16 日

[11] 公开号 CN 1430775A

[22] 申请日 2001.3.9 [21] 申请号 01810026.0

[30] 优先权

[32] 2000.5.24 [33] US [31] 09/577,527

[86] 国际申请 PCT/US01/07744 2001.3.9

[87] 国际公布 WO01/91102 英 2001.11.29

[85] 进入国家阶段日期 2002.11.25

[71] 申请人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 G·萨托里 D·E·吉利克

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

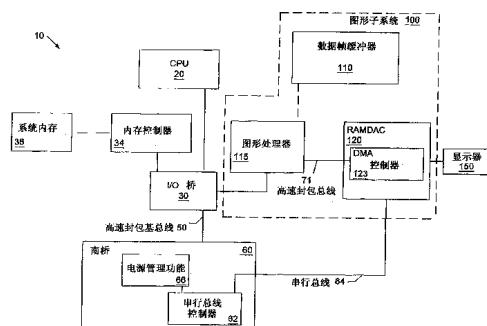
权利要求书 2 页 说明书 11 页 附图 9 页

[54] 发明名称 包含数字视频储存接口用来连接到使用 DMA 的图形总线的 RAMDAC 集成电路图形子系统

[57] 摘要

一种包括用来连接到设置于集成电路(IC)芯片的图形总线的 RAMDAC(120)的图形子系统，与图形处理器(115)分离。于一个实施例中，图形处理器配置成响应于图形指令而再现数字图像信息，并将该数字图像信息储存于存储器中。RAMDAC IC 包括转换单元(133)，该转换单元(133)包括彩色映射单元(132)和数模转换器(134)，并配置成可将代表的数字图像信息转换成一个或多个用来驱动视频显示器的模拟信号。该图形子系统更进一步包括直接内存存取(DMA)控制器(123)，设置于第二集成电路芯片。该 DMA 控制器配置成产生读取请求，以检索出储存在存储器中的数字图像信息，由此而使得将数字图像信息提供于转换单元中。DMA 控制器进一步配置成产生写入周期，以使得从转换单元

中的彩色映射单元所接收的数字 RGB 显示数据，提供用来储存于存储器的特定区域。于另一个实施例中，图形子系统可包括设置在第二集成电路芯片上的数字视频接口(185)。该数字视频接口配置成可从彩色映射单元接收数字 RGB 显示数据，并将编码的数字视频输出提供至数字视频输出端口。该数字视频接口更进一步配置成接收从数字视频输入端口来的编码的数字视频，并提供译码的数字显示数据储存于譬如 VCR 的装置中。



1. 一种图形子系统，包括：

图形处理器(115)，设置于第一集成电路芯片上，其中该图形处理器配置用来响应于从 CPU 接收的图形指令而再现数字图像信息，并将该数字图像信息储存于存储器中；

5 转换单元(133)，设置于第二集成电路芯片上，其中该转换单元包括彩色映射单元(132)，该彩色映射单元耦合连接以将该数字图像信息转换为数字 RGB 显示数据，其中该转换单元进一步包括数模转换器(134)，耦合连接以将该数字 RGB 显示数据转换至一个或多个模拟信号，用来驱动视频显示；以及

10 直接内存存取(DMA)控制器(123)，设置于该第二集成电路芯片上，其中该 DMA 控制器经配置以产生读取请求，检索出储存于该存储器中的该数字图像信息，并使该数字图像信息提供至该转换单元；

其中该 DMA 控制器经进一步配置以产生写入周期，使该数字 RGB 显示数据写到指定的内存区。

15 2. 如权利要求 1 所述的图形子系统，其中该彩色映射单元包括随机存取存储器检查表。

3. 如权利要求 1 所述的图形子系统，进一步包括：

数字视频接口(185)，设置于该第二集成电路芯片上，其中该数字视频接口耦合连接至该转换单元和该 DMA 控制器，并经配置以接收该 20 数字 RGB 显示数据，而且提供编码的数字视频输出。

4. 如权利要求 3 所述的图形子系统，其中该数字视频接口经进一步配置以接收该编码的数字视频，并提供译码的 RGB 显示数据。

5. 如权利要求 1 所述的图形子系统，进一步包括：

25 显示器时钟脉冲发生器单元(120)，设置于该第二集成电路芯片上，其中该显示器时钟脉冲发生器单元耦合连接到该图形处理器，并经配置以产生显示时序信号，用来驱动视频显示。

6. 如权利要求 5 所述的图形子系统，其中该显示时序信号包括垂直和水平同步信号。

7. 如权利要求 6 所述的图形子系统，进一步包括：

可编程时序控制寄存器单元(126)，设置于该第二集成电路芯片上，
5 其中该可编程时序控制寄存器单元耦合连接到该显示器时钟脉冲发生器单元，并经配置以储存显示时序信息。

8. 一种计算机系统，包括：

CPU(20)；

图形子系统(100)，耦合连接于该 CPU，包括：

10 图形处理器(115)，设置于第一集成电路芯片上，其中该图形处理器配置用来响应于从该 CPU 接收的图形指令而再现数字图像信息，并将该数字图像信息储存于第一存储器中；

15 转换单元(133)，设置于第二集成电路芯片上，其中该转换单元包括彩色映射单元(132)，该彩色映射单元耦合连接以将该数字图像信息转换至数字 RGB 显示数据，其中该转换单元进一步包括数模转换器，该数模转换器耦合连接以将该数字 RGB 显示数据转换为一个或多个模拟信号，用来驱动视频显示；以及

20 直接内存存取(DMA)控制器(123)，设置于该第二集成电路芯片上，其中该 DMA 控制器经配置以产生读取请求，检索出储存于该第一存储器中的该数字图像信息，并使该数字图像信息提供至该转换单元；

其中该 DMA 控制器经进一步配置以产生写入周期，使该数字 RGB 显示数据写到指定的内存区。

9. 如权利要求 8 所述的计算机系统，其中该彩色映射单元(132)包括随机存取存储器检查表。

25 10. 如权利要求 9 所述的计算机系统，进一步包括：

系统内存(36)，耦合连接至内存控制器，其中该内存控制器经配置以提供接口至该系统内存。

包含数字视频储存接口用来连接到使用 DMA 的图形总线的 RAMDAC 集成电路图形子系统

5 技术领域

本发明涉及计算机系统，详言之，涉及图形产生子系统和 RAMDAC 电路。

背景技术

10 通常，计算机系统包括 CPU、系统内存、和多个譬如为视频图形配接器和串行通讯控制器的外围装置。内存和外围装置一般经由一个或多个系统总线耦合连接于微处理器。于个人计算机(PC)中，这些总线由桥接逻辑所控制，该桥接逻辑通常分离成为二个不同的集成电路：系统控制器和外围总线控制器。一般在个人计算机系统中称之为北桥的系统控制器，包括了譬如内存控制器和一个或多个高速封包基总线
15 (high-speed packet-based bus) 控制器的装置。外围总线控制器在个人计算机系统中通常称之为南桥，包括了譬如电源管理子系统、串行总线控制器和中断控制器的装置。

通常由图形处理器，有时称之为图形加速器，来产生计算机系统
20 图形。图形处理器通常为一种特殊的处理器，其经由使用图形软件驱动器来建立数字图像。各驱动器解释由主系统中央处理器(CPU)送到图形处理器的高层次指令。然后图形处理器再现使用更复杂再现指令的图像，由此减少主 CPU 的处理需要。图像分解成为能够个别显示的数据帧。然后图形处理器将数据帧储存在已知为数据帧缓冲器的暂时储存存储器中。数据帧缓冲器可以是独立的直接连接到图形处理器的视频存储器，或者是系统内存的一部分，该部分存储器分配用作数据帧
25 缓冲器，例如在统一内存结构体系(Unified Memory Architecture) 的情况。

在数字数据帧能够显示于阴极射线管(CRT)显示器之前，必须将其转换成为模拟信号。对于彩色显示器，数字数据帧信号分解成为三

原色：红、绿和蓝(RGB)。一种特殊的电路，称之为 RAMDAC 或调色板(Palette)DAC，使用随机存取存储器(RAM)检查表和对应于各三原色的数模转换器(DAC)来完成数模转换。在许多情况下，检查表储存 RGB 相对于 256 种不同颜色的色彩值。数字帧数据包含对应于每一像素的
5 RGB 色彩指数值。当存取于检查表中的特定的指数时，对应的数字 RGB 色彩值写到 DAC 中用于转换。

虽然 RAMDAC 提供模拟 RGB 信号，但是 CRT 亦需要时序信号，该时序信号包括垂直和水平同步信号，其使得显示器上的数据帧同步。图形处理器产生显示时序。于一个典型的图形系统中，其中 RAMDAC
10 为部分的图形处理器，由图形处理器所产生的时序信号和由 RAMDAC 所产生的模拟 RGB 信号，直接送到显示器上。

最近，已提出了高度集成的处理器芯片，该芯片可将 CPU、图形处理器以及内存控制器和通常具有北桥的桥接逻辑集成到一个集成电路芯片。
15

在作为 CPU 的同一集成电路芯片上制造 RAMDAC 存在一些困难。模拟装置制造工艺与用来制造数字 CPU 核心的工艺不同，而且有时在数字和模拟分区间具有不同的电源电压。此外，由 CPU 产生的数字噪声很难从模拟分区滤除。

因此，为克服这些制造上的问题，已提出了 RAMDAC 电路，该
20 电路制造于独立的集成电路芯片上而没有 CPU 和图形处理器。在使用这种独立电路的系统中，图形处理器和 RAMDAC 分别操作于主和从配置。在此配置中，图形处理器产生所有的 CRT 时序信号和数字数据帧。通过从数据帧缓冲器来取得帧数据，然后允许 RAMDAC 使用该数据，图形处理器亦可作为直接内存存取(DMA)控制器而工作。这一
25 配置也称为推出模式 (push mode) 配置，这是因为图形处理器将数据推出至 RAMDAC。

增加系统 CPU 速度使得捕获、编辑和显示可在 PC 上取得。视频数据可来自多个来源，譬如视频像机、数字视频光盘(DVD)、或电视(TV)
30 广播。捕获的视频数据通常于图形处理器完成。图形处理器捕获视频数据并将视频数据帧与从数据帧缓冲器来的图形数据帧相结合，然后将它们送到 RAMDAC 用于显示。合并的视频和图形，其通常称之为

叠加，可以共同地显示。一旦捕获了视频图像和显示，则希望能编辑该组合的图像。亦希望能够储存显示于譬如硬盘或数字盒式磁带录像机(VCR)储存装置的图像。

5 发明内容

通过包含有 RAMDAC 的图形子系统，可解决上述提出的大部分问题，该 RAMDAC 设置于与图形处理器分离的集成电路芯片上，用来连接图形总线。

于一个实施例中，设置于第一集成电路芯片的图形处理器，配置
10 用来响应于图形指令而再现数字图像信息，并将该数字图像信息储存于存储器中。例如，可从关联于图形子系统的计算机系统内的主 CPU，而接收图形指令。在第二集成电路芯片上进一步设有转换单元，该转换单元包括彩色映射单元和数模转换器。彩色映射单元可包括 RAM 检查表和配置成将数字图像信号转换成为数字 RGB 显示数据。数模转换器耦合连接而将数字 RGB 显示数据转换成一个或多个用来驱动视频显示的模拟信号。图形子系统进一步包括设置于第二集成电路芯片的直接内存存取(DMA)控制器。该 DMA 控制器耦合连接以产生读取请求，
15 以检索出储存于存储器中的数字图像信息，并使该数字图像信息提供至转换单元。DMA 控制器进一步配置以产生写入周期，使数字 RGB 显示数据写到指定的内存区。然后操作系统将数字 RGB 显示数据从存储器转移入譬如硬盘机的储存装置。
20

于另一个实施例中，图形子系统可包括设置于第二集成电路芯片的数字视频接口。配置该数字视频接口以接收从转换单元来的数字 RGB 显示数据，并将编码的数字视频输出提供至数字视频输出端口。
25 该数字视频接口更进一步配置成从数字视频输入端口接收编码的数字视频，并提供译码的数字 RGB 显示数据，以用于储存和(或)后续的显示。

于另一个实施例中，视频流接口和图形和视频组合器单元可设置于第二集成电路芯片上。视频流接口耦合连接到区域视频输入端口并配置以提供视频图像帧数据用于储存在区域数据帧储存存储器中，该视频流接口亦设置于第二集成电路芯片上。图形和视频组合器单元耦
30

合连接到转换单元，并配置以将与视频图像帧数据相结合的数字图像信息提供至该视频图像帧数据。

于另一个实施例中，图形子系统可包括设置于第二集成电路芯片上耦合连接到可编程时序控制寄存器单元的显示器时钟脉冲发生器单元。该可编程时序控制寄存器单元从主系统 CPU 接收信息。配置该显示器时钟脉冲发生器单元以根据储存在可编程时序控制寄存器单元内的信息而产生譬如水平和垂直同步信号的显示时序信号。

图形子系统所具有的优点为可克服涉及在同一集成电路芯片上处理 RAMDAC 和 CPU 的制造问题。此外，图形子系统可便利地允许多个视频流与计算机图形同时显示在 CRT 上，并将显示数据储存于譬如硬盘机或数字盒式磁带录像机(VCR)的装置。可编辑储存的图像并于后来再显示，或将储存的图像与其它的计算机图形和视频流相结合。

附图简单说明

通过阅读下列详细说明，并参照附图，本发明的上述和其它优点将变得更为清楚，其中：

图 1 为计算机系统一个实施例的方框图。
图 2 为显示图形子系统的一个实施例的方框图。
图 3 为拉取模式 (pull mode) RAMDAC 的一个实施例的示意图。
图 4 为具有附加 LCD 接口的一个实施例的拉取模式 RAMDAC 的另一个实施例的示意图。

图 5 为包括含有专用的垂直同步信号输出的拉取模式 RAMDAC 的一个实施例计算机系统的另一个实施例的方框图。

图 6 为双拉取模式 RAMDAC 的一个实施例的方框图。
图 7 为包括集成的视频叠加电路的 RAMDAC 的另一个实施例的方框图。

图 8 为包括数字显示储存电路的 RAMDAC 的另一个实施例的方框图。

图 9 为包括数字显示压缩/解压缩接口电路的 RAMDAC 的另一个实施例的方框图。

虽然本发明易于实施为各种的修改和替代形式，但以下将用附图

举例说明的方式来详细说明本发明的特定实施例。然而，应了解到这些附图和详细说明并非意在将本发明限制在所揭示的特定形式，反之，本发明将涵盖所有落于本发明的精神和范围内的修改、等效和替换方案，而本发明的精神和范围由所附权利要求书所界定。

5

发明实施方案

现参照图 1，显示了计算机系统 10 的一个实施例的方框图。计算机系统 10 包括经由存储器总线 38 和内存控制器 34 耦合连接到系统内存 36 的 CPU 20。CPU 20 亦经由 I/O 桥接器 30 和外围总线耦合连接到南桥 60，该外围总线在此实施例中为高速封包基总线 50。图形处理器 115 亦耦合连接到 CPU 20。

例如，CPU 20 可用譬如 PentiumTM 或 AthlonTM 微处理器的 x86 微处理器为例来说明。然而，应了解到，依照本发明的系统可使用其它类型的微处理器。

15 南桥 60 包括串行总线控制器 62 和电源管理控制器 66。南桥 60 经由串行总线 64，譬如 I²CTM 总线或 SMBusTM 总线，而耦合连接到图形子系统 100。

如于图 2 中更详细说明的，图形子系统 100 的一个实施例包括设置于第一集成电路(IC)芯片的图形处理器 115、设置于第二集成电路芯片的 RAMDAC 120、和称之为数据帧缓冲器 110 的存储器。

20 图 2 为图形子系统 100 的一个实施例的方框图。为了简化和清楚起见，所示对应于图 1 的各电路组件，编以相同的号码。图 2 的图形子系统 100 包括经由高速封包基总线 71 耦合连接到 RAMDAC IC 120 的图形处理器 IC 115。图形处理器 IC 115 亦耦合连接到数据帧缓冲存储器 110。RAMDAC 120 为一个独立的 IC，包括耦合连接到 DMA 控制器 123 的集成总线接口 122。RAMDAC 120 亦包括耦合连接到总线接口 122 的转换单元 133。

现同时参照图 1 和图 2，响应于从系统 CPU 20 来的高层次图形指令，图形处理器 115 使用低层次图形驱动器软件而产生通常称之为数据帧的数字图像，并储存这些数据帧于数据帧缓冲存储器 110 中。系统 CPU 20 可经由串行总线 64 而送显示分辨率信息至 RAMDAC 120，

或选择使系统 CPU 20 经由高速封包基总线 71 而送显示分辨率信息至 RAMDAC 120。如更进一步示之于图 3 中的说明，使用此分辨率信息来配置时钟和显示时序信号时距至 RAMDAC 120。当转换单元 133 转换数字数据帧并提供用于显示器 150 的模拟信号时，DMA 控制器 123 5 产生地址读取指令，请求来自数据帧缓冲器 110 的下一个数字数据帧，由此而从数据帧缓冲器 110 中检索出数据。DMA 控制器 123 所具有的优点为可使 RAMDAC 120 操作于拉取模式。

现参照图 3，其显示了图 2 的 RAMDAC 120 的拉取模式的一个实施例的方框图。为了简化和清楚起见，对应于图 2 中所示组件的各 10 电路组件，编以相同号码。总线接口 122 和 DMA 控制器 123 耦合连接到 高速封包基总线 71，可使得图 2 的图形处理器 115 将数据转移至 RAMDAC 120。总线接口 122 耦合连接到转换单元 133，该转换单元 15 133 包括彩色映射单元 132，该彩色映射单元 132 可配置为 RAM 检查表、DAC 控制单元 131 和 DAC 电路 134。DAC 控制单元 131 耦合连接到 DMA 控制器 133。彩色映射单元 132 耦合连接到 DAC 电路 134。串行总线接口 124 耦合连接到时序控制寄存器单元 126。显示器时钟脉冲发生器单元 128 亦耦合连接到时序控制寄存器单元 126。电源管理单元 130 耦合连接到串行总线接口 124。

CRT 显示器还需要水平和垂直同步信号来伴随以数字数据帧的 20 模拟表现，该同步信号使得显示器上的像素同步更新。显示器时钟脉冲发生器单元 128 提供垂直和水平同步信号，由显示器和 RAMDAC 120 的内部电路所使用。时序控制寄存器单元 126 包括可编程缓存器，该等可编程缓存器响应于由图 1 的系统 CPU 20 所执行的指令，而储存 25 显示分辨率和时序信息。此信息配置显示器时钟脉冲发生器单元 128 以产生特定的水平和垂直更新频率。对于所选择的显示器，该信息还以适当的分辨率而令 DAC 134 的输出格式化。

除了图 1 的系统 CPU 20 使用显示信息、经由图 1 的串行总线 64 来编程 RAMDAC 120 外，图 1 的南桥 60 亦可发送指令。经由串行总线 64 至电源管理单元 130，以控制 RAMDAC 120 输出。

30 对于 DAC 134 需要数字彩色值用于转换作出响应，DMA 控制器 123 启动对于数据帧缓冲器 110 的地址读取周期。当对应的数字帧数据

到达时，总线接口 122 路由数据至彩色映射单元 132，其中帧数据数字化分离成三原色：红、绿和蓝。DAC 134 将各色彩的数字值转换成显示所需的模拟电压电平。

图 4 为图 3 的拉取模式 RAMDAC 120 的另一个实施例的方框图，
5 其具有附加的 LCD 接口 136。为了简化和清楚起见，对应于图 3 中所示这些组件的电路组件，编以相同的号码。图 4 的电路的操作类似于上面结合图 3 所述的操作；然而在图 4 电路中，说明了附加的 LCD 接口 136 的操作。

10 彩色映射单元 132 的数字 RGB 输出，耦合连接到 LCD 接口 136。
该 LCD 接口 136 的数字输出提供了用于 LCD。由 LCD 接口 136 格式化检查表 132 的数字输出，从而便利地允许直接连接到 LCD，由此免除了许多原有技术的 LCD 单元内的模拟-数字电路。

15 现参照图 5，显示了图 1 的拉取模式 RAMDAC 具有额外的专用垂直同步(V 同步)信号输出的一个实施例的方框图。为了简化和清楚起见，对应于图 1 中所示这些组件的电路组件，编以相同的号码。

RAMDAC 300 经由高速封包基总线 71 耦合连接到图形处理器
115。图形处理器 115 经由高速封包基总线 50 操作耦合连接到南桥 60。

20 如上图 3 中的说明，显示器时钟脉冲发生器单元 128 产生用于显示时序的 V 同步信号。于图 5 中，因为图形处理器 115 和 CPU 20 需要发生 V 同步信号的通知，V 同步信号路由到在南桥 60 内的图形处理器 115 和中断控制器 61。图形处理器 115 需要 V 同步信号用于数字数据帧缓冲器同步。中断控制器 61 产生中断信号至 CPU 20，该中断信号使 CPU 20 执行相关于产生图形子系统的中断服务例程。在此实施例中，V 同步信号由 RAMDAC 300 以封包的形式分别经由高速总线 71
25 和 50 发送到图形处理器 115 和次桥接 60，因此具有节省中断接脚的优点。

30 应注意，于替代实施例中，V 同步信号可由 RAMDAC 300 提供作为专用输出，并路由至图形处理器 115 作为一条线路。然后图形处理器 115 可经由高速总线 50 发送对应的 V 同步中断信号以封包讯息的形式至南桥 60，因此节省中断接脚。

图 6 为双拉取模式 RAMDAC 集成电路芯片的实施例。为了简化

和清楚起见，对应于图 1 至图 5 中这些组件的电路组件，编以相同的号码。在此说明中，RAMDAC 集成电路芯片包括二个功能上相等的拉取模式 RAMDAC 电路，RAMDAC 250 和 RAMDAC 260。双 RAMDAC 集成电路芯片 200 耦合连接到由上第 1-5 图中说明的图形处理器 115。

- 5 RAMDAC 250 和 RAMDAC 260 可包含由上图 3 和图 4 说明的电路，
包括有 DMA 控制器 123、彩色映射单元 132、DAC 134、显示器时钟
脉冲发生器单元 128、以及时序控制缓存器 126。以下的附加电路耦合
连接到 RAMDAC 250 和 RAMDAC 260：经由高速封包基总线 71 耦合
连接到图形处理器 115 的高速总线接口 220；振荡器时脉电路
10 (OSC)210；状态缓存器 230；耦合连接到总线接口的垂直同步中断电路
240。

各 RAMDAC 如上图 3 中说明，经由时序控制寄存器单元 126 而
独立地可编程制作。独立控制具有优点为可使得同时使用二个具有不
同分辨率的 CRT 显示器。

- 15 在系统操作期间，从各 RAMDAC 250 和 RAMDAC 260 来的 V 同
步信号传输回在南桥 60 中的中断控制器 61 作为 V 同步中断，如在上
图 5 中的 V 同步说明。一般而言，二个 V 同步信号将需要二个 V 同步
中断输入以使控制器 61 中断。

- 20 然而在本实施例中，状态缓存器 230 包括一对状态位，该状态位
用来监视 RAMDAC 250 和 RAMDAC 260 的 V 同步输出。各例子中，
当 RAMDAC 250 和 RAMDAC 260 的其中任一个产生 V 同步信号，而
于状态缓存器 230 中的对应 V 同步位设定为逻辑值 1。V 同步信号亦
耦合连接到垂直同步中断电路 240 的输出。垂直同步中断电路 240 的
输出类似于上文以图 5 说明的 V 同步中断。

- 25 在此实施例中，垂直同步中断电路显示为逻辑“或”功能。然而，
应注意到可使用任何等效于逻辑“或”功能的布尔电路。此 V 同步信
号的组合具有优点为可节省至中断控制器 61 的一个中断输入。当 CPU
20 接收中断请求时，CPU 20 执行中断服务例程，读取状态缓存器 230
找出那一位被设定对应到 RAMDAC 产生的 V 同步信号。然后 CPU 20
30 执行对应的中断服务例程。响应于 CPU 20 读取状态缓存器 230，而清
除状态缓存器 230 中的状态位。

由于出现在二个 RAMDAC 电路中的数据流的高频宽，图形处理器 115 在送出图形数据至 RAMDAC 200 之前，可先压缩帧数据。可以使用简单的压缩技术。例如，对于 24 位像素数据（该数据以 8 位来表示每一种颜色），可以发送 32 位字，其中前 3 个字节指定颜色而最后一个字节指定为其重复表现的次数。
5

现参照图 7，显示具有集成视频叠加电路的 RAMDAC 的一个实施例的方框图。在此实施例中，RAMDAC 为拉取模式 RAMDAC。然应注意到，在其它实施例中，RAMDAC 可操作于推出模式。为了简化和清楚的目的，对应于第 1 至 6 图中所示组件的电路组件编以相同的号码。此实施例中包括集成视频叠加电路，该电路具有允许视频图像叠加至计算机图形的优点。
10

总线接口 122 经过高速封包基总线 71 耦合连接到图 1 的图形处理器 115。总线接口 122 亦耦合连接到时序控制缓存器 126、图形/视频组合器单元 170、和 DMA 控制器 123。DMA 控制器 123 耦合连接到显示器时钟脉冲发生器单元 128。视频流接口 140 耦合连接到区域数据帧储存缓冲器 150。区域数据帧储存缓冲器 150 耦合连接到视频流检索器 160，该视频流检索器 160 耦合连接到尺寸调整引擎（resizing engine）165。尺寸调整引擎 165 耦合连接到图形/视频组合器单元 170。图形/视频组合器单元 170 耦合连接到彩色映射单元 132。彩色映射单元 132 耦合连接到 DAC 134。视频流接口 140 接收从区域视频输入 145 来的输入。视频流时间标记处理器 175 亦接收其从区域视频输入 145 来的输入。视频流时间标记处理器 175 耦合连接到数据帧同步器 180，该数据帧同步器 180 耦合连接到显示器时钟脉冲发生器单元 128。
15
20

在此实施例中，区域视频输入 145 显示为一般视频输入，然而，其它实施例可包含譬如 RGB、YUV、1394、总线 2.0 或 I 链路的视频接口。
25

当视频数据成为数据流而经过区域视频输入 145 时，视频流时间标记由视频流时间标记处理器 175 所捕获。将时间标记送到数据帧同步器 180 以同步时间标记和 V 同步信号。显示率可设定为视频数据帧率的整数倍。视频数据帧由视频流接口 140 而储存于区域数据帧储存缓冲器 150 中。当 DAC 134 请求显示数据帧时，通过视频流检索器 160
30

从区域数据帧储存缓冲器 150 中取得视频数据帧，且图形/视频组合器单元 170 将视频数据叠加于显示数据上。将合成的帧数据送到彩色映射单元 132，该彩色映射单元 132 提供对应于由帧数据所指示彩色的数字 RGB 彩色值。数字 RGB 输出由 DAC 134 提供和转换以便显示。

5 若由使用者再现显示视频窗口，则对图 1 中的 CPU 20 所执行的指令加以响应，而将新视频窗口尺寸信息数据储存于时序控制缓存器 126 中。尺寸调整引擎 165 以数学方式调整视频数据，从而适应新的窗口尺寸需要。

10 于另外一个实施例中，视频流可以从 TV 来源进入。在此情况下，视频流接口 140 以数学方式集成二个交错的 (interleaved) 半个 TV 数据，将其构成完整的视频数据数据帧。此单一集成的数据帧储存于区域数据帧储存缓冲器 150 中。

15 现参照图 8，显示图 7 的 RAMDAC 具有额外的数字视频输出，提供于光盘储存的实施例。为了简化和清楚起见，对应于图 7 中所示组件的电路组件编以相同的号码。用于上述图 7 电路操作的说明，相类似于图 8 电路的操作。下文说明数字视频输出和 DMA 控制器 123 的操作。

20 彩色映射单元 132 耦合连接到总线接口 122 和 DMA 控制器 123。彩色映射单元 132 的数字 RGB 输出连接回到总线接口 122。数字 RGB 显示数据提供到 DAC 134，DMA 控制器 123 产生写入周期请求以储存数字 RGB 显示数据于特定的系统内存区域。其优点是允许数字 RGB 显示数据储存在硬盘或其它储存媒体中。该数字 RGB 显示数据可供将来单独地或与其它图形或视频图像组合而予以重播。

25 现参照图 9，显示图 8 的 RAMDAC 具有额外的数字视频(DV)接口的实施例。为了简化和清楚的目的，对应于图 8 中所示组件的电路组件编以相同的号码。以上用于描述图 7 和图 8 电路操作的说明，类似用于描述图 9 电路操作的说明。下文说明数字视频(DV)接口 185 的操作。

30 数字视频(DV)接口 185 耦合连接到彩色映射单元 132 的数字 RGB 输出连接。DV 接口 185 接收从 DV 输入端口 186 来的 DV 编码输入。DV 接口 185 经由 DV 输出端口 187 提供 DV 编码输出。

在此实施例中，DV 接口 185 用 DV 编码和译码标准压缩和解压缩数字数据。然而，其它的实施例可包括其它的标准，譬如活动图像专家组(MPEG)标准。

当数字 RGB 显示数据由彩色映射单元 132 供应至 DAC 134 时，
5 DV 接口 185 使用 DV 编码标准压缩数字 RGB 显示数据，并将编码的
数字信号提供至 DV 输出端口 187，以用于譬如数字 VRC 的装置。DV
接口 185 亦解压缩从 DV 输入端口 186 接收的 DV 编码视频，并提供
对应的数字 RGB 显示数据，以用于 DAC 134 或储存在硬盘，如以上
图 8 的电路说明所描述的。

于另一个实施例中，使用高速封包基总线的封包性质和高频宽，
10 其具有的优点为将从 DV 输入端口 186 接收的 DV 编码信号路由至图 1
的图形处理器 115 用于译码。然后可将译码的数字 RGB 信号送回至
DAC，用来转换成显示用的模拟信号，如以上图 1~图 3 的说明。同样地，
15 从彩色映射单元 132 出来的数字 RGB 显示数据可以路由回到图 1
的图形处理器 115，使用 DV 编码标准来压缩，然后送到 DV 接口输出
端口 187。

在本领域普通技术人员一旦完全了解上述揭示的说明后，将清楚
了解到本发明可作许多的变化和修改。所附权利要求书范围将包含所
有这类变化和修改。

20

工业应用

本发明可应用于图形产生器子系统。

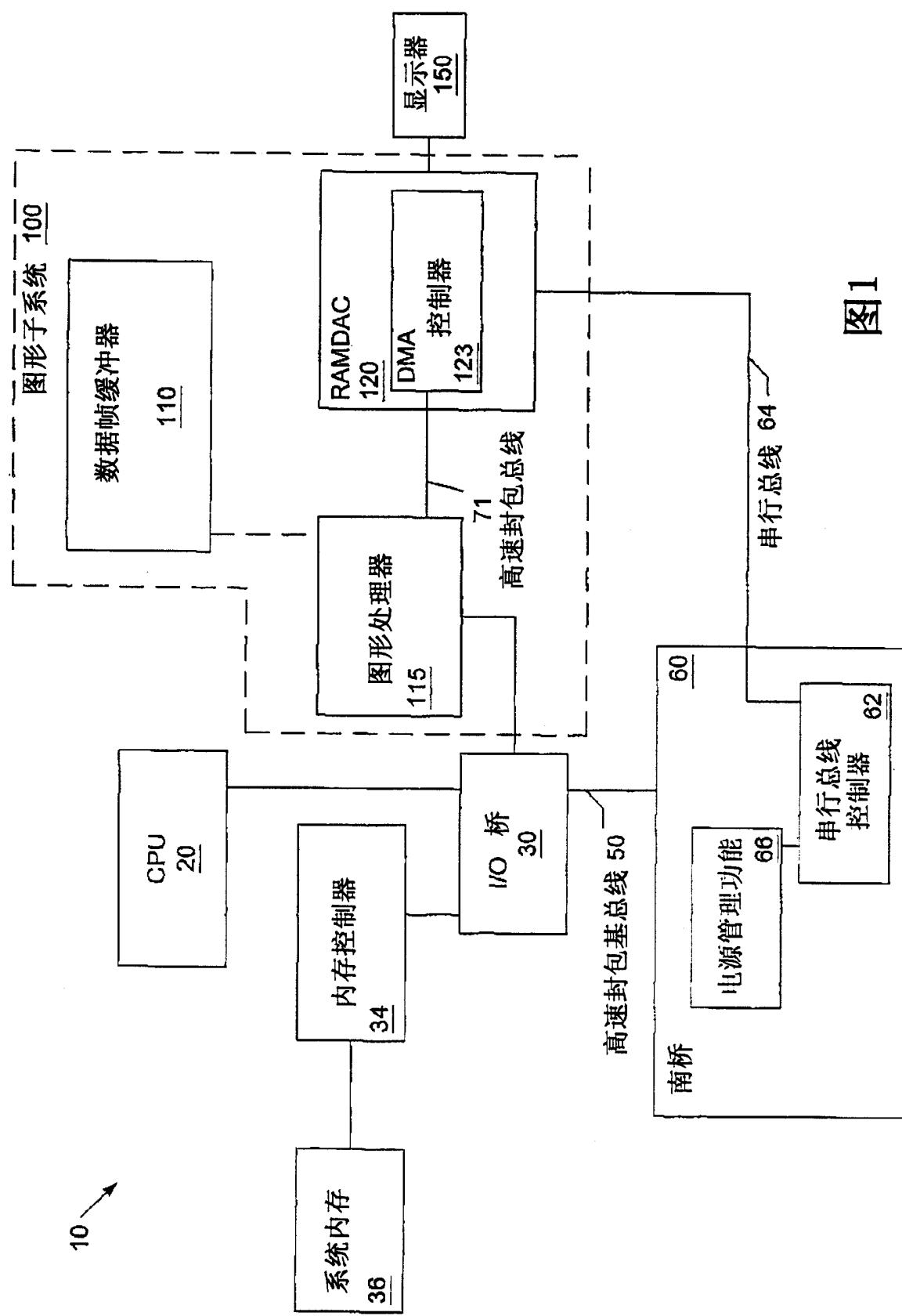


图1

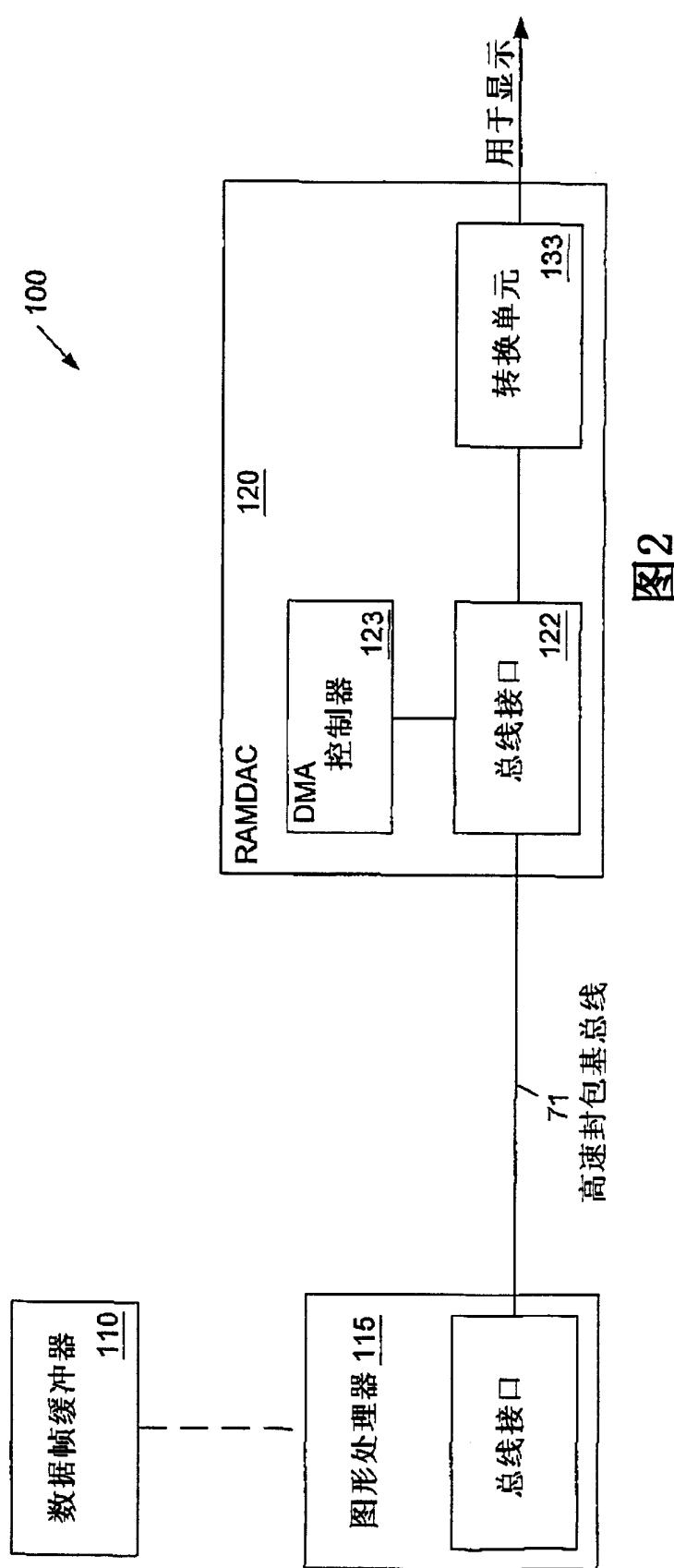
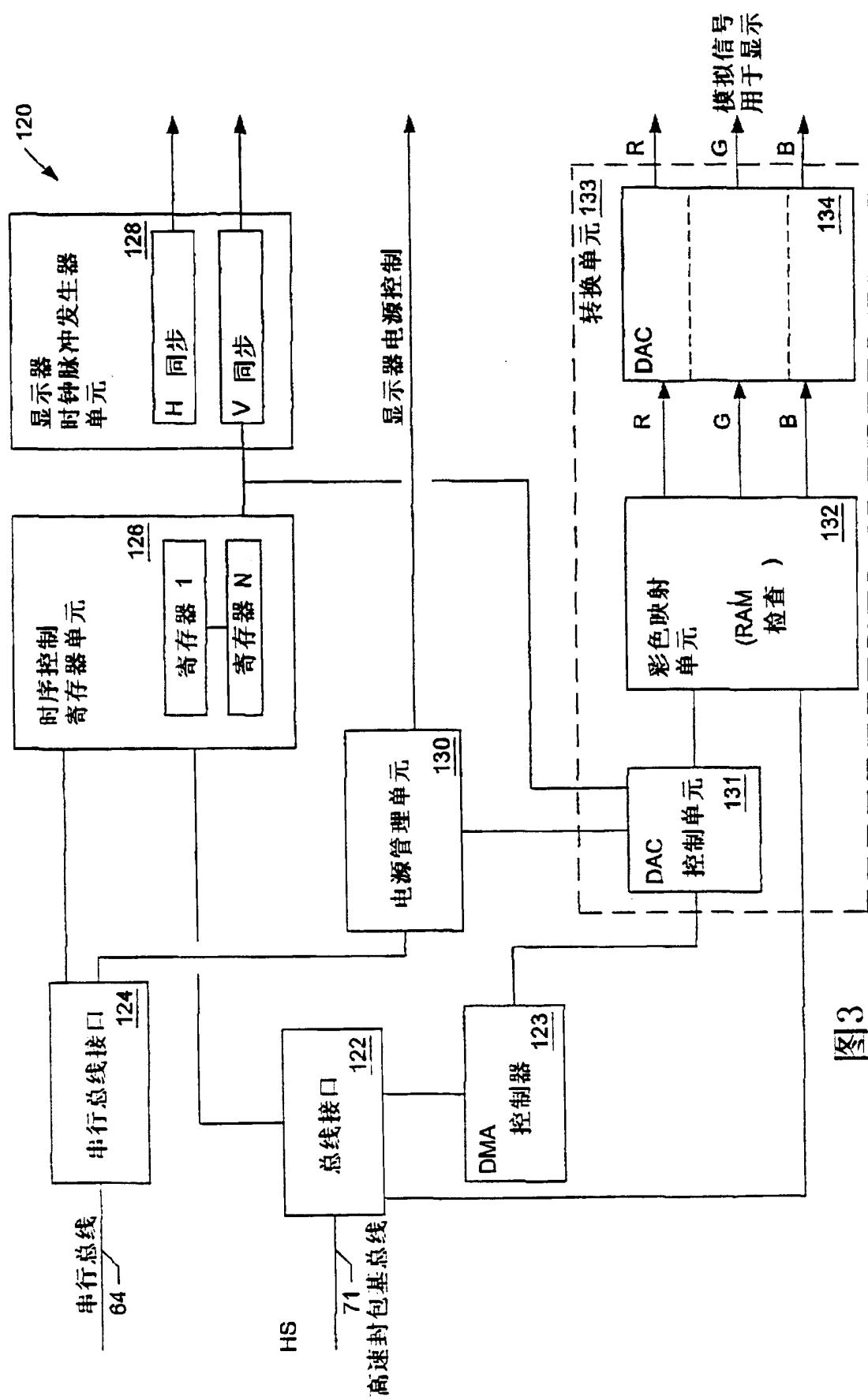


图2



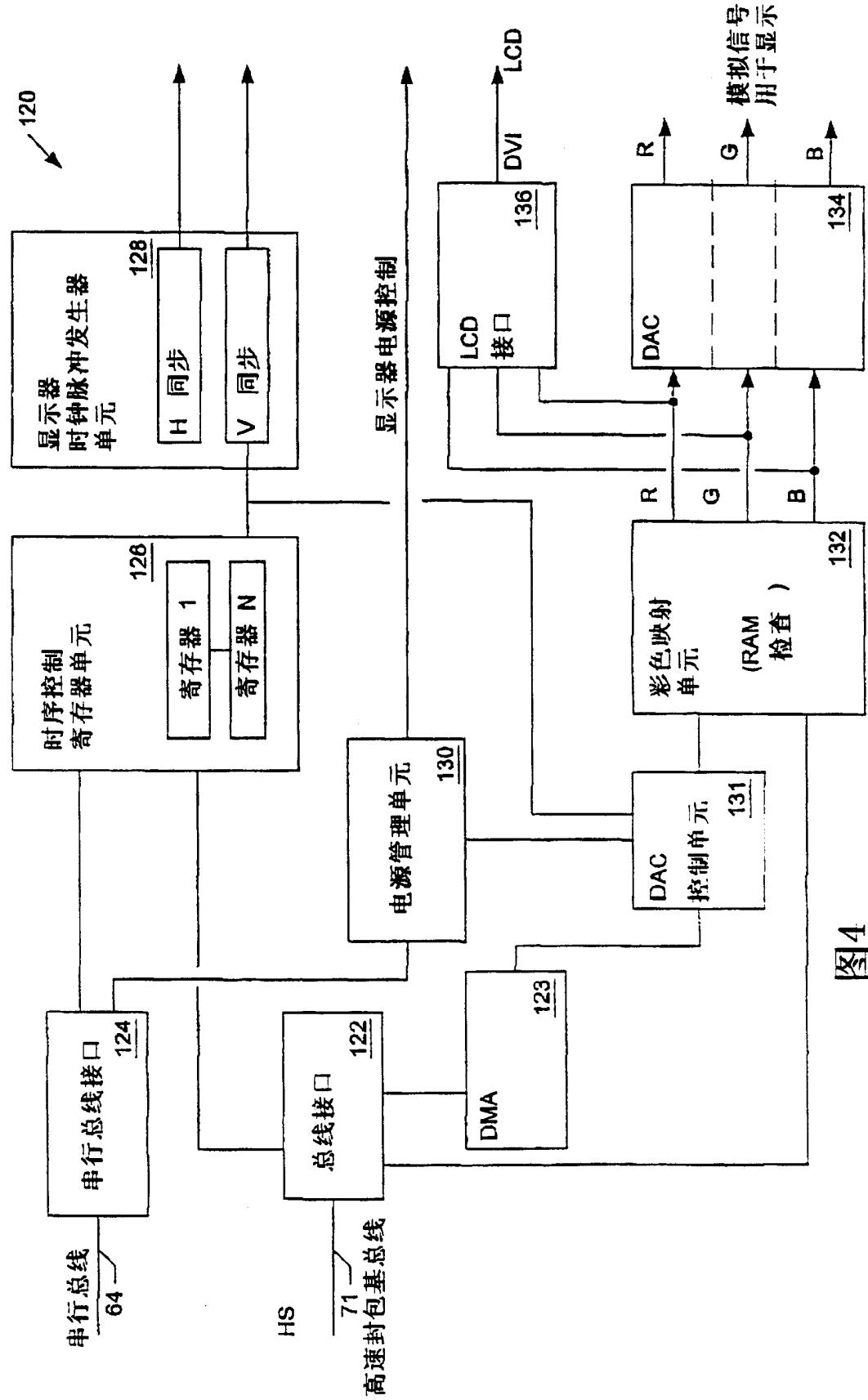


图4

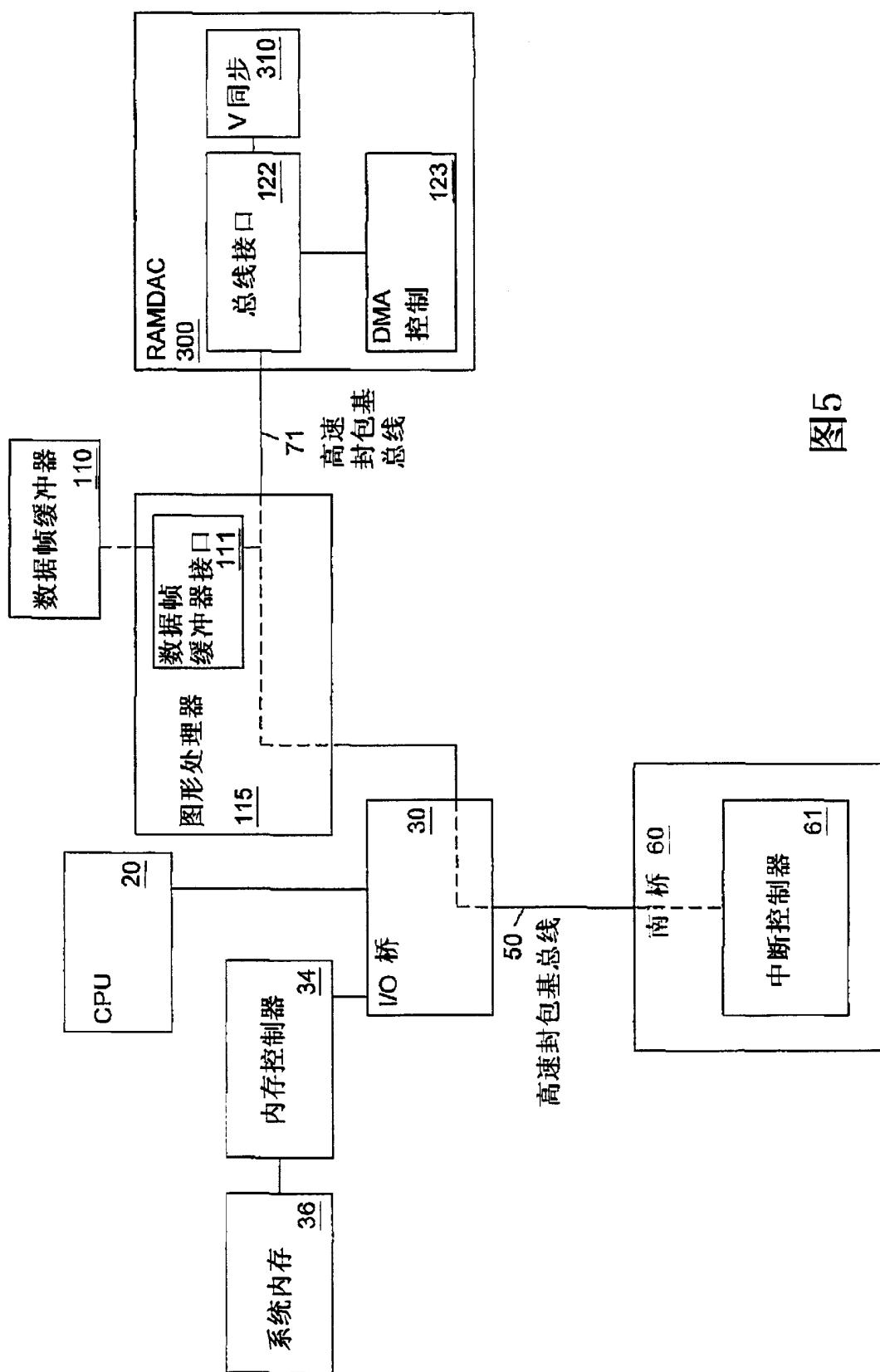


图5

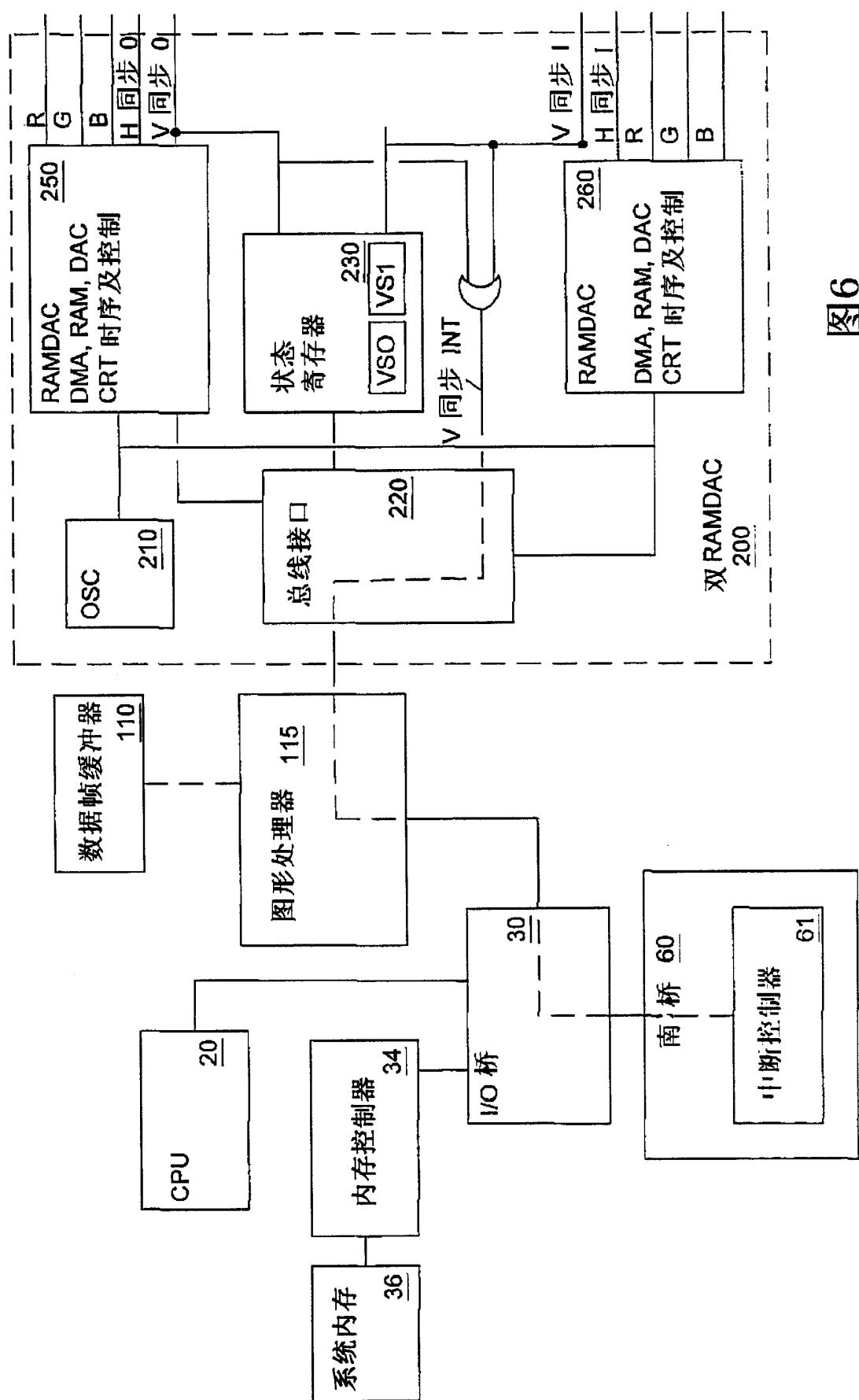


图6

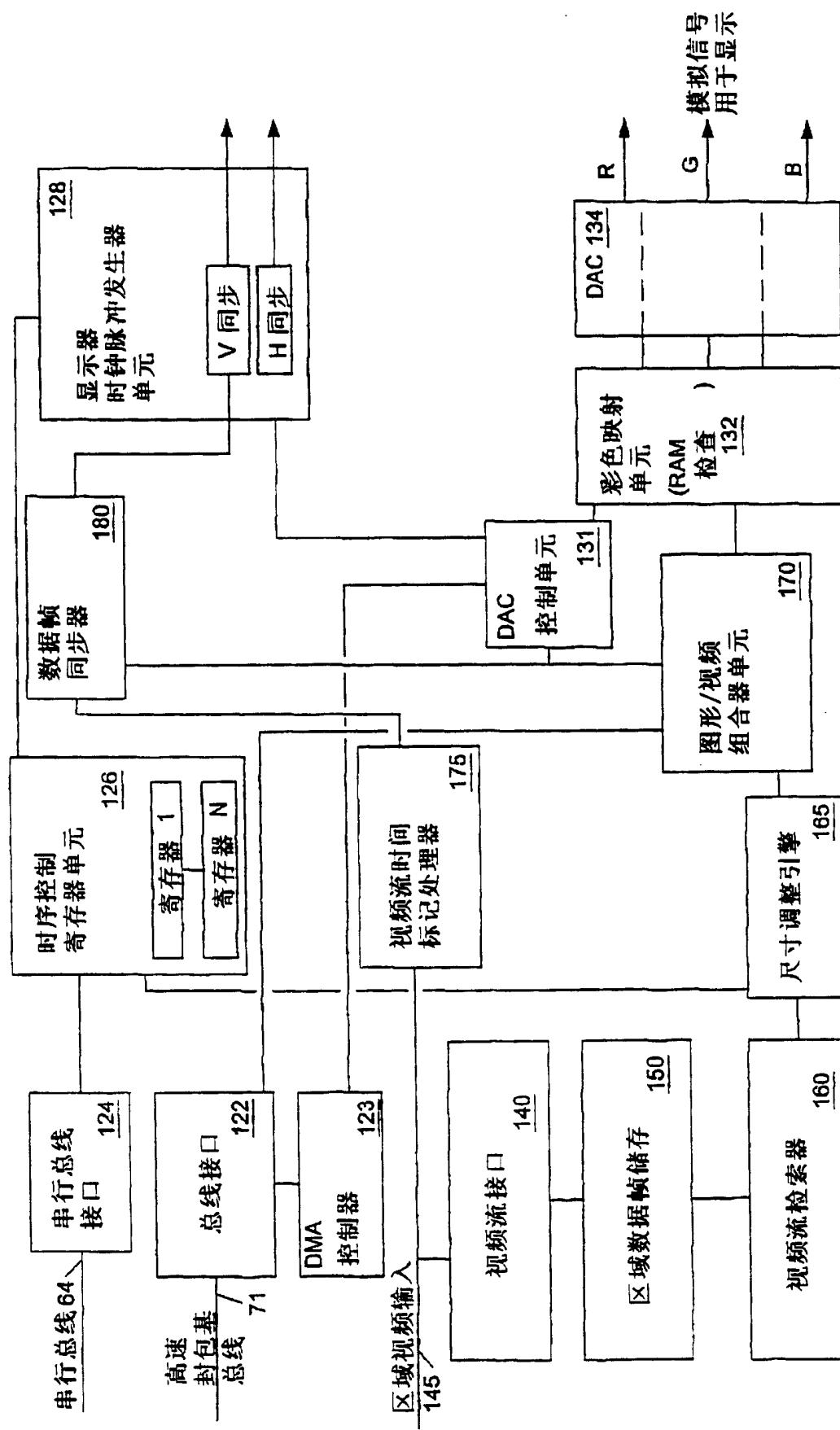


图 7

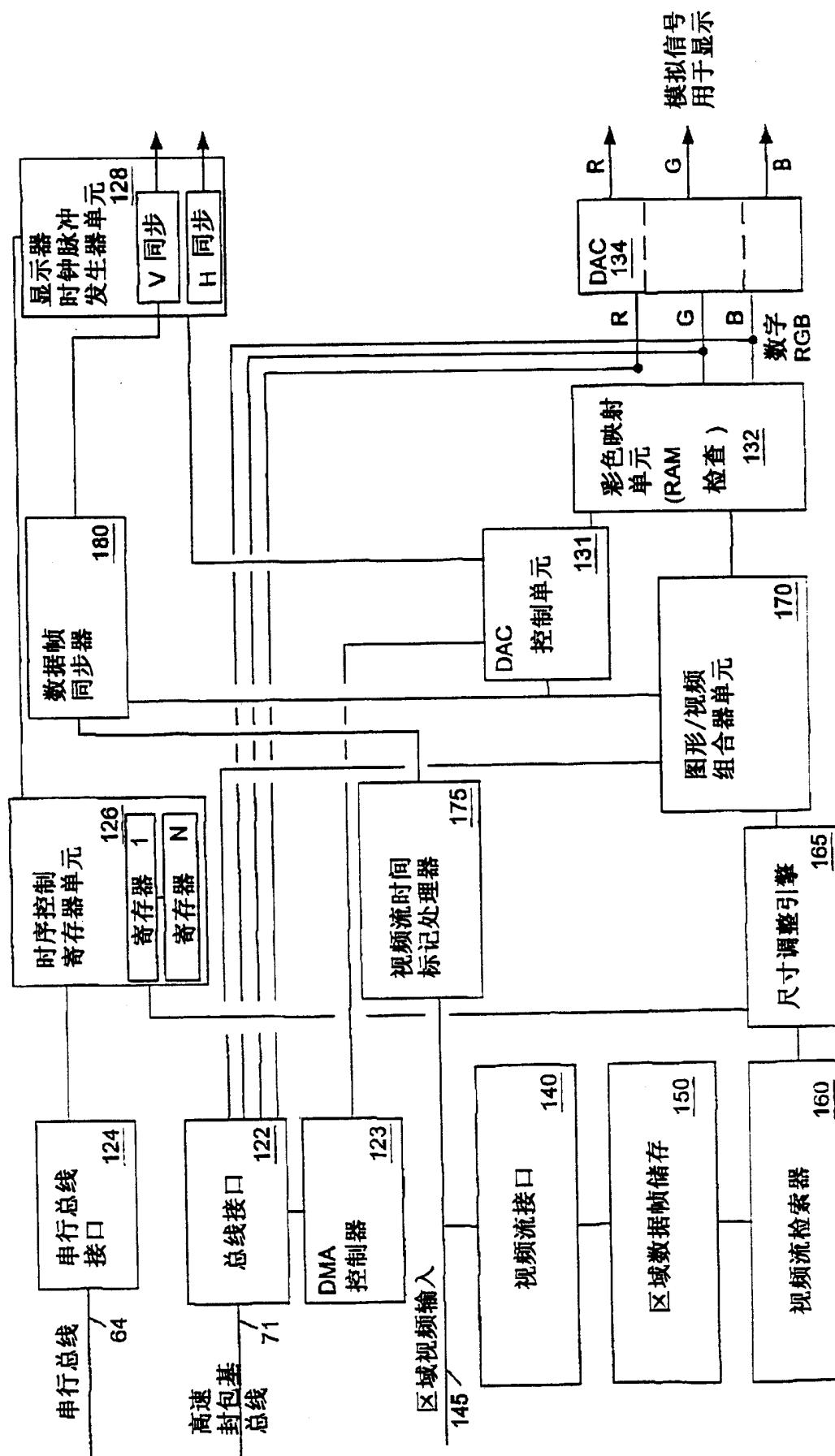


图 8

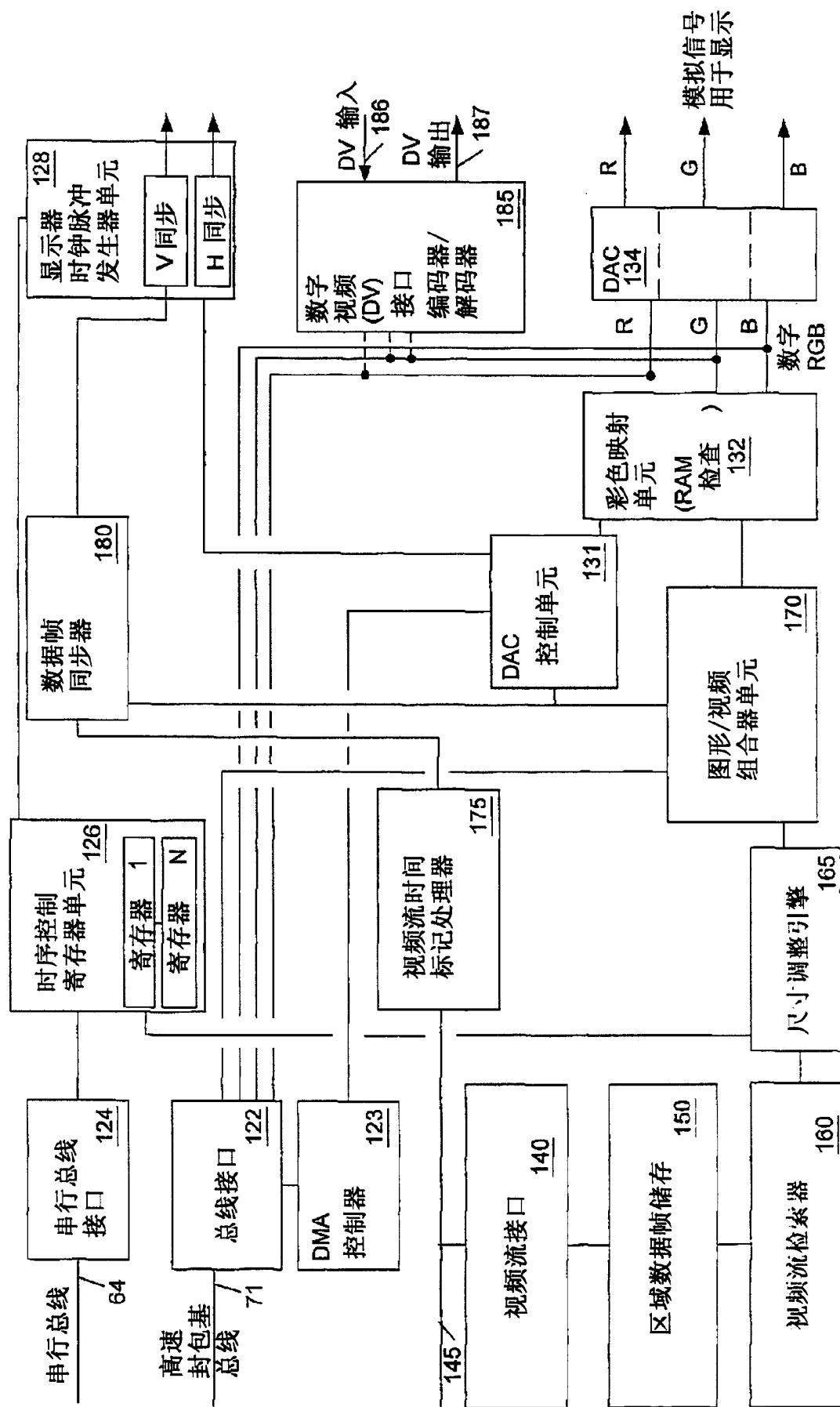


图9