

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-277173

(P2005-277173A)

(43) 公開日 平成17年10月6日(2005.10.6)

(51) Int.Cl.⁷

H O 1 L 21/3205

H O 1 L 23/12

H O 1 L 27/14

F I

H O 1 L 21/88

H O 1 L 23/12

H O 1 L 27/14

J

5 O 1

D

テーマコード (参考)

4 M 1 1 8

5 F O 3 3

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2004-89494 (P2004-89494)

(22) 出願日 平成16年3月25日 (2004.3.25)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100111383

弁理士 芝野 正雅

(72) 発明者 亀山 工次郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 鈴木 彰

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 岡山 芳央

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

Fターム(参考) 4M118 AA08 BA10 EA18 HA26 HA31

最終頁に続く

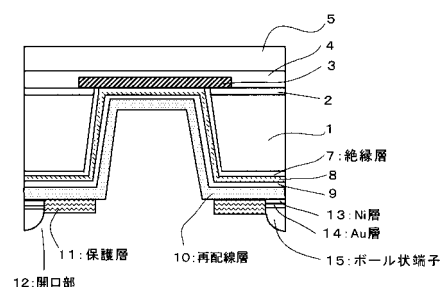
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 後工程での熱処理により空洞内が膨張し、保護層が破裂するといった不具合の発生を抑止する。

【解決手段】 本発明の半導体装置は、半導体基板1上に形成されたパッド電極3にコンタクトするように基板裏面から開口6が形成され、この開口6を介して前記パッド電極3に再配線層10が形成されて成るものにおいて、前記開口6を完全に埋め込まない程度に再配線層10が形成され、前記開口6を含まない前記基板裏面上に保護層11が形成されていることを特徴とする。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

半導体基板上に形成されたパッド電極にコンタクトするように基板裏面から開口が形成され、この開口を介して前記パッド電極に配線層が形成されて成る半導体装置において、前記開口を完全に埋め込まない程度に配線層が形成され、前記開口を含まない前記基板裏面上に保護層が形成されていることを特徴とする半導体装置。

【請求項 2】

前記保護層に形成された開口部を介して露出した前記配線層上に導電電極が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体基板上に形成されたパッド電極にコンタクトするように基板裏面からエッチングして開口を形成し、この開口を介して前記パッド電極に接続された配線層を形成する半導体装置の製造方法において、前記開口を完全に埋め込まない程度に配線層を形成する工程と、前記開口を含まない前記基板裏面上に保護層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 4】

前記保護層に開口部を形成して露出させた配線層上に導電電極を形成する工程を具備することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体基板上に形成されたパッド電極にコンタクトするように基板裏面からエッチングして開口を形成し、この開口を介して前記パッド電極に接続された配線を形成する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、三次元実装技術として、また新たなパッケージ技術として、CSP (Chip Size Package) が注目されている。CSP とは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

【0003】

従来より、CSP の一種として、BGA (Ball Grid Array) 型の半導体装置が知られている。この BGA 型の半導体装置は、半田等の金属部材からなるボール状の導電端子をパッケージの一主面上に格子状に複数配列し、パッケージの他の面上に搭載される半導体チップと電氣的に接続したものである。

【0004】

そして、この BGA 型の半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される外部回路とを電氣的に接続している。

【0005】

このような BGA 型の半導体装置は、側部に突出したリードピンを有する SOP (Small Outline Package) や QFP (Quad Flat Package) 等の他の CSP 型の半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有する。この BGA 型の半導体装置は、例えば携帯電話機に搭載されるデジタルカメラのイメージセンサチップとしての用途がある。この一例として、半導体チップの一主面上もしくは両主面上に、例えばガラスから成る支持体が接着されるものがある。尚、関連する技術文献として、以下の特許文献 1 が挙げられる。

【0006】

次に、半導体チップに 1 枚の支持体が接着された場合の BGA 型の半導体装置の製造方法について、図面を参照して説明する。

【0007】

10

20

30

40

50

図 5 乃至図 7 は、イメージセンサチップに適用可能な従来例に係る B G A 型の半導体装置の製造方法を示す断面図である。

【 0 0 0 8 】

最初に図 5 に示すように半導体基板 3 0 上の表面に、シリコン酸化膜またはシリコン窒化膜等から成る絶縁層 3 1 を介してアルミニウムを主成分とする金属層から成るパッド電極 3 2 を形成する。そして、パッド電極 3 2 を含む半導体基板 3 0 上にエポキシ樹脂層から成る接着剤 3 3 を介して、例えばガラスから成る支持体 3 4 を接着する。

【 0 0 0 9 】

次に、図 6 に示すようにパッド電極 3 2 に対応する半導体基板 3 0 の裏面に開口部を有したレジスト層 3 5 を形成し、これをマスクにして例えば S F₆ と O₂ をエッチングガスとしたプラズマエッチングを半導体基板 3 0 に対して行い、更に絶縁層 3 1 をエッチングして半導体基板 3 0 の裏面からパッド電極 3 2 に到達するビアホール 3 6 を形成する。

【 0 0 1 0 】

そして、図 7 に示すように、ビアホール 3 6 内を含む半導体基板 3 0 の裏面に少なくともパッド電極 3 2 の表面が露出された絶縁層（図示せず）を介してバリア層 3 7 を形成する。さらに、バリア層 3 7 上に、メッキ用のシード層 3 8 を形成し、そのシード層 3 8 上でメッキ処理を行って、例えば銅（C u）から成る再配線層 3 9 を形成する。さらに、再配線層 3 9 上に保護層 4 0 を形成し、保護層の所定位置に開口を設けて再配線層 3 9 とコンタクトするボール状端子 4 1 を形成する。

【 0 0 1 1 】

その後、図示しないが、半導体基板及びそれに積層された上記各層を切断して、個々の半導体チップに分離する。こうして、パッド電極 3 2 とボール状端子 4 1 とが電氣的に接続された B G A 型の半導体装置が形成される。

【特許文献 1】特許公表 2 0 0 2 - 5 1 2 4 3 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

しかし、図 7 に示すように再配線層 3 9 がビアホール 3 6 を完全に埋め込まないように形成し、その上方を保護層 4 0 で覆うことになり、この再配線層 3 9 と保護層 4 0 によりビアホール 3 6 部分に空洞 4 2 ができている。

【 0 0 1 3 】

そのため、後工程での熱処理により空洞内が膨張して、保護層 4 0 が破裂するといった不具合があった。

【 0 0 1 4 】

そこで、上記不具合が発生しない半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 5 】

本発明の半導体装置は、半導体基板上に形成されたパッド電極にコンタクトするように基板裏面から開口が形成され、この開口を介して前記パッド電極に配線層が形成されて成るものにおいて、前記開口を完全に埋め込まない程度に配線層が形成され、前記開口を含まない前記基板裏面上に保護層が形成されていることを特徴とする。

【 0 0 1 6 】

また、前記保護層に形成された開口部を介して露出させた配線層上に導電電極が形成されていることを特徴とするものである。

【 0 0 1 7 】

そして、その製造方法は、前記開口を完全に埋め込まない程度に配線層を形成する工程と、前記開口を含まない前記基板裏面上に保護層を形成する工程とを具備することを特徴とする。

【 0 0 1 8 】

10

20

30

40

50

また、前記保護層に開口部を形成して露出させた配線層上に導電電極を形成する工程を具備することを特徴とするものである。

【発明の効果】

【0019】

本発明では、開口を覆わないように保護層を形成することにより、保護層の破裂を防止できる。また、開口上が保護層で覆われていないので、開口内に形成した配線層が露出するので放熱性が良くなり、特にパワー系の半導体チップに適用することで更に有効である。

【発明を実施するための最良の形態】

【0020】

10

次に、本発明による半導体装置の製造方法を、図1乃至図4を参照しながら説明する。

【0021】

最初に、図1に示すようにシリコンウエハから成る半導体基板1上の表面に、シリコン酸化膜またはシリコン窒化膜等から成る絶縁層2を介してアルミニウムを主成分とする金属層から成るパッド電極3を形成する。そして、パッド電極3を含む半導体基板1上にエポキシ樹脂層から成る接着剤4を介して、例えばガラス基板から成る支持体5を接着する。尚、本実施形態のシリコンウエハは個々のシリコンチップに分割された後は、例えばCCD(Carage Coupled Device)イメージセンサ・チップとなる。そのため、外部からの光をシリコンチップの表面のCCDデバイスで受光する必要があり、支持体5はガラス基板のような透明基板、もしくは半透明基板を用いる必要がある。また、前記支持体5は、シリコンチップが受光や発光するものでない場合には、不透明基板であっても良い。また、支持体5は、ガラス基板等の板材に限らず、テープ状のものであっても構わない。また、パッド電極3はアルミニウム以外の金属、例えば銅(Cu)や銅合金等でも良い。

20

【0022】

次に、図2に示すようにパッド電極3に対応する半導体基板1の裏面に開口部を有したレジスト層(図示せず)を形成し、これをマスクにして少なくともSF₆とO₂をエッチングガスとしてプラズマエッチングを半導体基板1に対して行い、更に絶縁層2をエッチングして半導体基板1の裏面からパッド電極3に到達する開口6を形成する。

【0023】

30

続いて、図3に示すように開口6内を含む半導体基板1の裏面にシリコン酸化膜等から成る絶縁層7を形成し、パッド電極3上の絶縁層7を除去した後に、全面にバリア層8を形成する。このバリア層8は、例えばチタンナイトライド(TiN)層であることが好ましい。もしくはバリア層8は、TiW, Ta, TaN等の高融点金属及びその化合物であればチタンナイトライド層以外の金属から成るものであってもよい。

【0024】

さらに、前記バリア層8上にメッキ用のシード層9(例えば、Cu層)を形成し、そのシード層9上でメッキ処理を行って、例えば銅(Cu)から成る再配線層10を形成する。

【0025】

40

また、図4に示すように再配線層10上に保護層11を形成し、保護層11の所定位置に開口部12を設け、その再配線層10が露出した部分に例えば、Ni層13、Au層14を形成した後に、前記Ni層13、Au層14を介して再配線層10とコンタクトする導電端子としてのボール状端子15をスクリーン印刷法を用いて形成する。

【0026】

その後、図示しないが、半導体基板及びそれに積層された上記各層を切断して、個々の半導体チップに分離する。こうして、パッド電極3とボール状端子15とが電氣的に接続されたBGA型の半導体装置が形成される。

【0027】

尚、本実施形態では、再配線層10はメッキ処理により形成されるものとしたが、本発

50

明はこれに制限されるものではなく、例えばメッキ用のシード層 9 を形成しないで、メッキ処理以外の方法により再配線層 10 が形成されるものであってもよい。例えば、アルミニウムやその合金から成る層をスパッタ形成するものでもよい。

【0028】

また、本実施形態はボール状端子 15 が形成された半導体装置に適用されるものとして説明しているが、本発明これに制限されるものではなく、例えば半導体基板を貫通するビアホールが形成されるものであれば、ボール状端子が形成されない半導体装置にも適用できるもので、例えば LGA (Land Grid Array) 型の半導体装置にも適用される。

【0029】

ここで、前述したように再配線層 10 が開口 6 を完全に埋め込まないように形成し、その上方を保護層 11 で覆わないように形成しているため、従来のように再配線層 10 と保護層 11 により空洞 42 ができないので、後工程での熱処理により空洞内が膨張し、保護層 11 が破裂するといった不具合の発生が抑止できる。

【0030】

このように本発明では、開口 6 を覆わないように保護層 11 を形成することにより、保護層 11 の破裂を防止できる。また、開口 6 上が保護層で覆われていないので、開口内に形成した再配線層が露出するので放熱性が良くなり、特にパワー系の半導体チップに適用することで更に有効である。

【0031】

また、本発明の半導体装置では、開口 6 部分の再配線層 10 が露出しているため、例えば支持体 5 側に凸型の電極部が設けられた構造のものであれば、この凸部に前記開口 6 部分の再配線層 10 側である凹部を嵌め合わせるように構成することで、当該半導体装置が積層された積層構造の半導体装置を構成することができる。尚、支持体 5 は省略しても構わない。

【図面の簡単な説明】

【0032】

【図 1】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 2】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 3】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 4】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 5】従来の半導体装置の製造方法を示す断面図である。

【図 6】従来の半導体装置の製造方法を示す断面図である。

【図 7】従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

【0033】

- 1 半導体基板
- 2 絶縁層
- 3 パッド電極
- 4 接着剤
- 5 支持体
- 6 開口
- 7 絶縁層
- 8 バリア層
- 9 シード層
- 10 再配線層
- 11 保護層
- 12 開口部
- 13 Ni 層
- 14 Au 層

10

20

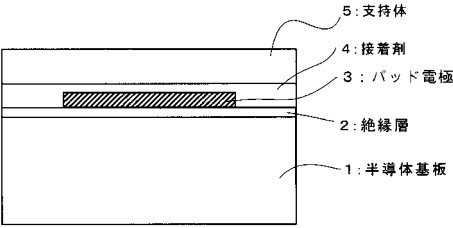
30

40

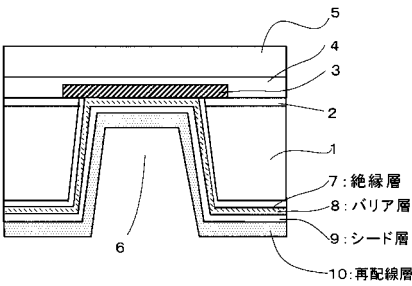
50

1 5 ボール状端子

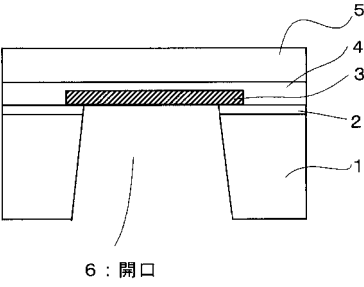
【図 1】



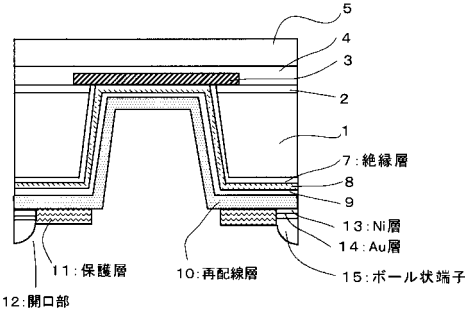
【図 3】



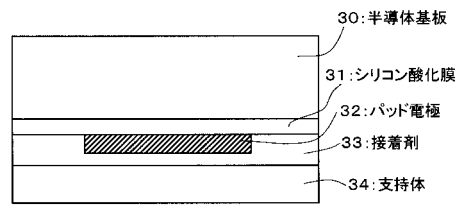
【図 2】



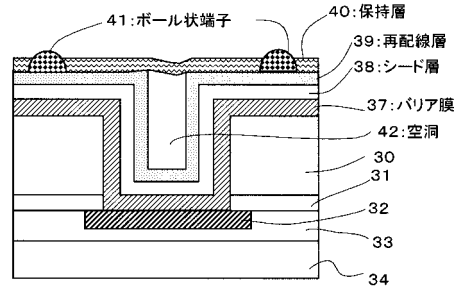
【図 4】



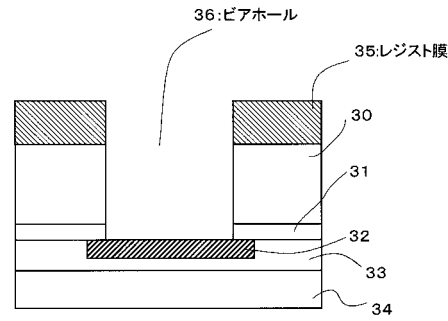
【 図 5 】



【 図 7 】



【 図 6 】



フロントページの続き

F ターム(参考) 5F033 HH08 HH11 HH12 JJ21 JJ23 JJ32 JJ33 KK07 KK11 KK13
KK21 KK23 KK32 KK33 MM08 MM13 MM30 NN40 PP15 PP27