



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0164800
(43) 공개일자 2022년12월13일

- (51) 국제특허분류(Int. Cl.)
H01F 17/00 (2006.01) H01F 41/04 (2006.01)
- (52) CPC특허분류
H01F 17/0006 (2013.01)
H01F 17/0033 (2013.01)
- (21) 출원번호 10-2022-7040090
- (22) 출원일자(국제) 2021년04월15일
심사청구일자 2022년11월16일
- (85) 번역문제출일자 2022년11월16일
- (86) 국제출원번호 PCT/US2021/027499
- (87) 국제공개번호 WO 2021/211855
국제공개일자 2021년10월21일
- (30) 우선권주장
63/011,505 2020년04월17일 미국(US)

- (71) 출원인
3디 클래스 솔루션즈 인코포레이티드
미국 뉴멕시코 87113 앨버커키 벌룬 피에스타 파크웨이 엔이 5601-비
- (72) 발명자
플레밍 잭 에이취.
미국 뉴멕시코 87106 앨버커키 사우스이스트 산타모니카 2817
방갈라 레디
미국 뉴멕시코 87114 앨버커키 노스웨스트 사구아로 스트리트 9300
- (74) 대리인
장훈

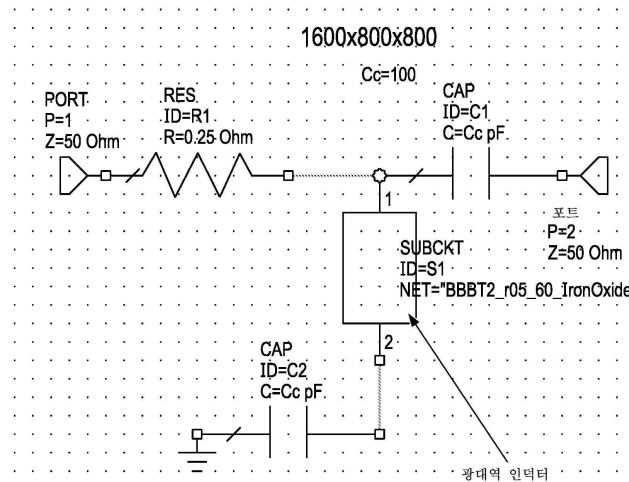
전체 청구항 수 : 총 38 항

(54) 발명의 명칭 **광대역 인덕터**

(57) 요약

본 발명은 광대역 필터를 형성하기 위해 커패시터와 함께 사용될 수 있는 저비용이고, 신뢰성 있는 새로운 광대역 인덕터의 방법을 포함한다.

대표도 - 도4



(52) CPC특허분류

H01F 41/041 (2013.01)

H01F 2017/0073 (2013.01)

명세서

청구범위

청구항 1

광대역 인덕터를 생성하는 방법에 있어서,

원뿔형 인덕터의 기관의 제1 측에 제1 트렌치들을 형성하고 전도성 재료로 상기 트렌치들을 채우는 단계;

각각의 상기 제1 트렌치들의 제1 단부 및 제2 단부에 각각 연결되는 상기 기관을 통해 제1 및 제2 비아들을 형성하고 전도성 재료로 상기 제1 및 제2 비아들을 채우는 단계; 및

상기 제1 측에 대항하는 상기 기관의 제2 측에 제2 트렌치를 형성하고, 상기 제2 트렌치들을 전도성 재료로 채우는 단계로서, 제1 및 제2 비아에 연결되는 상기 제2 트렌치들 각각은 원뿔 형상이고, 상기 제1 및 제2 트렌치들은 광대역 인덕터인, 방법.

청구항 2

제 1 항에 있어서, 상기 기관은 감광성 유리 기관이고, 상기 제1 또는 제2 측에 트렌치들을 형성하는 단계는,

상기 기관 상에 트렌치 패턴을 갖는 포토레지스트를 형성하는 단계;

상기 감광성 유리 기관의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계;

상기 감광성 유리 기관을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;

상기 감광성 유리 기관을 냉각시켜 상기 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기관을 형성하는 단계;

에천트로 상기 유리-결정질 기관 트렌치들을 에칭하는 단계;

상기 감광성 유리 기관의 에칭된 트렌치들 외부 영역을 활성화 에너지 소스에 플러드 노출(flood exposing)시키는 단계;

상기 감광성 유리 기관을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;

감광성 유리/세라믹 기관을 냉각시켜 상기 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기관을 형성하는 단계; 및

전도성 재료 접지면으로 상기 트렌치들을 선택적으로 채우고 하나 이상의 금속들로 입력 및 출력 채널들을 선택적으로 채우는 단계를 포함하고, 상기 금속은 회로에 연결되는, 방법.

청구항 3

제 1 항에 있어서, 상기 기관은 감광성 유리 기관이고, 상기 제1 측에서 상기 제2 측으로 비아들을 형성하는 단계는:

상기 기관 상에 비아 패턴을 갖는 포토레지스트를 형성하는 단계;

상기 감광성 유리 기관의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계;

상기 감광성 유리 기관을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;

상기 감광성 유리 기관을 냉각시켜 상기 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기관을 형성하는 단계;

에천트로 상기 유리-결정질 기관 비아들을 에칭하는 단계;

상기 감광성 유리 기관의 에칭된 비아들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계;

상기 감광성 유리 기관을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;

감광성 유리/세라믹 기판을 냉각시켜 상기 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 및

상기 비아들을 전도성 재료로 선택적으로 채우는 단계를 포함하는, 방법.

청구항 4

제 1 항에 있어서, 상기 기판은 포토디파이너블 유리(photodefinable glass)인, 방법.

청구항 5

제 1 항에 있어서, 상기 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게는 50 μm 인, 방법.

청구항 6

제 1 항에 있어서, 상기 비아 직경은 5 μm 내지 200 μm , 바람직하게는 25 μm 인, 방법.

청구항 7

제 1 항에 있어서, 상기 비아 및 트렌치 높이는 25 μm 내지 1000 μm , 바람직하게는 300 μm 인, 방법.

청구항 8

제 1 항에 있어서, 상기 광대역 인덕터는 고주파 및 저주파 섹션을 포함하는, 방법.

청구항 9

제 1 항에 있어서, 상기 광대역 인덕터는 2개의 반도체 기판들로 구성되는, 방법.

청구항 10

제 1 항에 있어서, 상기 광대역 인덕터는 하나의 반도체 기판으로 구성되는, 방법.

청구항 11

제 1 항에 있어서, 상기 광대역 인덕터는 직사각형이 아닌, 방법.

청구항 12

제 1 항에 있어서, 상기 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함하는, 방법.

청구항 13

제 1 항에 있어서, 상기 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함하는, 방법.

청구항 14

제 1 항에 있어서, 상기 광대역 인덕터는 회로 기판에 본딩되는, 방법.

청구항 15

광대역 인덕터를 생성하는 방법에 있어서,

제1 트렌치들 각각의 제1 단부 및 제2 단부에 각각 연결되는 감광성 유리 기판을 통해 제1 및 제2 비아들을 형성하고 전도성 재료로 상기 제1 및 제2 비아들을 채움으로써, 원뿔형 인덕터의 상기 감광성 유리 기판의 제1 측상에 상기 제1 트렌치들을 형성하고 전도성 재료로 상기 트렌치들을 채우는 단계; 및

제1 측에 대향하는 상기 감광성 유리 기판의 제2 측에 제2 트렌치들을 형성하고, 상기 제2 트렌치들을 전도성 재료로 채우는 단계를 포함하고, 상기 제1 및 제2 비아에 연결되는 상기 제2 트렌치들 각각은 원뿔 형상이고, 상기 제1 및 제2 트렌치들은 광대역 인덕터인, 방법.

청구항 16

제 15 항에 있어서, 상기 제1 또는 제2 측에 트렌치들을 형성하는 단계는,
 상기 기판 상에 트렌치 패턴을 갖는 포토레지스트를 형성하는 단계;
 상기 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계;
 상기 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;
 상기 감광성 유리 기판을 냉각시켜 상기 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계;
 에천트로 상기 유리-결정질 기판 트렌치들을 에칭하는 단계;
 상기 감광성 유리 기판의 에칭된 트렌치들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계;
 상기 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;
 감광성 유리/세라믹 기판을 냉각시켜 상기 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 및
 전도성 재료 접지면으로 상기 트렌치들을 선택적으로 채우고 하나 이상의 금속들로 입력 및 출력 채널들을 선택적으로 채우는 단계를 포함하고, 상기 금속은 회로에 연결되는, 방법.

청구항 17

제 15 항에 있어서, 상기 제1 측에서 상기 제2 측으로 비아들을 형성하는 단계는:
 상기 기판 상에 비아 패턴을 갖는 포토레지스트를 형성하는 단계;
 상기 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계;
 상기 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;
 상기 감광성 유리 기판을 냉각시켜 상기 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계;
 에천트로 상기 유리-결정질 기판 비아들을 에칭하는 단계;
 상기 감광성 유리 기판의 에칭된 비아들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계;
 상기 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계;
 감광성 유리/세라믹 기판을 냉각시켜 상기 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 및
 상기 비아들을 전도성 재료로 선택적으로 채우는 단계를 포함하는, 방법.

청구항 18

제 15 항에 있어서, 상기 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게는 50 μm 인, 방법.

청구항 19

제 15 항에 있어서, 상기 비아 직경은 5 μm 내지 200 μm , 바람직하게는 25 μm 인, 방법.

청구항 20

제 15 항에 있어서, 상기 비아, 상기 트렌치, 또는 둘 모두는 25 μm 내지 1000 μm , 바람직하게는 300 μm 의 높이를 갖는, 방법.

청구항 21

제 15 항에 있어서, 상기 광대역 인덕터는 고주파 및 저주파 섹션을 포함하는, 방법.

청구항 22

제 15 항에 있어서, 상기 광대역 인덕터는 2개의 반도체 기관으로 구성되는, 방법.

청구항 23

제 15 항에 있어서, 상기 광대역 인덕터는 하나의 반도체 기관으로 구성되는, 방법.

청구항 24

제 15 항에 있어서, 상기 광대역 인덕터는 직사각형이 아닌, 방법.

청구항 25

제 15 항에 있어서, 상기 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함하는, 방법.

청구항 26

제 15 항에 있어서, 상기 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함하는, 방법.

청구항 27

제 15 항에 있어서, 상기 광대역 인덕터는 회로 기관에 분당되는, 방법.

청구항 28

광대역 인덕터에 있어서,

원뿔형 인덕터의 기관의 제1 측 상의 제1 트렌치들로서, 상기 트렌치들은 전도성 재료로 채워지는, 상기 제1 트렌치;

각각의 제1 트렌치들의 제1 단부 및 제2 단부에 각각 연결되는 상기 기관을 통한 제1 및 제2 비아들로서, 상기 제1 및 제2 비아들은 전도성 재료로 채워지는, 상기 제1 및 제2 비아; 및

상기 제1 측에 대향하는 상기 기관의 제2 측 상의 제2 트렌치들로서, 상기 제2 트렌치들은 전도성 재료로 채워지는, 상기 제2 트렌치들을 포함하고, 상기 제1 및 제2 비아에 연결되는 상기 제2 트렌치들의 각각은 원뿔 형상이고, 상기 제1 및 제2 트렌치들은 광대역 인덕터인, 광대역 인덕터.

청구항 29

제 28 항에 있어서, 상기 기관은 감광성 유리 기관인, 광대역 인덕터.

청구항 30

제 28 항에 있어서, 상기 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게는 50 μm 인, 광대역 인덕터.

청구항 31

제 28 항에 있어서, 상기 비아 직경은 5 μm 내지 200 μm , 바람직하게는 25 μm 인, 광대역 인덕터.

청구항 32

제 28 항에 있어서, 상기 비아, 상기 트렌치, 또는 둘 모두는 25 μm 내지 1000 μm , 바람직하게는 300 μm 의 높이를 갖는, 광대역 인덕터.

청구항 33

제 28 항에 있어서, 상기 광대역 인덕터는 고주파 및 저주파 섹션을 포함하는, 광대역 인덕터.

청구항 34

제 28 항에 있어서, 상기 광대역 인덕터는 2개의 반도체 기관으로 구성되는, 광대역 인덕터.

청구항 35

제 28 항에 있어서, 상기 광대역 인덕터는 하나의 반도체 기관으로 구성되는, 광대역 인덕터.

청구항 36

제 28 항에 있어서, 상기 광대역 인덕터는 직사각형이 아닌, 광대역 인덕터.

청구항 37

제 28 항에 있어서, 상기 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함하는, 광대역 인덕터.

청구항 38

제 28 항에 있어서, 상기 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함하는, 광대역 인덕터.

발명의 설명

기술 분야

- [0001] 이 PCT 국제 특허 출원은 2020년 4월 17일에 출원된 미국 가출원 번호 63/011,505호의 우선권을 주장하고, 각각의 내용은 본원에 참조로 포함된다.
- [0002] 본 발명은 광대역 인덕터 및 분로 커패시터를 포함하는 광대역 저손실 삽입 손실 회로를 생성하는 것에 관한 것이다. 동일한 회로는 또한 광대역 필터로 사용될 수 있다.

배경 기술

- [0003] 본 발명의 범위를 제한하지 않고, 그 배경이 종래의 광대역 인덕터와 관련하여 설명된다.
- [0004] 광대역 인덕터는 테스트 계측에서 마이크로파 회로 설계에 이르는 애플리케이션에 이상적이다. 광대역 인덕터는 최대 100 GHz의 통신 플랫폼들 및 RF 마이크로-스트립들에 사용하기 위한 우수한 바이어스 티(bias tee)를 만든다. 하나의 그러한 테이퍼드 코일 인덕터(tapered coil inductor)가 도 1에 도시되고, 도 1은 종래 기술의 전통적인 광대역 인덕터를 도시한다.
- [0005] 테이퍼드 코일의 광대역 응답은 선택적 금 도금 및 분말 철 충전 재료와 함께 권선 및 연관된 절연 스트리핑(stripping)의 정밀도와 직접 관련된다. 광대역 테이퍼드 원뿔형 인덕터들은 다양한 크기, 전류 처리 및 주파수 범위와 함께 SMT 및 플라잉 리드(flying lead) 버전에서 이용가능하다. 역사적으로, 단일 원뿔형 인덕터의 넓은 주파수 범위를 처리하기 위해 직렬 및/또는 병렬로 결합된 여러 협대역 인덕터들이 취해질 것이다. 이러한 유형의 원뿔형 인덕터들은 상업적으로 이용가능하고 예를 들어 Piconics에 의해 제조된다.
- [0006] 상업적으로 이용 가능한 원뿔형 인덕터들은 ± 150 μm의 정밀 허용오차를 갖는 기계에서 생산된다. 상업적으로 이용 가능한 원뿔형 인덕터들은 손으로 감겨진 인덕터들과 비교하여 더 나은 성능, 낮은 손실, 개선된 신뢰성, 감소된 생산 시간 및 인쇄 회로 기관의 공간 절약을 갖는다. 인덕터들은 무선주파수(RF) 및 마이크로파 회로 설계의 필수 구성요소이고 일반적으로 임피던스-매칭 요소들 또는 바이어스 초크들로 사용된다. 오늘날의 다양한 애플리케이션들을 만족시키도록 설계된 매우 다양한 인덕터들이 있다. 주어진 애플리케이션에서 인덕터를 사용하는 것은 인덕터의 능력들과 한계들을 이해하는 것을 요구한다. 인덕터의 주요 제한사항들 중 하나는 사용 가능한 대역폭에 영향을 미치는 자체-공진 주파수 또는 제1 병렬-공진 주파수(PRF)이다.

발명의 내용

- [0007] 일 실시예에서, 본 발명은 원뿔형 인덕터의 기관의 제1 측 상에 제1 트렌치(trench)들을 형성하고 전도성 재료로 상기 트렌치들을 채우는 단계; 각각의 제1 트렌치들의 제1 단부 및 제2 단부에 각각 연결되는 기관을 통해 제1 및 제2 비아들을 형성하고 전도성 재료로 제1 및 제2 비아들을 채우는 단계; 및 제1 측에 대향하는 기관의 제2 측 상에 제2 트렌치들을 형성하고, 전도성 재료로 제2 트렌치들을 채우는 단계를 포함하는 광대역 인덕터를 생성하는 방법을 포함하고, 제1 및 제2 비아에 연결되는 제2 트렌치들 각각은 원뿔 형상이고, 제1 및 제2 트렌치들은 광대역 인덕터이다. 일 양태에서, 기관은 감광성 유리 기관이고, 제1 또는 제2 측 상에 트렌치들을 형성하는 단계는: 기관 상에 트렌치 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기관의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기관을 유리 전이 온도보다 높게 적어도 10분 동안 가열하

는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에칭트로 유리-결정질 기판 트렌치들을 에칭하는 단계; 감광성 유리 기판의 에칭된 트렌치들 외부 영역을 활성화 에너지 소스에 플러드 노출(flood exposing)시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 전도성 재료 접지면으로 트렌치들을 선택적으로 채우고 하나 이상의 금속들로 입력 및 출력 채널들을 선택적으로 채우는 단계를 포함하고, 금속은 회로에 연결된다. 다른 양태에서, 기판은 감광성 유리 기판이고, 제1 내지 제2 측에 비아들을 형성하는 단계는: 기판 상에 비아 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에칭트로 유리-결정질 기판 비아들을 에칭하는 단계; 감광성 유리 기판의 에칭된 비아들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 전도성 재료로 비아들을 선택적으로 채우는 단계를 포함한다. 다른 양태에서, 기판은 포토디파이너블(photodefinable) 유리이다. 다른 양태에서, 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게는 50 μm 이다. 다른 양태에서, 비아 직경은 5 μm 내지 200 μm , 바람직하게는 25 μm 이다. 다른 양태에서, 비아 및 트렌치 높이는 25 μm 내지 1000 μm , 바람직하게는 300 μm 이다. 다른 양태에서, 광대역 인덕터는 고주파 및 저주파 섹션을 포함한다. 다른 양태에서, 광대역 인덕터는 2개의 반도체 기판으로 구성된다. 다른 양태에서, 광대역 인덕터는 하나의 반도체 기판으로 구성된다. 다른 양태에서, 광대역 인덕터는 직사각형이 아니다. 다른 양태에서, 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함한다. 다른 양태에서, 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함한다. 다른 양태에서, 광대역 인덕터는 회로 기판에 본딩된다.

[0008]

다른 실시예에서, 본 발명은 제1 트렌치 각각의 제1 단부 및 제2 단부에 각각 연결되는 감광성 유리 기판을 통해 제1 및 제2 비아들을 형성하고 전도성 재료로 제1 및 제2 비아들을 채움으로써, 원뿔형 인덕터의 감광성 유리 기판의 제1 측 상에 제1 트렌치들을 형성하고 전도성 재료로 트렌치들을 채우는 단계; 및 제1 측에 대향하는 상기 감광성 유리 기판의 제2 측에 제2 트렌치들을 형성하고, 전도성 재료로 제2 트렌치들을 채우는 단계를 포함하는 광대역 인덕터를 생성하는 방법을 포함하고, 제1 및 제2 비아에 연결되는 제2 트렌치들의 각각은 원뿔형상이고, 제1 및 제2 트렌치 트렌치들은 광대역 인덕터이다. 일 양태에서, 제1 또는 제2 측 상에 트렌치들을 형성하는 단계는: 기판 상에 트렌치 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에칭트로 유리-결정질 기판 트렌치들을 에칭하는 단계; 감광성 유리 기판의 에칭된 트렌치들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 전도성 재료 접지면으로 트렌치들을 선택적으로 채우고 하나 이상의 금속들로 입력 및 출력 채널들을 선택적으로 채우는 단계를 포함하고, 금속은 회로에 연결된다. 다른 양태에서, 제1 내지 제2 측에 비아들을 형성하는 단계는: 기판 상에 비아 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에칭트로 유리-결정질 기판 비아들을 에칭하는 단계; 감광성 유리 기판의 에칭된 비아들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 및 전도성 재료로 비아들을 선택적으로 채우는 단계를 포함한다. 다른 양태에서, 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게는 50 μm 이다. 다른 양태에서, 비아 직경은 5 μm 내지 200 μm , 바람직하게는 25 μm 이다. 다른 양태에서, 비아, 트렌치, 또는 둘 모두는 25 μm 내지 1000 μm , 바람직하게는 300 μm 의 높이를 가진다. 다른 양태에서, 광대역 인덕터는 고주파 및 저주파 섹션을 포함한다. 다른 양태에서, 광대역 인덕터는 2개의 반도체 기판들로 구성된다. 다른 양태에서, 광대역 인덕터는 하나의 반도체 기판으로 구성된다. 다른 양태에서, 광대역 인덕터는 직사각형이 아니다. 다른 양태에서, 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함한다. 다른 양태에서, 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함한다. 다른

양태에서, 광대역 인덕터는 회로 기판에 본딩된다.

[0009] 다른 실시예에서, 본 발명은 원뿔형 인덕터의 기판의 제1 측 상의 제1 트렌치들로서, 트렌치들은 전도성 재료로 채워지는, 상기 제1 트렌치; 각각의 제1 트렌치들의 제1 단부 및 제2 단부에 각각 연결되는 기판을 통한 제1 및 제2 비아들로서, 제1 및 제2 비아들은 전도성 재료로 채워지는, 상기 제1 및 제2 비아; 및 제1 측에 대향하는 기판의 제2 측 상의 제2 트렌치들로서, 제2 트렌치들은 전도성 재료로 채워지는, 상기 제2 트렌치들을 포함하는 광대역 인덕터를 포함하고, 제1 및 제2 비아에 연결되는 제2 트렌치들의 각각은 원뿔 형상이고, 제1 및 제2 트렌치들은 광대역 인덕터이다. 다른 양태에서, 기판은 포토디파이너블 유리 기판이다. 다른 양태에서, 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게는 50 μm 이다. 다른 양태에서, 비아 직경은 5 μm 내지 200 μm , 바람직하게는 25 μm 이다. 다른 양태에서, 비아, 트렌치, 또는 둘 모두는 25 μm 내지 1000 μm , 바람직하게는 300 μm 의 높이를 가진다. 다른 양태에서, 광대역 인덕터는 고주파 및 저주파 섹션을 포함한다. 다른 양태에서, 광대역 인덕터는 2개의 반도체 기판들로 구성된다. 다른 양태에서, 광대역 인덕터는 하나의 반도체 기판으로 구성된다. 다른 양태에서, 광대역 인덕터는 직사각형이 아니다. 다른 양태에서, 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함한다. 다른 양태에서, 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함한다.

도면의 간단한 설명

[0010] 본 발명의 특징들 및 장점들의 더 완전한 이해를 위해, 이제 첨부 도면들과 함께 본 발명의 상세한 설명이 참조된다.

도 1은 종래 기술의 전통적인 광대역 인덕터를 도시한다.

도 2는 광대역 인덕터의 3D 렌더링을 도시한다.

도 3은 본 발명의 광대역 필터의 개략도를 도시한다.

도 4는 새로운 광대역 인덕터를 사용하는 광대역 필터에 대한 전기 회로를 도시한다.

도 5는 새로운 광대역 인덕터를 사용하여 광대역 필터에 대한 전기 회로의 시뮬레이션을 도시한다.

도 6은 바이어스T 회로에서 코일크래프트(Coilcraft)에 의해 만들어진 광대역 인덕터의 삽입 손실을 도시한다.

도 7은 BBI의 단일 웨이퍼 구현을 도시한다.

비록 본 발명의 실시예들이 첨부 도면들을 참조하여 완전히 설명되었지만, 다양한 변화들 및 수정들이 통상의 기술자들에게 명백해짐이 유의되어야 한다. 이러한 변화들 및 수정들은 첨부된 청구범위에서 정의된 바와 같이 본 발명의 실시예들의 범위 내에 포함되는 것으로 이해되어야 한다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명의 다양한 실시예들의 제조 및 사용이 아래에서 논의되지만, 본 발명이 매우 다양한 특정 맥락에서 구현될 수 있는 많은 적용 가능한 발명 개념을 제공한다는 것이 이해되어야 한다. 본원에서 논의된 특정 실시예들은 본 발명을 만들고 사용하기 위한 특정 방식들의 예시일 뿐이며 본 발명의 범위를 제한하지 않는다.

[0012] 본 발명은 광대역 UHF에서 밀리미터파 초킹 또는 바이어스 공급 애플리케이션들에 사용되는 고성능 인덕터들 및 그 제조 방법들을 포함한다. 원뿔형 인덕터들은 저손실 RF 초킹 및 바이어스 공급에 사용될 수 있는 마이크로헨리 범위의 극도로 광대역의 공진-없는 인덕턴스를 제공할 수 있다. 낮은 커패시턴스 부착 패드들에 대한 신중한 조립으로 결합된 원뿔형 형상은 10 MHz 내지 40 GHz에서 이러한 인덕터들의 사용 가능한 대역폭을 허용한다. 원뿔형 인덕터는 원뿔형 설계와 신중한 조립 덕분에 표준 SMT 인덕터들에서 볼 수 있는 제한된 대역폭을 극복한다.

[0013] 본 발명의 광대역 인덕터의 새로운 설계 및 제조 방법은 RF 설계자들에게 비할 데 없는 장점들을 제공한다. 광대역 필터들은 RF 회로의 많은 부분에 사용된다. 도 2는 본 발명의 완성된 고정밀 테이퍼드 원뿔형 광대역 인덕터(10)의 3D 렌더링을 도시한다.

[0014] 도 3은 본 발명의 고정밀 테이퍼드 원뿔형 광대역 인덕터(10) 및 커패시터 회로(12)의 단면을 도시한다. 도 3은 본 발명의 고정밀 테이퍼드 원뿔형 광대역 인덕터(10)의 제1 기판(14) 및 제2 기판(16)을 갖는 2개의-웨이퍼 구현을 도시한다. 인덕터의 제1 부분은 디바이스의 우측에서 시작되고 도시되며 인덕터(10)의 저주파(18)에 대한 높은 값의 인덕턴스이다. 인덕터의 제2 부분은 디바이스의 좌측에서 시작되고 도시되며 인덕터(10)의 더 높은 주파수(20)에 대한 작은 값의 인덕턴스이다. 고주파 인덕터는 하나의 웨이퍼에 있으며 더 작은(고주파 인덕터)

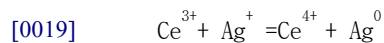
에서 더 넓은(저주파 인덕터)로 점점 테이퍼링된다. 광대역 인덕터의 고유한 구조는 본원에서 교시되는 포토디파이너블 유리 프로세싱 방법을 사용하여 생성된다. 도 3은 하기 표 1에 추가로 설명된다. 도 4는 본 발명의 광대역 인덕터의 전기 회로도이다.

[0015] 본 발명은 기계 감기 원뿔형 인덕터에 비해 상당한 성능 향상, 낮은 삽입 손실, 향상된 신뢰성, 대량 생산, 최고의 신뢰성 및 공간 절약을 갖는 포토디파이너블 유리에서 집적 회로 정밀도 및 허용 오차 $\pm 0.5 \mu\text{m}$ 로 제조된 광대역 인덕터를 생성하는 것을 포함한다. 이것은 30,000% 초과와 정밀도 향상이다. 기계적 정밀도는 도 6 (도 1에 도시된 것과 같은 종래 기술의 원뿔형 인덕터의 성능을 도시함)과 나란히 비교하면, 도 5의 그래프에 도시된 바와 같은 예상치 못한 결과를 가능하게 한다.

[0016] 포토디파이너블 프로세싱 기판은, 본원에서 일반적으로: 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키고; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하고; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하고; 에칭트로 유리-결정질 기판(트렌치(들) 및 비아(들))을 에칭하고; 감광성 유리 기판의 에칭된 트렌치 및 비아들 외부 영역을 활성화 에너지 소스에 플러드 노출시키고; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하고; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하고; 전도성 재료 접지면으로 (트렌치(들) 및 비아(들))를 선택적으로 채우고 하나 이상의 금속으로 입력 및 출력 채널을 채우고, 여기서 금속은 회로에 연결되고; 그리고 채워진 트렌치들을 노출시키기 위해 포토디파이너블 유리의 세라믹화된 주변부를 에칭함으로써 생성된다.

[0017] 일 양태에서, 감광성 유리 기판은 하기의 조성을 포함하는 유리 기판이다: 60 - 76 중량% 실리카; 적어도 3 중량%의 K_2O 와 6 중량% - 16 중량%의 K_2O 및 Na_2O 의 조합; Ag_2O 및 Au_2O 로 이루어진 군에서 선택되는 0.003-1 중량%의 적어도 하나의 산화물; 0.003-2 중량% Cu_2O ; 0.75 중량% - 7 중량% B_2O_3 및 6 - 7 중량% Al_2O_3 ; 및 B_2O_3 의 조합; 및 13 중량%를 초과하지 않는 Al_2O_3 ; 8-15 중량% Li_2O ; 및 0.001 - 0.1 중량% CeO_2 . 다른 양태에서, 감광성 유리 기판은 하기의 조성을 포함하는 유리 기판이다: 35-76 중량% 실리카, 3-16 중량% K_2O , 0.003-1 중량% Ag_2O , 8-15 중량% Li_2O 및 0.001-0.1 중량% CeO_2 . 다른 양태에서, 감광성 유리 기판은: 적어도 0.1 중량%의 Sb_2O_3 또는 As_2O_3 를 포함하는 포토-디파이너블 유리 기판; 0.003-1 중량% Au_2O 를 포함하는 포토-디파이너블 유리 기판; CaO , ZnO , PbO , MgO , SrO 및 BaO 로 이루어진 군으로부터 선택된 산화물 1-18 중량%를 포함하는 포토-디파이너블 유리 기판; 및 선택적으로 10-20:1; 21-29:1; 30- 45:1; 20-40:1; 41-45:1; 및 30-50:1 중 적어도 하나인 노출된 부분 대 노출되지 않은 부분의 이방성-에칭 비율 중 적어도 하나이다. 다른 양태에서, 감광성 유리 기판은 실리카, 리튬 산화물, 알루미늄 산화물 또는 세륨 산화물 중 적어도 하나를 포함하는 감광성 유리 세라믹 복합 기판이다. 다른 양태에서, 전자 회로. 다른 양태에서, 방법은 대역통과, 저역 통과, 고역 통과, 분로 또는 노치 필터 및 다른 회로를 형성하기 위해 기계적 및 열적으로 안정화된 송신 라인 구조를 적어도 하나 이상의 수동 및 능동 구성요소의 특징으로 형성하는 단계를 더 포함한다.

[0018] 미세구조는 기존의 반도체 프로세싱 장비를 사용하여 이들 유리들로 비교적 저렴하게 생산되었다. 일반적으로, 유리들은 고온 안정성, 우수한 기계적 및 전기적 특성을 가지며, 플라스틱 및 많은 금속들보다 내화학성이 우수하다. 포토에칭가능한 유리는 미량의 은 이온들을 함유하는 리튬-알루미늄-실리케이트 유리로 구성된다. 세륨 산화물의 흡수 대역 내에서 UV-광에 노출될 때, 세륨 산화물은 증감제들로 작용하여, 광자를 흡수하고 전자를 잃어 이웃하는 은 산화물을 환원시켜 은 원자를 형성하고, 예를 들어 아래와 같다.



[0020] 은 원자는 베이킹 프로세스에서 은 나노클러스터로 합체되고 주변 유리의 결정화를 위한 핵 생성 사이트를 유도한다. 마스크를 통해 UV 광선에 노출되면, 유리의 노출된 영역들만 후속 가열 처리 동안 결정화될 것이다.

[0021] 이 가열 처리는 유리 변환 온도에 가까운 온도(예를 들어, 공기 중에서 465°C 초과)에서 수행해야 한다. 결정상은 노출되지 않은 유리질의 무정형 영역들보다 불산(HF)과 같은 에칭트들에 더 잘 용해된다. 결정질 영역들은 10% HF의 비정질 영역보다 20배 초과 빠르게 에칭되어, 노출된 영역들이 제거될 때 벽 기울기 비율이 약 20:1인 미세구조를 가능하게 한다. T.R Dietrich 등에 의한 "Fabrication Technologies for Microsystems utilizing Photoetchable Glass", Microelectronic Engineering 30,497(1996)을 참조하고, 이의 관련 부분들은 본원에 참조로 포함된다.

[0022] 노출된 부분은 유리 기판을 유리 변형 온도에 가까운 온도로 가열함으로써 결정질 재료로 변형될 수 있다. 불산(HF)과 같은 에천트로 유리 기판을 에칭할 때, 노출된 부분과 노출되지 않은 부분의 이방성-에칭 비는, 유리가 적어도 30:1의 중형비를 갖는 형상의 유리 구조를 제공하고, 렌즈 형상 유리 구조를 제공하기 위해 넓은 스펙트럼의 중자외선(약 308-312nm) 투광 조명등에 노출될 때 적어도 30:1이다. 이어서, 노출된 유리는 일반적으로 2-단계 프로세스로 베이킹(bake)된다. 은 이온들은 은 나노입자들로 합체하기 위해 420°C-520°C 사이에서 10분에서 2시간 동안 가열된 온도 범위 및 520°C-620°C 사이에서 10분에서 2시간 동안 가열된 온도 범위는 리튬 산화물이 은 나노 입자들 주위에 형성하게 한다. 이어서, 유리판이 에칭된다. 유리 기판은 HF 용액의 에천트에서, 전형적으로 5 내지 10 부피%로 에칭되고, 여기서 노출된 부분 대 노출되지 않은 부분의 에칭 비는 적어도 30:1이다. 회로들을 형성하기 위해 능동 디바이스들과 결합된 금속들, 유전체들 및/또는 저항성 요소들로 채워질 에칭된 피처(feature)들을 생성한다. 포토에칭가능 유리 구조에서 전기 회로들 및 구조들을 생성하기 전의 최종 프로세싱 단계들은 나머지 유리 기판을 세라믹 상으로 완전히 변환하는 것이다. 유리의 세라믹화는 나머지 포토 디파이너블 유리 기판을 모두를 약 20J/cm²의 310 nm 광에 노출시킴으로써 달성된다. 이어서, 은 나노입자들로 은 이온들을 합체하기 위해, 최대 2시간 동안 420°C-520°C 사이의 온도 및 10분에서 2시간 동안 520°C-620°C 사이에서 가열되는 온도 범위로 기판의 가열은 리튬 산화물이 은 나노입자들 주위에 형성하게 한다. 이어서, 기판은 냉각되고 이어서 금속화된 구조들(상호연결들, 비아 등)로 프로세싱된다. 마지막으로, 능동 및 수동 디바이스들은 세라믹화된 기판 위에 배치된다.

[0023] 표 1. 2개의 광대역 인덕터(BBI: Broadband Inductor)(도 3에 도시됨)는 다음과 같이 생성된다:

표 1

[0024]

단계 1	포토디파이너블 유리(PDG: photodefinable glass) 기판(14)의 측면 1은 포토레지스트로 코팅되고, 여기서 이어서 비아(원형) 패턴은 표준 포토리소그래피 프로세스들을 사용하여 생성된다. 원형 비아 패턴은 측면 1에서 구리 패턴(22)의 단부와 정렬된다. 비아 간격이 10 μm 내지 250 μm(예를 들어 50 μm) 범위일 수 있는 경우, 직경이 5 μm 내지 200 μm(예를 들어 25 μm)이고 비아 깊이가 25 μm 내지 1000 μm(예를 들어 300 μm)인 중심 대 중심 간격.
단계 2	이어서, 원형 비아 패턴(도 2 참조)은 적어도 2 J/cm ² 의 310 nm 광에 노출된다. 이어서, 포토레지스트는 표준 스트리퍼(stripper)로 제거된다.
단계 3	이어서, PDG 기판은 UV 노출 섹션을 세라믹 상으로 변환하기 위해 적어도 10분 동안 600°C로 베이킹된다.
단계 4	이어서, 세라믹 상은 10% HF 용액으로 화학적 에칭을 사용하여 측면 1의 구리 도금 영역까지 제거된다.
단계 5	이어서, PDG 기판 1은 전기도금조에 배치되고 여기서 비아들은 구리로 채워진다.
단계 6	PDG(photodefinable glass) 기판 1(도 3 기판(14))의 측면 1 표면에 티타늄 접착 층을 증착한 다음 구리(Cu)의 얇은 층을 증착한다.
단계 7	티타늄(Ti)은 스퍼터링, e-빔 증발 PLD 및/또는 CVD를 포함하지만 이에 제한되지 않는 다수의 기법들에 의해 증착될 수 있다. Ti 층의 두께는 5 nm 내지 200 nm, 예를 들어 100 nm의 범위일 수 있다. Cu 층의 두께는 200nm 내지 1,000nm, 예를 들어 500nm 범위일 수 있다.
단계 8	Ti 및 Cu의 박막은 표준 포토레지스트 코팅, 노출 및 현상액 또는 아르곤 이온 밀 프로세스들을 사용하여 에칭될 수 있다.
단계 9	이어서, 포토레지스트는 기존의 포토레지스트 스트리퍼를 사용하여 제거된다. PDG 기판 1(도 3의 기판(14))은 전기도금 시스템에 배치되고, 여기서 구리는 Ti/Cu 층에 도금된다.
단계 10	이어서, 뿔납 볼(24)은 구리 충전 비아 각각에 적용된다. 뿔납 볼은 광대역 인덕터의 저주파 부분(18)에 있는 기판 1(도 3의 기판(14))의 측면 2에 배치된다. 뿔납은 PDG 기판 1(도 3의 기판(14))과 2(도 3의 기판(16)) 사이에서 전기적, 기계적, 또는 전기적 및 기계적 연결 둘 모두로서 작용한다. 대안적으로, 뿔납 볼(24)은 기판 2(도 3의 기판(16))의 측면 3에 적용될 수 있다.
단계 11	PDG 기판 2의 측면 3(도 3의 기판(16))은 포토레지스트로 코팅되고, 이어서 비아(원형) 패턴은 표준 포토리소그래피 프로세스들을 사용하여 생성된다.
단계 12	이어서 원형 비아 패턴은 적어도 10분 동안 적어도 2 J/cm ² 의 310nm 광에 노출된다. 이어서, 포토레지스트는 표준 스트리퍼로 제거된다.
단계 13	이어서, PDG 기판 2의 측면 3(도 3의 기판(16))은 포토레지스트로 코팅되고, 여기서 이어서 직사각형 패턴은 표준 포토리소그래피 프로세스들을 사용하여 생성된다.
단계 14	이어서, 직사각형 패턴은 적어도 8분 동안 적어도 2 J/cm ² 의 310nm 광에 노출된다. 이어서, 포토레지스트는 표준 스트리퍼로 제거된다.

단계 15	PDG 기판 2(도 3의 기판(16))는 UV 노출 섹션을 세라믹 상으로 변환하기 위해 적어도 10분 동안 600°C로 베이킹된다.
단계 16	이어서, 비아의 세라믹 상은 10% HF 용액으로 화학적 에칭을 사용하여 측면 4의 구리 도금 영역까지 선택적으로 제거된다.
단계 17	PDG 기판 2(도 3의 기판(16))는 전기도금조에 배치되고, 여기서 비아들은 구리로 채워진다.
단계 18	이어서, 직사각형의 세라믹 상은 10% HF 용액을 사용한 화학적 에칭을 사용하여 25um 내지 500um, 예를 들어 300um까지 선택적으로 제거되어 공동을 형성한다.
단계 19	이어서, 직사각형 개구는 실크-스크리닝 기법을 사용하여 상업적으로 입수가능한 페라이트 페이스트로 채워지고 제조업체에 의해 규정된 대로 어닐링된다.
단계 20	티타늄(Ti) 및 구리(Cu)는 스퍼터링, e-빔 증발 PLD 및/또는 CVD를 포함하지만 이에 제한되지 않는 다수의 상이한 기법들에 의해 PDG 기판 2 측면 4(도 3의 기판(16)) 상에 증착될 수 있다. Ti 층의 두께는 5 nm 내지 200 nm, 예를 들어 100 nm의 범위일 수 있다. Cu 층의 두께는 200nm 내지 1,000nm, 예를 들어 500nm의 범위일 수 있다.
단계 21	Ti/Cu의 박막은 표준 포토레지스트 코팅, 노출 및 현상 프로세스를 사용하여 패턴화 에칭되고, 이어서 구리 도금을 위한 패턴화된 집착 층을 생성하기 위해 아르곤 이온 밀링된다. 이어서, 포토레지스트는 기존의 포토레지스트 스트리퍼를 사용하여 제거된다.
단계 22	PDG 기판 2(도 3의 기판(16))은 전기도금 시스템에 배치되고, 여기서 구리는 Ti/Cu 층에 도금된다.
단계 23	이어서, PDG 기판 2(도 3 기판(16))은 개별 다이로 다이싱된다.
단계 24	이어서, 다이는 PDG 기판 1(도 3 기판(16)) 뿔뿔(24)에 추가되고 뿔뿔은 리플로우되어, 기판 1(도 3의 기판(14)) 및 기판 2(도 3의 기판(16))을 함께 본딩한다.
단계 25	회로를 완성하기 위해, 집적된 수동 디바이스(IPD: integrated passive device) 커패시터와 같은 커패시터(12)는 또한 PDG 기판 1(도 3의 기판(14))에 추가된다.

[0025]

도 7은 PGD 기판인 기판(34) 상에 커패시터(32)를 포함하는 단일 웨이퍼 광대역 인덕터(30)를 도시한다. 인덕터의 제1 부분은 디바이스의 우측에서 시작되고 도시되며 인덕터(30)의 저주파(38)에 대한 높은 값의 인덕턴스이다. 인덕터의 제2 부분은 디바이스의 좌측에서 시작되고 도시되며 인덕터(10)의 더 높은 주파수(40)에 대한 작은 값의 인덕턴스이다. 철 코어(42)는 인덕터(30)의 저주파(38)에 대해 높은 값 인덕턴스 내에 배치되고, 다시 말해서 안테나가 둘러싸고 철 코어(42)와 접촉하지 않는다. 패시베이션 층(44)은 철 코어 상에 배치되고 더 높은 주파수(40)에 대해 작은 값 인덕턴스의 코일들을 분리하고, 패시베이션 층(44)은 예를 들어 플라즈마 향상 화학 기상 증착(PECVD)에 의해 형성 또는 증착될 수 있는 SiO₂일 수 있다.

[0026]

표 2. 도 7의 단일 웨이퍼 광대역 인덕터(BBI)는 다음과 같이 생성된다:

표 2

[0027]

단계 1	PDG 기판 1(도 7의 기판(34))의 측면 1은 포토레지스트로 코팅되고, 이어서 여기서 비아(원형) 패턴은 표준 포토리소그래피 프로세스들을 사용하여 생성된다. 원형 비아 패턴은 측면 1에서 구리 패턴의 단부와 정렬된다. 비아 간격이 10 μm 내지 250 μm(예를 들어 50 μm) 범위일 수 있는 경우, 직경이 5 μm 내지 200 μm(예를 들어 25 μm)이고 비아 깊이가 25 μm 내지 1000 μm(예를 들어 300 μm)인 중심 대 중심 간격.
단계 2	이어서 원형 비아 패턴은 적어도 10분 동안 적어도 2 J/cm ² 의 310nm 광에 노출된다. 이어서, 포토레지스트는 표준 스트리퍼로 제거된다.
단계 3	이어서, PDG 기판 1의 측면 2(도 7의 기판(34))은 포토레지스트로 코팅되고 여기서 이어서 직사각형 패턴은 표준 포토리소그래피 프로세스를 사용하여 생성된다.
단계 4	이어서, 직사각형 패턴은 적어도 8분 동안 적어도 2 J/cm ² 의 310nm 광에 노출된다. 이어서, 포토레지스트는 표준 스트리퍼로 제거된다.
단계 5	이어서, PDG 기판 1(도 7의 기판(34))는 UV 노출 섹션을 세라믹 상으로 변환하기 위해 적어도 10분 동안 600°C로 베이킹된다.
단계 6	이어서, 비아들의 세라믹 상 및 페라이트 재료에 대한 직사각형 공동은 10% HF 용액으로 화학적 에칭을 사용하여, 측면 2의 구리 도금 영역까지 선택적으로 제거된다.
단계 7	이어서, PDG 기판 1(도 7의 기판(34))는 전기도금조에 배치되고, 여기서 비아들은 구리로 채워진다.

단계 8	이어서, 직사각형의 세라믹 상은 10% HF 용액을 사용한 화학적 에칭을 사용하여 25um 내지 500um, 바람직하게 300um까지 선택적으로 제거되어 공동을 형성한다.
단계 9	이어서, 직사각형 개구는 실크-스크리닝 기법을 사용하여 상업적으로 입수가능한 페라이트 페이스트로 채워지고 제조업체에 의해 규정된 대로 어닐링된다.
단계 10	티타늄(Ti) 및 구리(Cu)는 스퍼터링, e-빔 증발 PLD 및/또는 CVD를 포함하지만 이에 제한되지 않는 다수의 상이한 기법들에 의해 PDG 기판 1(도 7의 기판(34)) 측면 1 상에 증착될 수 있다. Ti 층의 두께는 5 nm 내지 200 nm, 바람직하게는 100nm의 범위일 수 있다. Cu 층의 두께는 200nm 내지 1,000nm, 예를 들어 500nm 범위일 수 있다.
단계 11	Ti/Cu의 박막은 표준 포토레지스트 코팅, 노출 및 현상 프로세스를 사용하여 패턴화 에칭되고, 이어서 구리 도금을 위한 패턴화된 접착 층을 생성하기 위해 아르곤 이온 밀링된다. 이어서, 포토레지스트는 기존의 포토레지스트 스트리퍼를 사용하여 제거된다.
단계 12	이어서, PDG 기판 1(도 7의 기판(34))은 전기도금 시스템에 배치되고, 여기서 구리는 Ti/Cu 층에 도금된다.
단계 13	PDG 기판 1(도 7의 기판(34))은 PECVD 시스템 또는 다른 시스템을 사용하여 패시베이션 층(44)(예를 들어, SiO ₂)으로 코팅된다.
단계 14	PDG 기판 1(도 7의 기판(34)) 측면 2 상에, SiO ₂ 는 CMP 래핑되고 평평하게 폴리싱된다.
단계 15	PDG 기판 1(도 7, 기판(34)) 측면 2 상에, 포토레지스트가 적용되고, 노출되고, 비아 패턴을 노출시키기 위해 현상된다.
단계 16	이어서, SiO ₂ 비아 패턴은 인덕터 구조를 완성하는 경로를 클리어하기 위해 구리로 채워진 비아까지 플라즈마 에칭된다.
단계 17	티타늄(Ti) 및 구리(Cu)는 스퍼터링, e-빔 증발 PLD 및/또는 CVD를 포함하지만 이에 제한되지 않는 다수의 상이한 기법들에 의해 PDG 기판 1(도 7의 기판(34)) 측면 2 상에 증착될 수 있다. Ti 층의 두께는 5 nm 내지 200 nm, 바람직하게는 100nm의 범위일 수 있다. Cu 층의 두께는 200nm 내지 1,000nm, 예를 들어 500nm 범위일 수 있다.
단계 18	Ti/Cu의 박막은 표준 포토레지스트 코팅, 노출 및 현상 프로세스를 사용하여 패턴화 에칭되고, 이어서 구리 도금을 위한 패턴화된 접착 층을 생성하기 위해 아르곤 이온 밀링된다. 이어서, 포토레지스트는 기존의 포토레지스트 스트리퍼를 사용하여 제거된다.
단계 19	이어서, PDG 기판 1(도 7의 기판(34))은 전기도금 시스템에 배치되고, 여기서 구리는 Ti/Cu 층에 도금된다.
단계 20	회로를 완성하기 위해 IPD 커패시터는 PDG 기판 1 기판(도 7의 기판(34)) 상에 추가된다.
단계 21	이어서, PDG 기판 1(도 7의 기판(34))은 개별 다이로 다이싱된다.

[0028] BBI 의 삽입 손실은 50 MHz에서 0.01dB 내지 40 GHz에서 0.25dB이하이다. 상업적으로 입수가능한 BBI는 40 MHz에서 0.25dB 삽입 손실 내지 40 GHz에서 1.75dB의 삽입 손실을 갖는다. 이러한 성능 향상은 크기 감소 및 집적 회로 기반 제조 프로세스와 결합될 때 극적인 상업적 장점을 제공한다.

[0029] 기계적 정밀도는 도 6(도 1에 도시된 것과 같은 종래 기술의 원뿔형 인덕터의 성능을 도시함)과 나란히 비교하면, 도 5의 그래프에 도시된 바와 같은 예상치 못한 결과를 가능하게 한다. 도 6은 바이어스T 회로에서 코일크래프트에 의해 만들어진 광대역 인덕터의 삽입 손실을 도시하는 그래프이다. 도 7은 본 발명의 BBI의 단일 웨이퍼 구현을 도시한다.

[0030] 따라서, 본 발명은 원뿔형 인덕터의 기판의 제1 측 상에 제1 트렌치들을 형성하고 전도성 재료로 트렌치들을 채우는 단계; 각각의 제1 트렌치들의 제1 단부 및 제2 단부에 각각 연결되는 기판을 통해 제1 및 제2 비아들을 형성하고 전도성 재료로 제1 및 제2 비아들을 채우는 단계; 및 제1 측에 대향하는 기판의 제2 측 상에 제2 트렌치들을 형성하고, 전도성 재료로 제2 트렌치들을 채우는 단계를 포함하거나, 이들로 필수적으로 이루어지거나, 이루어지는 광대역 인덕터를 생성하는 방법을 포함하고, 제1 및 제2 비아에 연결되는 제2 트렌치들 각각은 원뿔형상이고, 제1 및 제2 트렌치들은 광대역 인덕터이다. 일 양태에서, 기판은 감광성 유리 기판이고, 제1 또는 제2 측 상에 트렌치들을 형성하는 단계는: 기판 상에 트렌치 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에천트로 유리-결정질 기판 트렌치들을 에칭하는 단계; 감광성 유리 기판의 에칭된 트렌치들 외부 영역을 활성화 에너지 소스에 플러드 노출(flood exposing)시키는 단계; 감광

성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 전도성 재료 접지면으로 트렌치들을 선택적으로 채우고 하나 이상의 금속들로 입력 및 출력 채널들을 선택적으로 채우는 단계를 포함하고, 금속은 회로에 연결된다. 다른 양태에서, 기판은 감광성 유리 기판이고, 제1 내지 제2 측에 비아들을 형성하는 단계는: 기판 상에 비아 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에천트로 유리-결정질 기판 비아들을 에칭하는 단계; 감광성 유리 기판의 에칭된 비아들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 전도성 재료로 비아들을 선택적으로 채우는 단계를 포함한다. 다른 양태에서, 기판은 포토디파이너블 유리이다. 다른 양태에서, 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게 20, 30, 40, 50, 60, 70, 80, 90, 100, 125, 150, 175, 200, 또는 225 μm 이다. 다른 양태에서, 비아 직경은 5 μm 내지 200 μm , 바람직하게 10, 15, 20, 25, 30, 40, 50, 75, 100, 125, 150, 또는 175 μm 이다. 다른 양태에서, 비아 및 트렌치 높이는 25 μm 내지 1000 μm , 바람직하게 100, 200, 250, 300, 350, 400, 500, 600, 700, 750, 800, 또는 900 μm 이다. 다른 양태에서, 광대역 인덕터는 고주파 및 저주파 섹션을 포함한다. 다른 양태에서, 광대역 인덕터는 2개의 반도체 기판들로 구성된다. 다른 양태에서, 광대역 인덕터는 하나의 반도체 기판으로 구성된다. 다른 양태에서, 광대역 인덕터는 직사각형이 아니다. 다른 양태에서, 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함한다. 다른 양태에서, 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함한다. 다른 양태에서, 광대역 인덕터는 회로 기판에 본딩된다.

[0031]

본 발명은 또한 각각의 제1 트렌치들의 제1 단부 및 제2 단부에 각각 연결되는 기판을 통해 제1 및 제2 비아들을 형성하고 전도성 재료로 제1 및 제2 비아들을 채움으로써 원뿔형 인덕터의 감광성 유리 기판의 제1 측 상에 제1 트렌치들을 형성하고 전도성 재료로 트렌치들을 채우는 단계; 및 제1 측에 대향하는 감광성 유리 기판의 제2 측 상에 제2 트렌치들을 형성하고, 전도성 재료로 제2 트렌치들을 채우는 단계를 포함하거나, 이들로 필수적으로 이루어지거나, 이루어지는 광대역 인덕터를 생성하는 방법을 포함하고, 제1 및 제2 비아에 연결되는 제2 트렌치들 각각은 원뿔 형상이고, 제1 및 제2 트렌치들은 광대역 인덕터이다. 일 양태에서, 제1 또는 제2 측 상에 트렌치들을 형성하는 단계는: 기판 상에 트렌치 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에천트로 유리-결정질 기판 트렌치들을 에칭하는 단계; 감광성 유리 기판의 에칭된 트렌치들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 전도성 재료 접지면으로 트렌치들을 선택적으로 채우고 하나 이상의 금속들로 입력 및 출력 채널들을 선택적으로 채우는 단계를 포함하고, 금속은 회로에 연결된다. 다른 양태에서, 제1 내지 제2 측에 비아들을 형성하는 단계는: 기판 상에 비아 패턴을 갖는 포토레지스트를 형성하는 단계; 감광성 유리 기판의 적어도 일부를 활성화 에너지 소스에 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리 기판을 냉각시켜 노출된 유리의 적어도 일부를 결정질 재료로 변형시켜 유리-결정질 기판을 형성하는 단계; 에천트로 유리-결정질 기판 비아들을 에칭하는 단계; 감광성 유리 기판의 에칭된 비아들 외부 영역을 활성화 에너지 소스에 플러드 노출시키는 단계; 감광성 유리 기판을 유리 전이 온도보다 높게 적어도 10분 동안 가열하는 단계; 감광성 유리/세라믹 기판을 냉각시켜 노출된 유리를 결정질 재료로 변환시켜 유리-결정질 기판을 형성하는 단계; 및 전도성 재료로 비아들을 선택적으로 채우는 단계를 포함한다. 다른 양태에서, 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게 20, 30, 40, 50, 60, 70, 80, 90, 100, 125, 150, 175, 200, 또는 225 μm 이다. 다른 양태에서, 비아 직경은 5 μm 내지 200 μm , 바람직하게 10, 15, 20, 25, 30, 40, 50, 75, 100, 125, 150, 또는 175 μm 이다. 다른 양태에서, 비아 및 트렌치 높이는 25 μm 내지 1000 μm , 바람직하게 100, 200, 250, 300, 350, 400, 500, 600, 700, 750, 800, 또는 900 μm 이다. 다른 양태에서, 광대역 인덕터는 고주파 및 저주파 섹션을 포함한다. 다른 양태에서, 광대역 인덕터는 2개의 반도체 기판들로 구성된다. 다른 양태에서, 광대역 인덕터는 하나의 반도체 기판으로 구성된다. 다른 양태에서, 광대역 인덕터는 직사각형이 아니다. 다른 양태에서, 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함한다. 다른 양태에서, 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커

패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함한다. 다른 양태에서, 광대역 인덕터는 회로 기판에 본딩된다.

- [0032] 본 발명은 원뿔형 인덕터의 원뿔 인덕터의 기관의 제1 측 상의 제1 트렌치들로서, 트렌치들은 전도성 재료로 채워지는, 상기 제1 트렌치들; 각각의 제1 트렌치들의 제1 단부 및 제2 단부에 각각 연결되는 기관을 통한 제1 및 제2 비아들로서, 제1 및 제2 비아들은 전도성 재료로 채워지는, 상기 제1 및 제2 비아들; 및 제1 측에 대향하는 기관의 제2 측 상의 제2 트렌치들로서, 제2 트렌치들은 전도성 재료로 채워지는, 상기 제2 트렌치들을 포함하거나, 이들로 필수적으로 이루어지거나, 이루어지는 광대역 인덕터를 포함하고, 제1 및 제2 비아에 연결되는 제2 트렌치들 각각은 원뿔 형상이고, 제1 및 제2 트렌치들은 광대역 인덕터이다. 다른 양태에서, 기관은 포토티파이너블 유리 기관이다. 다른 양태에서, 비아 및 트렌치 간격은 10 μm 내지 250 μm , 바람직하게 20, 30, 40, 50, 60, 70, 80, 90, 100, 125, 150, 175, 200, 또는 225 μm 이다. 다른 양태에서, 비아 직경은 5 μm 내지 200 μm , 바람직하게 10, 15, 20, 25, 30, 40, 50, 75, 100, 125, 150, 또는 175 μm 이다. 다른 양태에서, 비아 및 트렌치 높이는 25 μm 내지 1000 μm , 바람직하게 100, 200, 250, 300, 350, 400, 500, 600, 700, 750, 800, 또는 900 μm 이다. 다른 양태에서, 광대역 인덕터는 고주파 및 저주파 섹션을 포함한다. 다른 양태에서, 광대역 인덕터는 2개의 반도체 기관들로 구성된다. 다른 양태에서, 광대역 인덕터는 하나의 반도체 기관으로 구성된다. 다른 양태에서, 광대역 인덕터는 직사각형이 아니다. 다른 양태에서, 광대역 인덕터는 페라이트 재료로 채워진 공동을 포함한다. 다른 양태에서, 광대역 인덕터는 회로를 형성하는 저항기들, 커패시터들 또는 커패시터들로부터 선택된 하나 이상의 전기 구성요소들을 더 포함한다.
- [0033] 본원에 기술된 특정 실시예들이 본 발명의 제한들이 아니라 예시의 방식으로 도시된 것이 이해될 것이다. 본 발명의 주요 특징들은 본 발명의 범위를 벗어남이 없이 다양한 실시예들에서 이용될 수 있다. 통상의 기술자들은 단지 일상적인 실험을 사용하여 본원에서 설명된 특정 절차들에 대한 수많은 등가물들을 인식하거나 확인할 수 있을 것이다. 이러한 등가물들은 본 발명의 범위 내에 있는 것으로 간주되며 청구범위에 의해 커버된다.
- [0034] 본 명세서에 언급된 모든 공개물들 및 특허 출원들은 본 발명이 속하는 기술 분야에서 통상의 기술자들의 기술 수준을 나타낸다. 모든 공개물들 및 특허 출원들은 각각의 개별 공개물 또는 특허 출원이 참조로 포함되는 것으로 구체적이고 개별적으로 표시된 것처럼 동일한 정도로 참조로 본원에 포함된다.
- [0035] 청구범위 및/또는 명세서에서 "포함하는"이라는 용어와 함께 사용될 때 단수형("a" 또는 "an") 단어의 사용은 "하나"를 의미할 수 있지만, "하나 이상", "적어도 하나" 및 "하나 이상"의 의미와 일치한다. 청구범위에서 "또는"이라는 용어의 사용은, 본 개시내용이 대안들 및 "및/또는"만을 지칭하는 정의를 지지하지만, 대안들만을 지시하기 위해 명시적으로 표시되거나 대안들이 상호 배타적이지 않으면 "및/또는"을 의미하는 데 사용된다. 본 출원 전체에서, "약"이라는 용어는 값이 디바이스에 대한 고유한 오차의 변동, 값을 결정하기 위해 이용되는 방법, 또는 연구 대상 사이에 존재하는 변동을 포함함을 나타내는 데 사용된다.
- [0036] 본 명세서 및 청구범위(들)에서 사용된 바와 같이, 단어 "포함하는(comprising)"(및 "포함하다(comprise 및 comprises)" 같은 포함하는의 임의의 형태) 및 "포함하는(including)"(및 includes 및 include과 같은 포함하는의 임의의 형태) 또는 "포함하는(containing)"(및 contains 및 contain과 같은 포함하는의 임의의 형태)는 포괄적이거나 개방적이고 인용되지 않은 추가 요소들 또는 방법 단계들을 제외하지 않는다. 본원에 제공된 임의의 조성물들 및 방법들의 실시예들에서, "포함하는"은 "본질적으로 ~로 구성된" 또는 "~로 구성된"으로 대체될 수 있다. 본원에 사용된 바와 같이, "본질적으로 구성되는"이라는 문구는 청구된 발명의 특정 또는 기능에 실질적으로 영향을 미치지 않는 것들뿐만 아니라 특정 정수(들) 또는 단계들 요구한다. 본원에 사용된 바와 같이, "구성되는"은 인용된 정수(예를 들어, 특징, 요소, 특성, 속성, 방법/프로세스 단계 또는 제한) 또는 정수들의 그룹(예를 들어, 특징(들), 요소(들), 특성(들), 속성(들), 방법/프로세스 단계들 또는 제한(들))만의 존재를 나타내는 데 사용된다.
- [0037] 본원에 사용된 "또는 이들의 조합"이라는 용어는 용어 앞에 나열된 항목들의 모든 순열들 및 조합들을 지칭한다. 예를 들어, "A, B, C 또는 이들의 조합"은 A, B, C, AB, AC, BC 또는 ABC, 그리고 순서가 특정 맥락에서 중요한 경우, 또한 BA, CA, CB, CBA, BCA, ACB, BAC 또는 CAB 중 적어도 하나를 포함하도록 의도된다. 이 예를 계속하면, BB, AAA, AB, BBC, AAABCCCC, CBBAAA, CABABB 등과 같은 하나 이상의 항목 또는 용어의 반복들을 포함하는 조합들이 명시적으로 포함된다. 통상의 기술자는 문맥에서 달리 명백하지 않는 한, 일반적으로 임의의 조합에서 항목들 또는 용어들의 수에 제한이 없음이 이해될 것이다.
- [0038] 본원에 사용된 바와 같이, 제한 없이 "약", "실질적인" 또는 "실질적으로"와 같은 근사 단어들은 그렇게 수정될 때 반드시 절대적이거나 완벽한 것은 아닌 것으로 이해되지만 통상의 기술자들이 조건이 존재하는 것으로 지칭

하는 것을 보장하기에 충분히 근접한 것으로 고려될 조건을 지칭한다. 설명이 변경될 수 있는 정도는 변경이 얼마나 크게 시작될 수 있는지에 따라 달라지며 여전히 통상의 기술자가 수정되지 않은 피처의 요구되는 특성 및 능력을 갖는 것으로 수정된 피처를 인식할 수 있다. 일반적으로, 그러나 앞의 논의에 따라, "약"과 같은 근사 단어로 수정된 본원의 수치는 명시된 값과 적어도 $\pm 1, 2, 3, 4, 5, 6, 7, 10, 12$ 또는 15%만큼 다를 수 있다.

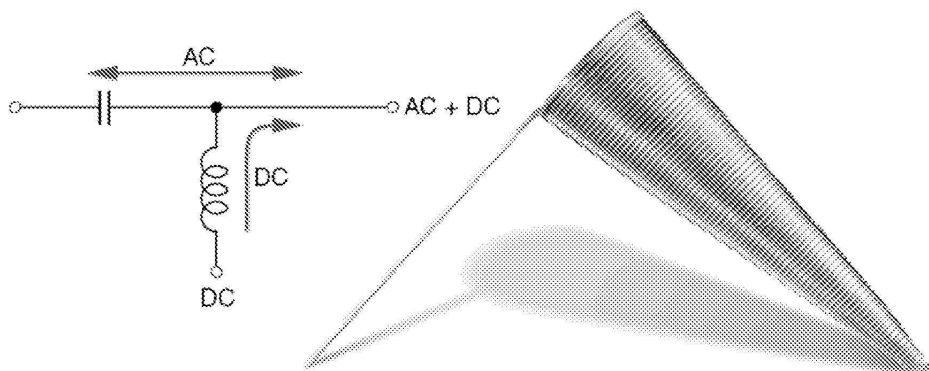
[0039] 본원에 개시되고 청구된 모든 조성물들 및/또는 방법들은 본 개시내용에 비추어 과도한 실험 없이 제조 및 실행될 수 있다. 본 발명의 조성물들 및 방법들이 바람직한 실시예들의 관점에서 설명되었지만, 변형들이 본원의 개념, 사상 및 범위에서 벗어나지 않고 본원에 개시된 조성물들 및/또는 방법들 및 방법의 단계들 또는 단계의 순서에 적용될 수 있음이 통상의 기술자들에게 명백할 것이다. 통상의 기술자들에게 자명한 그러한 모든 유사한 대체물들 및 수정들은 첨부된 청구범위에 의해 정의된 본 발명의 사상, 범위 및 개념 내에 있는 것으로 간주된다.

[0040] 특허청 및 본 출원에 대해 발행된 특허 독자가 본원에 첨부된 청구범위를 해석하는 데 도움을 주기 위해, 출원인들은 또는 "~을 위한 수단" 또는 "~을 위한 단계"라는 단어가 특정 청구범위에서 명시적으로 사용되지 않는 한, 첨부된 청구범위가 본 출원일에 존재하는 것과 같은 35 U.S.C. § 112, U.S.C. § 112 단락 (f)의 6절, 또는 동등물을 호출하는 것으로 의도하지 않는 것을 주의하기를 원한다.

[0041] 각 종속항은 선행 청구항이 청구항 용어 또는 요소에 대한 적절한 선행 근거를 제공하는 한 독립 청구항 및 각각의 모든 청구항에 대한 각각의 선행 종속 청구항 둘 모두에 의존할 수 있다.

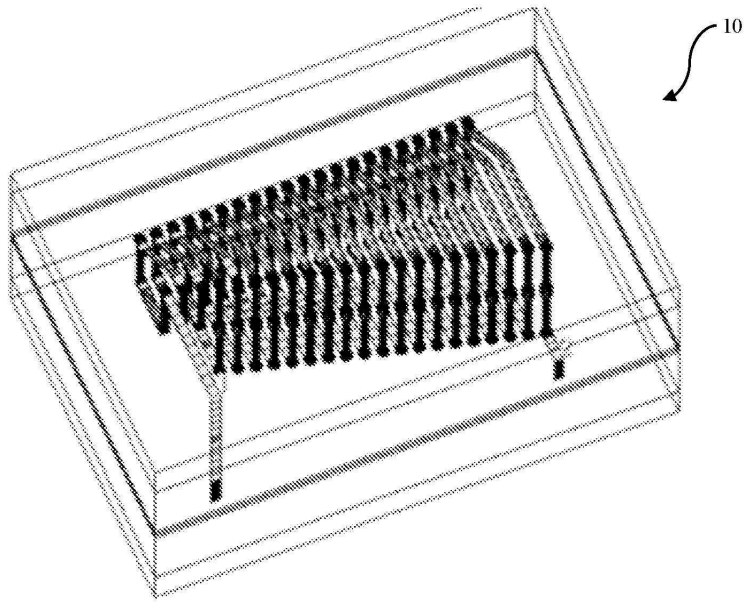
도면

도면1

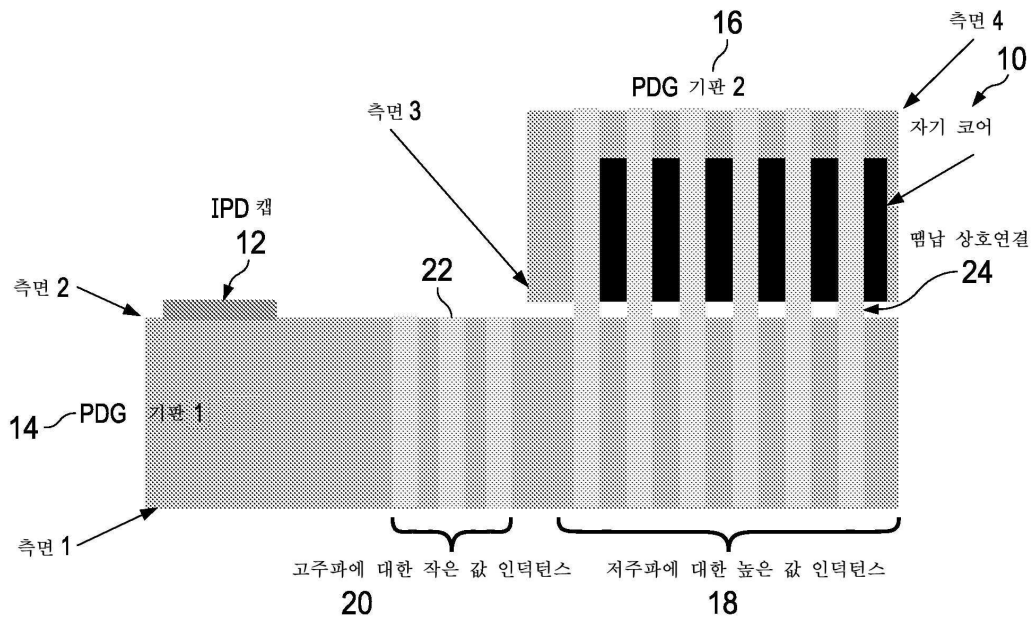


(종래 기술)

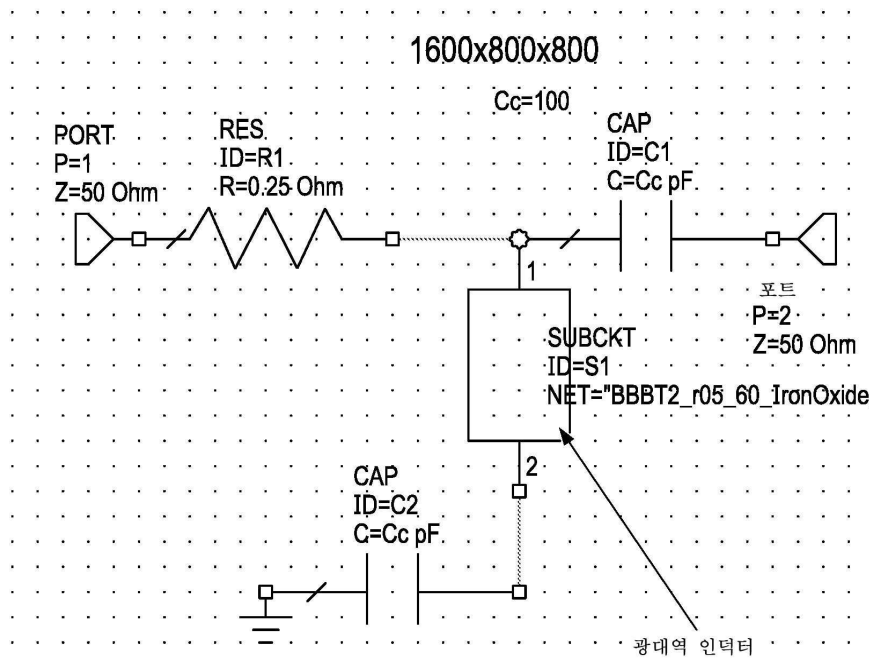
도면2



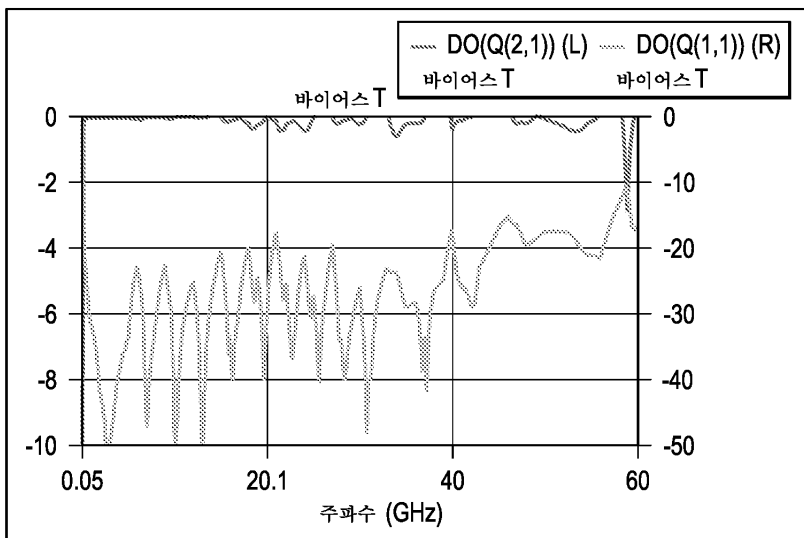
도면3



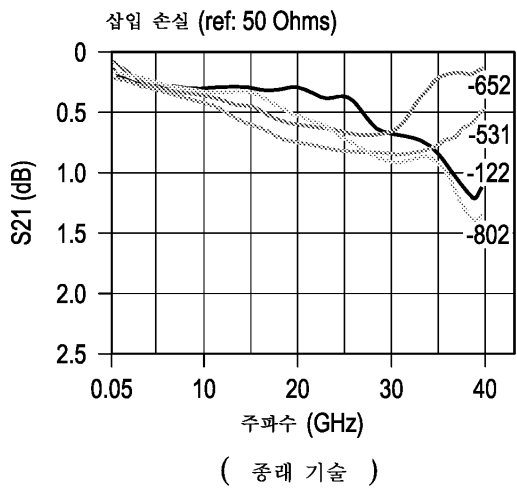
도면4



도면5



도면6



도면7

