

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6785455号
(P6785455)

(45) 発行日 令和2年11月18日 (2020. 11. 18)

(24) 登録日 令和2年10月29日 (2020. 10. 29)

(51) Int. Cl.	F I
H O 1 L 33/22 (2010. 01)	H O 1 L 33/22
H O 1 L 33/32 (2010. 01)	H O 1 L 33/32
C 3 O B 29/38 (2006. 01)	C 3 O B 29/38
C 3 O B 25/18 (2006. 01)	C 3 O B 25/18
H O 1 L 21/365 (2006. 01)	H O 1 L 21/365

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2018-92360 (P2018-92360)	(73) 特許権者	314012076
(22) 出願日	平成30年5月11日 (2018. 5. 11)		パナソニック IP マネジメント株式会社
(65) 公開番号	特開2019-197857 (P2019-197857A)		大阪府大阪市中央区城見2丁目1番61号
(43) 公開日	令和1年11月14日 (2019. 11. 14)	(74) 代理人	110002952
審査請求日	平成30年11月15日 (2018. 11. 15)		特許業務法人鷺田国際特許事務所
前置審査		(72) 発明者	大野 啓
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	山下 賢哉
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		審査官	右田 昌士
			最終頁に続く

(54) 【発明の名称】 発光ダイオード素子、及び発光ダイオード素子の製造方法

(57) 【特許請求の範囲】

【請求項 1】

フリップチップ型の発光ダイオード素子であって、
 ファセット成長により形成されたキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20} \text{ cm}^{-3}$ 未満である第一の n 型 III 族窒化物半導体層、
 平坦成長により形成されたキャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満である第二の n 型 III 族窒化物半導体層、
 III 族窒化物半導体で構成される発光層、及び、
 p 型 III 族窒化物半導体層、が順に積層された積層体構造を備え、
 前記第一の n 型 III 族窒化物半導体層と前記第二の n 型 III 族窒化物半導体層との
 界面の凹凸の高低差は、前記第二の n 型 III 族窒化物半導体層と前記発光層との界面の
 凹凸の高低差よりも大であり、
 前記第一の n 型 III 族窒化物半導体層のドナー不純物は酸素であり、
 前記第一の n 型 III 族窒化物半導体層及び前記第二の n 型 III 族窒化物半導体層の
 両方にオーミック接触する n 側オーミック電極と、前記 p 型 III 族窒化物半導体層にオ
 ーミック接触する p 側オーミック電極と、をさらに備え、
 前記 n 側オーミック電極と前記 p 側オーミック電極とは前記積層体構造の同一面側に配
 設され、

前記 n 側オーミック電極と前記積層体構造との接触面は、前記第一の n 型 III 族窒化
 物半導体層と前記第二の n 型 III 族窒化物半導体層との界面の前記凹凸が形成された領

10

20

域に位置している、

発光ダイオード素子。

【請求項 2】

前記第一の n 型 III 族窒化物半導体層と前記第二の n 型 III 族窒化物半導体層との界面の凹凸の高低差は、 $1\text{ }\mu\text{m}$ 以上で且つ $10\text{ }\mu\text{m}$ 以下である

請求項 1 に記載の発光ダイオード素子。

【請求項 3】

前記積層体構造は、前記発光層の発光波長に対して透明な絶縁性基板上に形成されている

請求項 1 又は 2 に記載の発光ダイオード素子。

10

【請求項 4】

前記絶縁性基板は、サファイア、SiC、ZnO、 Ga_2O_3 、又は、ScAlMgO₄ のいずれかによって構成されている

請求項 3 に記載の発光ダイオード素子。

【請求項 5】

前記第一の n 型 III 族窒化物半導体層の平均厚みは $10\text{ }\mu\text{m}$ 以上で且つ $100\text{ }\mu\text{m}$ 以下である

請求項 1 ~ 4 のいずれか一項に記載の発光ダイオード素子。

【請求項 6】

フリップチップ型の発光ダイオード素子の製造方法であって、

20

ファセット成長が優先的に生ずる条件下で、キャリア濃度が $1 \times 10^{19}\text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20}\text{ cm}^{-3}$ 未満となるように、第一の n 型 III 族窒化物半導体層を下地基板上に形成する工程と、

平坦成長が優先的に生ずる条件下で、キャリア濃度が $5 \times 10^{17}\text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19}\text{ cm}^{-3}$ 未満となるように、第二の n 型 III 族窒化物半導体層を前記第一の n 型 III 族窒化物半導体層上に形成する工程と、

III 族窒化物半導体で構成される発光層を前記第二の n 型 III 族窒化物半導体層上に形成する工程と、

p 型 III 族窒化物半導体層を前記発光層上に形成する工程と、

前記第一の n 型 III 族窒化物半導体層及び前記第二の n 型 III 族窒化物半導体層の両方にオーミック接触する n 側オーミック電極と、前記 p 型 III 族窒化物半導体層にオーミック接触する p 側オーミック電極と、を形成する工程と、

30

を備え、

前記第一の n 型 III 族窒化物半導体層のドナー不純物は酸素であり、

前記 n 側オーミック電極と前記 p 側オーミック電極とは前記積層体構造の同一面側に配設され、

前記第一の n 型 III 族窒化物半導体層は、前記発光ダイオード素子の動作電流が当該第一の n 型 III 族窒化物半導体層の内部を横方向に通流するように一体的に形成される、

発光ダイオード素子の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光ダイオード素子、及び発光ダイオード素子の製造方法に関する。

【背景技術】

【0002】

窒化ガリウム (GaN) に代表される III 族窒化物系化合物半導体、いわゆる窒化物半導体は、発光ダイオード (LED)、レーザーダイオード (LD) 及びパワーデバイス等の新しいデバイスの材料として注目を集めている。窒化物半導体は、一般式が $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$) で表される、III 族元

50

素であるインジウム（I n）、ガリウム（G a）及びアルミニウム（A l）と、V族元素である窒素（N）とからなる化合物半導体である。

【0003】

従来、III族窒化物半導体デバイスを形成する基板としては、サファイアやSi等の異種基板が用いられているが、これらの異種基板上に形成したIII族窒化物半導体薄膜は転位密度が高く、窒化物半導体本来の物理的なポテンシャルを発揮できていない。当該の異種基板と比較してより転位密度の低いGaN基板が製品化されているが、いまだ転位密度や当該基板の結晶方位のばらつきが大きく、加えて高価であるという課題がある。

【0004】

現在、窒化物系のLEDには主にサファイア基板を下地基板に用いたものと、GaN基板を下地基板に用いたものが存在する。Si基板はLEDの発光波長を透過しないため、LED用途ではほとんど使用されていない。最も一般的に使用されているサファイア基板の場合、基板が絶縁性であること、及び熱伝導率が高くないことから、片側面にp側オーミック電極とn側オーミック電極を形成したフリップチップ構造を取ることが一般的である（例えば、特許文献1を参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許第4118370号

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の構成のフリップチップ型の発光ダイオード素子にも課題がある。この種の発光ダイオード素子においては、発光ダイオード素子を動作させる際に、動作電流を、n-GaN層内を横方向（層の積層方向に対して直交する方向を表す。以下同じ）に通流させる。従って、この種の発光ダイオード素子においては、当該動作電流を通流させる際に、n-GaN層の抵抗率に依拠した比較的大きな直列抵抗（以下、「横方向抵抗」とも称する）が付加されてしまい、結果として動作電圧が増大してしまうおそれがある。

【0007】

本発明は、上記のような課題を解決するもので、横方向抵抗の低減を可能とするフリップチップ型の発光ダイオード素子、及び発光ダイオード素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

前述した課題を解決する主たる本発明は、
フリップチップ型の発光ダイオード素子であって、
キャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20} \text{ cm}^{-3}$ 未満である第一のn型III族窒化物半導体層、
キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満である第二のn型III族窒化物半導体層、
III族窒化物半導体で構成される発光層、及び、
p型III族窒化物半導体層、が順に積層された積層体構造を備え、
前記第一のn型III族窒化物半導体層と前記第二のn型III族窒化物半導体層との界面の凹凸の高低差は、前記第二のn型III族窒化物半導体層と前記発光層との界面の凹凸の高低差よりも大である、
発光ダイオード素子である。

【0009】

又、他の局面では、
フリップチップ型の発光ダイオード素子の製造方法であって、

ファセット成長が優先的に生ずる条件下で、キャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20} \text{ cm}^{-3}$ 未満となるように、第一の n 型 III 族窒化物半導体層を下地基板上に形成する工程と、

平坦成長が優先的に生ずる条件下で、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満となるように、第二の n 型 III 族窒化物半導体層を前記第一の n 型 III 族窒化物半導体層上に形成する工程と、

III 族窒化物半導体で構成される発光層を前記第二の n 型 III 族窒化物半導体層上に形成する工程と、

p 型 III 族窒化物半導体層を前記発光層上に形成する工程と、

を備える、発光ダイオード素子の製造方法である。

10

【発明の効果】

【0010】

本発明の発光ダイオード素子によれば、横方向抵抗を大きく低減することが可能であり、動作電圧の低いより高効率な LED を実現できる。

【図面の簡単な説明】

【0011】

【図1】本発明の一実施形態に係る発光ダイオード素子を構成する積層体構造を示す図

【図2】本発明の一実施形態に係るフリップチップ型の発光ダイオード素子の全体構成を示す図

【図3】本発明の一実施形態に係る LED 構造の形成工程を示すフローチャート

20

【図4】n 型 III 族窒化物半導体層における、キャリア濃度と移動度及び抵抗率との関係を示す図

【図5】本発明の一実施形態に係る発光ダイオード素子の形成工程を示すフローチャート

【図6】カソードルミネッセンス観察により、第二の n 型 GaN 層と第一の n 型 GaN 層の両方が露出した表面を観察した観察結果の一例を示す図

【図7】本発明の一実施形態に係る発光ダイオード素子の電流 - 電圧特性を示す図

【図8】本発明の変形例 1 に係る発光ダイオード素子の構成を示す図

【図9】本発明の変形例 2 に係る発光ダイオード素子の構成を示す図

【発明を実施するための形態】

【0012】

30

以下、本発明の実施の形態について図面を参照しながら説明する。

【0013】

[発光ダイオード素子の構成]

図 1 は、一実施形態に係る発光ダイオード素子を構成する積層体構造（以下、「LED 構造」とも称する）100 を示す図である。

【0014】

図 1 において、101 は III 族窒化物とは異種の材料からなる下地基板（異種材料基板）、102 は第一の n 型 III 族窒化物半導体層、103 は第二の n 型 III 族窒化物半導体層、104 は発光層、105 は p 型 III 族窒化物半導体層である。

【0015】

40

本実施形態に係る LED 構造 100 は、下地基板 101 上に、第一の n 型 III 族窒化物半導体層 102、第二の n 型 III 族窒化物半導体層 103、発光層 104、及び、p 型 III 族窒化物半導体層 105 が順に積層されて構成されている。

【0016】

「III 族窒化物半導体」とは、GaN、AlN、及び InN、のいずれか 1 つ、又はこれらの混合物から構成される構造体を意味する。

【0017】

下地基板 101 は、窒化物半導体の種基板であり、例えば、サファイア基板が用いられる。但し、下地基板 101 としては、その他、SiC、ZnO、Ga₂O₃、又は ScAlMgO₄ 等の発光層 104 からの光に透光性を有する酸化物透明基板を用いることがで

50

きる。

【0018】

尚、III族窒化物半導体としてGaNを用いる場合には、下地基板101としてはScAlMgO₄が好適である。ScAlMgO₄は、GaNと格子不整合（（GaNの格子定数 - ScAlMgO₄の格子定数）/ GaNの格子定数 × 100%にて表される）が - 1.5%と小さいため、より欠陥の少ない高品質なGaNを形成することが可能である。その際、下地基板101としては、ScAlMgO₄に代えて、一般式RAMO₄で表される単結晶体（ここで、一般式において、Rは、Sc、In、Y、及びランタノイド系元素からなる群から選択される一つ又は複数の三価の元素を表し、Aは、Fe（III）、Ga、及びAlからなる群から選択される一つ又は複数の三価の元素を表し、Mは、Mg、Mn、Fe（II）、Co、Cu、Zn、及びCdからなる群から選択される一つ又は複数の二価の元素を表す）からなるRAMO₄基板を用いてもよい。

10

【0019】

第一のn型III族窒化物半導体層102は、キャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20} \text{ cm}^{-3}$ 未満のn型III族窒化物半導体層である。本実施形態に係る第一のn型III族窒化物半導体層102としては、n型GaNが用いられている（以下、「第一のn型GaN層102」とも称する）。

【0020】

第二のn型III族窒化物半導体層103は、第一のn型III族窒化物半導体層102よりもキャリア濃度が低く、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満のn型III族窒化物半導体層である。本実施形態に係る第二のn型III族窒化物半導体層103としては、n型GaNが用いられている（以下、「第二のn型GaN層103」とも称する）。

20

【0021】

発光層104は、第二のn型III族窒化物半導体層103よりも小さいバンドギャップを有するIII族窒化物半導体からなる。発光層104は単層のバルク層であっても、量子井戸構造のような多層構造であってもよい。本実施形態に係る発光層104としては、InGaN層が用いられている。

【0022】

尚、第一のn型III族窒化物半導体層102と第二のn型III族窒化物半導体層103とは、異なる成長条件にて結晶成長させられている（詳細は後述）。これにより、第一のn型III族窒化物半導体層102と第二のn型III族窒化物半導体層103との界面の凹凸の高低差は、第二のn型III族窒化物半導体層103と発光層104との界面の凹凸の高低差よりも大きくなっている。

30

【0023】

p型III族窒化物半導体層105は、発光層104よりもバンドギャップの大きいp型III族窒化物半導体で構成される。本実施形態に係るp型III族窒化物半導体層105としては、p型GaNが用いられている（以下、「p型GaN層105」とも称する）。

【0024】

尚、LED構造100としては、更に、第二のn型III族窒化物半導体層103と発光層104の間に、アンドープのIII族窒化物半導体層が接続層として挿入されてもよい（図示せず）。又、p型III族窒化物半導体層105の表面にコンタクト層として、高濃度p型III族窒化物半導体層（例えば、Mgを $1 \times 10^{20} \text{ cm}^{-3}$ ドーピングしたp+GaN層。図示せず）が積層されてもよい。

40

【0025】

図2は、本実施形態に係るフリップチップ型の発光ダイオード素子200の全体構成を示す図である。

【0026】

図2において、206は絶縁膜からなる保護膜、207はn側オーミック電極、208

50

はp側オーミック電極、209はパッド電極、210はサブマウント側電極、211はサブマウント基板である。

【0027】

n側オーミック電極207とp側オーミック電極208は、LED構造100の同一面側に配設されている。

【0028】

n側オーミック電極207は、第一のn型III族窒化物半導体層102又は第二のn型III族窒化物半導体層103の少なくとも一方とオーミック接触する。本実施形態においては、n側オーミック電極207とLED構造100との接触面は、第一のn型III族窒化物半導体層102と第二のn型III族窒化物半導体層103との界面の領域に位置しており、n側オーミック電極207は、第一のn型III族窒化物半導体層102と第二のn型III族窒化物半導体層103の両方とオーミック接触する構成となっている。

10

【0029】

p側オーミック電極208は、p型III族窒化物半導体層105とオーミック接触する。

【0030】

[発光ダイオード素子の製造工程]

(結晶成長工程)

次に、図1、図3、図4を参照して、LED構造100を形成するための結晶成長工程について詳述する。

20

【0031】

図3は、LED構造100の形成工程を示すフローチャートである。

【0032】

まず、下地基板101として、(0001)面が主面のサファイア基板を準備する(ステップS1)。尚、サファイア基板としては、(0001)面に対して主面が0~5°程度傾斜しているオフ角基板が用いられてもよい。

【0033】

次に、下地基板101上に、第一のn型GaN層102を形成する(ステップS2)。

【0034】

本工程におけるGaNの結晶成長手法としては、HVPE法(Hydride Vapor Phase Epitaxy:ハイドライド気相成長法)もしくはOVPE(Oxide Vapor Phase Epitaxy:酸化物気相成長法)等の気相成長法を用いることができる。本実施形態においては、HVPE法を用いて成長を行った。ここで、III族原料としては、金属ガリウム(Ga)を塩化水素(HCl)ガスに反応させたGaCl₃を、使用している。又、V族原料としては、アンモニア(NH₃)ガスを用い、キャリアガスとしては、水素(H₂)及び窒素(N₂)を用いている。又、n型のドナー不純物原料としては、酸素(O₂)ガス又はジクロロシラン(SiH₂Cl₂)を用いている。

30

【0035】

本工程においては、まず、HVPE炉内に導入された下地基板101に対して、約500にて30分間、水素雰囲気中で熱クリーニングを行う。これにより下地基板101の表面に付着しているカーボン系の汚れ等が取り除かれる。その後、そのまま500で、下地基板101上に、アモルファス状の低温バッファ層(図示せず)を約50nm堆積する。バッファ層の膜厚は、成長時間、成長温度、及び供給するIII族原料の比率にて調整が可能である。そして、バッファ層成長後、基板温度を約1000まで昇温させ、バッファ層を再結晶化させて、本成長のための結晶核を形成する。その後、1000~1100で第一のn型GaN層102を積層する。

40

【0036】

バッファ層から第一のn型GaN層102を成長させる際には、第一のn型GaN層102の表面が凹凸の大きい3次元成長となるように成長条件を適時調整する(ファセット

50

成長とも称される)。ファセット成長とは、いわゆる主面(0001)以外の斜面(ファセット面)を形成しながら成長する方が、結晶成長が安定するような成長条件であり、成長温度や成長レート、V/III比(V族原料とIII族原料の比率)等を変化させることでファセット成長が生ずるように調整可能である。一般的には、低成長温度、高成長レート、高V/III比の方向へ成長条件を持っていくことでファセット成長が実現しやすくなる。本実施形態では、成長温度:1000、成長レート:200 $\mu\text{m/h}$ 、V/III比:100の条件を用いた。又、下地基板101の表面にあらかじめ凹凸構造を形成しておくことで、第一のn型GaN層102における凹凸成長を促進することも可能である。

【0037】

ファセット成長は、GaN層がドーパント不純物の取り込み効率を大きくできるという特徴を有する。通常の平坦成長(c面成長)は、たとえば、GaN層内にドーパント不純物(例えば、Si)を 10^{18} cm^{-3} 以上ドーピングすると結晶性の低下を招きやすい。この点、本願の発明者らの検討の結果、ファセット成長の場合には、GaN層の結晶性を低下させることなく、GaN層内により多くのドーパント不純物、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上までドーピングすることが可能であることが明らかとなった。特に、軽元素である酸素(O)をドナー不純物として用いる場合には、不純物濃度をより高濃度にすることが可能である。

【0038】

本実施形態では、第一のn型GaN層102の平均厚みは30 μm とし、凹凸の高低差は5 μm 程度になるように成長条件を調整した。

【0039】

第一のn型GaN層102の厚みは10 μm 以上で且つ100 μm 以下が好ましく、30 μm 以上で且つ80 μm 以下がより好ましい。このような厚みとすることで従来のMOCVDのみで形成したLED構造(従来のLED構造におけるn型層の厚みは10 μm 程度)よりも十分に低抵抗なn型層とすることができる。又、市販の導電性GaN基板を用いた場合と比べても同等以上の低抵抗なn型層を実現することができる。

【0040】

第一のn型GaN層102の凹凸の高低差は、1 μm 以上で且つ10 μm 以下が好ましい。尚、ここで言う凹凸の高低差は、個々のファセット成長領域の凹凸の高低差(例えば、PV値)を意味する。ファセット成長の場合、通常、ひとつのファセット成長領域とその高低差のサイズ比は概ね1対1に近くなる。しかしながら、個々の成長領域の凹凸の高低差が1 μm よりも小さいとファセットを保つことが困難となり、成長条件のわずかな揺らぎ等に起因して、ノンファセット成長(即ち、横方向の成長が優先された成長)に変化してしまうおそれがある。一方、個々のファセットを10 μm よりも大きくすると、凹凸も大きくなるが、第一のn型GaN層102に続く第二のn型GaN層103を積層する際に平坦化するのが困難になる。

【0041】

第一のn型GaN層102には、例えば、n型不純物として酸素(O)を $2 \times 10^{19} \text{ cm}^{-3}$ の濃度でドーピングする。ドーピングするn型不純物としては、ジクロロシラン(SiH_2Cl_2)を用いて珪素(Si)を添加してもよいが、Siをドーピングすると、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度では結晶性の劣化が見られることがある。そのため、n型不純物を高濃度にドーピングすることを考慮すると、酸素(O)の方が適しているといえる。既に述べたが、酸素(O)と珪素(Si)のいずれをドーピングする場合であっても、ファセット成長を用いて第一のn型GaN層102を形成することで、結晶品質の低下なく、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上のドーピングが可能である。

【0042】

第一のn型GaN層102を形成する際に生じさせるファセット面としては、(11-22)又は(1-102)であれば容易に生じさせることができるが、他の高次のファセット面においても不純物の取り込み増大効果は見られるため、他のファセット面であって

10

20

30

40

50

もよい。又、ファセット面の単一化は特に必要ない。

【0043】

次に、第一のn型Ga_{0.2}N層上に、第二のn型Ga_{0.3}N層を形成する(ステップS3)。

【0044】

本実施形態に係る第二のn型Ga_{0.3}N層は、第一のn型Ga_{0.2}N層と同様に、HVPE法を用いて形成されている。

【0045】

但し、本工程においては、第一のn型Ga_{0.2}N層の表面の凹凸を徐々に低減するように、即ち、第二のn型Ga_{0.3}N層の表面が平坦になるように、第二のn型Ga_{0.3}N層を成長させる(平坦成長とも称される)。尚、当該平坦成長は、ノンファセット成長である。第二のn型Ga_{0.3}N層を形成した後の表面の凹凸の高低差は、少なくとも500nm以下となるようにし、100nm以下であればより好ましい。特に、第二のn型III族窒化物半導体層103と発光層104との界面の凹凸の高低差が、平面視で10μm²の領域内で100nm未満であるような構成であれば、発光層104の品質向上の点で、好適である。

【0046】

既に述べたように、III族窒化物半導体層においては、成長温度や成長レート、V/III比(V族原料とIII族原料の比率)等を変化させることで成長モードの調整が可能である。一般的には、高成長温度、低成長レート、低V/III比の方向へ成長条件を持っていくことで平坦成長が実現しやすくなる。本実施形態では、成長温度:1000、成長レート:100μm/h、V/III比:20の条件で、第二のn型Ga_{0.3}N層を成長させた。第二のn型半導体層には、n型のドナー不純物として珪素(Si)を1×10¹⁸cm⁻³ドーピングした。但し、n型不純物としては酸素(O)が用いられてもよい。

【0047】

第二のn型Ga_{0.3}N層は、次工程の発光層104を形成する下地を平坦にする役割を有する。仮に、第二のn型Ga_{0.3}N層をファセット成長させた場合、次工程で形成する発光層104から放射する放射光に、第二のn型Ga_{0.3}N層のファセット面に連動した波長分布が生じてしまい、発光層104から放射する放射光を、単一波長(ここの単一波長の波長スペクトルとは、レーザーのような完全に単一の波長スペクトルではなく、一般的はLEDの単一波長の発光スペクトルを意味する。)とすることができない。これは、第二のn型Ga_{0.3}N層のファセット面の面方位により、発光層104内において、当該発光層104の材質であるInGa_{0.3}N層のうちのIn又はその他の不純物の取り込み量が変化してしまうためである。

【0048】

以上の理由から、第二のn型Ga_{0.3}N層の表面を平坦にすることは非常に重要である。

【0049】

尚、発光層104として、InGa_{0.3}Nに代えて、AlGa_{0.3}N、AlIn_{0.3}N若しくはAlInGa_{0.3}N等の多元系の材料、又は、Ga_{0.3}NやAl_{0.3}N等の材料を用いる場合でも、下地の第二のn型Ga_{0.3}N層の表面を平坦にすることは効果的である。発光層104がこれらの材料で形成される場合であっても、同様に、下地の第二のn型Ga_{0.3}N層のファセット面の面方位に起因して、発光層104内におけるIII族元素の取り込み効率や不純物の取り込み効率に変化するためである。

【0050】

次に、第二のn型Ga_{0.3}N層上に、発光層104を形成する(ステップS4)。

【0051】

本実施形態では、MOCVD法(Metal Organic Chemical Vapor Deposition:有機金属気相成長法)にて、発光層104を形成する。III族原料としては、トリメチルガリ

10

20

30

40

50

ウム (T M G)、トリメチルインジウム (T M I)、トリメチルアルミニウム (T M A) 等を用い、V 族原料としてはアンモニア (N H ₃) ガスを用いている。キャリアガスとしては水素 (H ₂) 又は窒素 (N ₂) を用いている。又、p 型のアクセプター不純物としては、ビスシクロペンタジエニルマグネシウム (C p 2 M g) を用いている。尚、本実施形態に係る発光層 1 0 4 は、例えば、I n G a N を含む量子井戸構造となるように形成されている。

【 0 0 5 2 】

最後に、発光層 1 0 4 上に、p 型 G a N 層 1 0 5 を形成する (ステップ S 5) 。

【 0 0 5 3 】

本実施形態では、発光層 1 0 4 と同様に、M O C V D 法を用いて、p 型 G a N 層 1 0 5 を形成する。例えば、G a N 層を形成する際に、当該 G a N 層内にマグネシウム (M g) を $1 \times 10^{19} \text{ cm}^{-3}$ ドープすることによって、p 型 G a N 層 1 0 5 を形成する。

【 0 0 5 4 】

以上のようにして、P N 接合型の L E D 構造 1 0 0 を形成する。

【 0 0 5 5 】

ここで、第一の n 型 G a N 層 1 0 2 のキャリア濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20} \text{ cm}^{-3}$ 未満であることが好ましい。

【 0 0 5 6 】

図 4 は、n 型 I I I 族窒化物半導体層における、キャリア濃度と移動度及び抵抗率との関係を示す図である。尚、図 4 は、n 型 I I I 族窒化物半導体層に対する n 型ドーパントとして酸素 (O) を用いた場合の関係を示している。

【 0 0 5 7 】

図 4 において、●印は n 型 I I I 族窒化物半導体層の抵抗率 ($\Omega \cdot \text{cm}$) の測定値をプロットしたものであり、○印は n 型 I I I 族窒化物半導体層の移動度 (cm^2 / Vs) の測定値をプロットしたものである。又、図 4 中には、各プロットを結んだグラフを示している。

【 0 0 5 8 】

n 型 I I I 族窒化物半導体層においては、一般に、キャリア濃度を大きくするほど抵抗率は下がる傾向にあるが、ある程度以上のキャリア濃度を超えると移動度が大きく低下する。そのため、n 型 I I I 族窒化物半導体層の抵抗率は、特定のキャリア濃度で極小値となる。n 型ドーパントを酸素 (O) とした場合には、図 4 のように 10^{19} cm^{-3} 台で極小値を持つことがわかる。一方、 $3 \times 10^{20} \text{ cm}^{-3}$ を超えてドープした場合には、移動度が理論値 (点線) に比べて 3 桁近く下がってしまい、n 型 I I I 族窒化物半導体層の抵抗率の増大を招いていることがわかる。これは、n 型 I I I 族窒化物半導体層内の不純物量が多くなると、結晶品質が低下し、電子散乱が増加するためと考えられる。

【 0 0 5 9 】

この点、第一の n 型 G a N 層 1 0 2 のキャリア濃度を、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20} \text{ cm}^{-3}$ 未満とすることによって、第一の n 型 G a N 層 1 0 2 の抵抗率を可能な限り低減することが可能である。

【 0 0 6 0 】

一方、第二の n 型 I I I 族窒化物半導体層 1 0 3 のキャリア濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満であることが好ましい。

【 0 0 6 1 】

第二の n 型 I I I 族窒化物半導体層 1 0 3 は、上記したように、表面が平坦になるように成長させる必要があるため、第二の n 型 I I I 族窒化物半導体層 1 0 3 を成長させる際の不純物の取り込み効率の低下は避けられない。そのため、第二の n 型 I I I 族窒化物半導体層 1 0 3 の結晶品質を低下させることなく添加できるドープ量の上限は、 $1 \times 10^{19} \text{ cm}^{-3}$ である。第二の n 型 I I I 族窒化物半導体層 1 0 3 内の不純物量を $1 \times 10^{19} \text{ cm}^{-3}$ 以上に多くしようとすると、第二の n 型 I I I 族窒化物半導体層 1 0 3 内に微小なピット (穴状の凹部) が形成される等の結晶品質の低下につながる。そして、これに

10

20

30

40

50

起因して移動度の低下及び抵抗率の増大につながる。又、ドーパ量が $5 \times 10^{17} \text{ cm}^{-3}$ より少ないと、第二の n 型 III 族窒化物半導体層 103 の層自体の抵抗率が増大してしまうため好ましくない。

【0062】

この点、第二の n 型 III 族窒化物半導体層 103 のキャリア濃度を、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満とすることによって、第二の n 型 III 族窒化物半導体層 103 の表面の平坦性を確保しつつ、当該第二の n 型 III 族窒化物半導体層 103 の抵抗率を低減することが可能である。

【0063】

他方、第二の n 型 III 族窒化物半導体層 103 内の発光層 104 に近い位置のキャリア濃度を減少させてもよい。例えば、第一の n 型 III 族窒化物半導体層 102 に近い位置においては、キャリア濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満とし、発光層 104 に近い位置においては、キャリア濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $5 \times 10^{18} \text{ cm}^{-3}$ 未満とする。又、第一の n 型 III 族窒化物半導体層 102 から発光層 104 に向けて第二の n 型 III 族窒化物半導体層 103 中のキャリア濃度を徐々に減少させてもよい。これらの場合、第二の n 型窒化物半導体層 103 は多層構造をとることになる。

【0064】

尚、上記工程では、HVPE 法による第一及び第二の n 型 III 族窒化物半導体層 102、103 の結晶成長工程と MOCVD 法による発光層 104 の結晶成長工程を、2 回に分けて別の装置で実施したが、MO 原料と Ga 原料及び HCl ガスの両方を備えた MO-HVPE 設備を用意すれば、一度の育成で LED 構造 100 を形成することも可能である。

【0065】

(発光ダイオード素子の形成工程)

次に、図 2、図 5、図 6 を参照して、上記の手法で形成された LED 構造 100 から、発光ダイオード素子 200 を形成する工程について詳述する。

【0066】

図 5 は、発光ダイオード素子 200 の形成工程を示すフローチャートである。

【0067】

まず、LED 構造 100 の p 型 GaN 層 105 上を覆うようにレジスト膜を形成し、フォトリソグラフィによりパターンングにて、n 側オーミック電極 207 を形成する領域のみを露出させる (ステップ S11)。

【0068】

次に、n 側オーミック電極 207 を形成する領域のみが露出した状態で、LED 構造 100 の p 型 GaN 層 105、発光層 104、第二の n 型 GaN 層 103 の一部、及び第一の n 型 GaN 層 102 の一部を、ドライエッチングにて除去する (ステップ S12)。尚、ドライエッチングとしては、例えば、 Cl_2 又は BCl_3 等の塩素系ガスを用いた ICP ドライエッチング等を用いればよい。

【0069】

ここでは、n 側オーミック電極 207 を形成する面を、図 2 に示したように第二の n 型 GaN 層 103 の一部及び第一の n 型 GaN 層 102 の一部の両方が露出した面とした。このようにすることで、高キャリア濃度で低抵抗の第一の n 型 GaN 層 102 と n 側オーミック電極 207 を接触させることが可能である。つまり、これによって、n 側オーミック電極 207 のコンタクト抵抗を低くしつつ、且つ、n 側オーミック電極 207 下部の第一の n 型 GaN 層 102 の厚みを十分に確保できるため、トータルのデバイス抵抗を最小とすることが可能である。換言すると、n 側オーミック電極 207 が第一の n 型 GaN 層 102 に接触していない場合は、コンタクト抵抗が若干増大してしまう。一方で、完全に第一の n 型 GaN 層 102 のみとなるまで掘り込んでしまうと、n 側オーミック電極 207 直下の第一の n 型 GaN 層 102 の層厚みが減少してしまうため、抵抗増大につながっ

10

20

30

40

50

てしまう。

【0070】

尚、第一のn型GaN層102のキャリア濃度は、第二のn型GaN層103のキャリア濃度の5～10倍程度となっているため、第一のn型半導体層102が、n側オーミック電極207の全面積のうち半分程度と接触していれば、n側オーミック電極207の抵抗低減効果が得られる。

【0071】

本工程において、ドライエッチングによる掘り量は、例えば、エッチング表面を電子顕微鏡(SEM)により観察したり、カソードルミネッセンス(CL)により観察したりすることにより、確認することができる。

10

【0072】

図6は、カソードルミネッセンス観察により、第二のn型GaN層103と第一のn型GaN層102の両方が露出した表面を観察した観察結果の一例を示す図である。カソードルミネッセンス観察では、高キャリア濃度領域501は明るい領域、低キャリア濃度領域502は暗い領域として観察されるため、これにより第二のn型GaN層103の露出領域と第一のn型GaN層102の露出領域とを区別することができる。

【0073】

次に、レジスト膜を除去し、LED構造100の表面側全体に、SiO₂からなる保護膜206をプラズマCVDにて成膜する(ステップS13)。尚、保護膜206の成膜は、常圧CVDやスパッタ成膜でも可能である。又、保護膜206の厚みは十分に絶縁が確保できればよく、100～500nm程度が好ましく、例えば200nmとする。

20

【0074】

次に、LED構造100の第二のn型GaN層103上にn側オーミック電極207を形成する(ステップS14)。この際には、n側オーミック電極207を形成する領域のみが露出するように、フォトリソグラフィによりレジスト膜をパターニングした後、保護膜206を緩衝フッ酸(BHF)溶液によるウェットエッチングにより除去し、第二のn型GaN層103の一部及び第一のn型GaN層102の一部が露出した表面にTi/Auからなるn側オーミック電極207を形成する。

【0075】

続いて、LED構造100のp型GaN層105上に、p側オーミック電極208を形成する(ステップS15)。この際にも、n側オーミック電極207の形成プロセスと同様に、フォトリソグラフィによるレジスト膜のパターニングと、緩衝フッ酸溶液による保護膜206のウェットエッチングを行った後に、Ag/Ti/Auからなるp側オーミック電極208をp型GaN層105上に形成する。

30

【0076】

尚、フリップチップ型のLEDの場合、p側オーミック電極208としては、反射率の高い材料が用いられることが好ましく、例えば、Agを主とした材料を用いられる。但し、Ag単体の場合、耐熱性や耐蝕性に課題があるため、微量な添加物を加えたAg合金を用いてもよい。

【0077】

次に、n側オーミック電極207及びp側オーミック電極208上に、Auメッキにてパッド電極209を形成する(ステップS16)。Auメッキの厚みは、10μm以上100μm以下が好ましく、本実施形態では30μmとした。

40

【0078】

次に、ブレードダイシングにより、各別のLEDチップに分割する(ステップS17)。そして、当該LEDチップを、パッド電極209がサブマウント側電極210と接続するようにサブマウント基板211上に搭載する。

【0079】

このようにして、フリップチップ型の発光ダイオード素子200が作製される。

【0080】

50

〔効果〕

以上のように、本実施形態に係るフリップチップ型の発光ダイオード素子200は、キャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で且つ $3 \times 10^{20} \text{ cm}^{-3}$ 未満である第一のn型III族窒化物半導体層102、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上で且つ $1 \times 10^{19} \text{ cm}^{-3}$ 未満である第二のn型III族窒化物半導体層103、III族窒化物半導体で構成される発光層104、及び、p型III族窒化物半導体層105、が順に積層された積層体構造(LED構造)100を備え、第一のn型III族窒化物半導体層102と第二のn型III族窒化物半導体層103の界面の凹凸の高低差は、第二のn型III族窒化物半導体層103と発光層104との界面の凹凸の高低差よりも大である構成となっている。

10

【0081】

従って、本実施形態に係る発光ダイオード素子200によれば、発光層104の品質を劣化させることなく、従来技術に係る発光ダイオード素子と比較して、n型半導体層の厚みを5倍以上まで厚くし、且つ、n型半導体層の抵抗率を $1/10$ 以下まで低減することができる。これによって、良好な発光特性を実現しつつ、従来技術に係る発光ダイオード素子と比較して、n型半導体層による直列抵抗成分(即ち、横方向抵抗)を、 $1/50$ 以下まで低減することが可能である。

【0082】

図7は、本実施形態に係る発光ダイオード素子200の電流-電圧特性を示す図である。

20

【0083】

図7から分かるように、本実施形態に係る発光ダイオード素子200においては、従来技術に係る発光ダイオード素子と比較して、定電流時の動作電圧が低くなっている。換言すると、本実施形態に係る発光ダイオード素子200によれば、より高効率なLEDを実現することができる。

【0084】

又、本実施形態に係る発光ダイオード素子200によれば、異種基板を用いてLEDを構成することができるため、低コスト化にも資する。

【0085】

(変形例1)

図8は、変形例1に係る発光ダイオード素子200の構成を示す図である。

30

【0086】

変形例1に係る発光ダイオード素子200は、n側オーミック電極207を形成する面を、第二のn型GaN層103のみが露出する面としている点で、上記実施形態と相違する。

【0087】

図8においては、上記エッチング工程(ステップS12)におけるドライエッチングによる掘り込みを少なくし、n側オーミック電極207を形成する面を、第二のn型GaN層103中としている。例えば、ドライエッチングによる掘り込み段差を小さくしたい場合等は、このような構造を取ることも可能である。

40

【0088】

本変形例に係る発光ダイオード素子200においては、n型半導体層が厚膜化することによる抵抗の低減が可能である。但し、一方で、n側オーミック電極207のコンタクト抵抗が若干高くなる傾向がある。従って、変形例1の構成とする場合には、第二のn型GaN層103のキャリア濃度を出来るだけ高くした方が好ましく、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ にできるだけ近づけるのが望ましい。

【0089】

(変形例2)

図9は、変形例2に係る発光ダイオード素子200の構成を示す図である。

【0090】

50

変形例 2 に係る発光ダイオード素子 200 は、n 側オーミック電極 207 を形成する面を、第一の n 型 GaN 層 102 のみが露出する面としている点で、上記実施形態と相違する。

【0091】

図 9 においては、n 側オーミック電極 207 を形成する面を第一の n 型 GaN 層 102 中としている。例えば、第一の n 型 GaN 層 102 の厚みが十分に厚い場合や、凹凸が小さく界面でエッチングを止めにくい場合等は、このような構造とすることでプロセス工程を簡便にできる。

【0092】

本変形例に係る発光ダイオード素子 200 においては、n 側オーミック電極 207 のコンタクト抵抗を最も低減することが可能である。但し、一方で、n 側オーミック電極 207 直下の第一の n 型 GaN 層 102 による基板抵抗は層の厚みが減少するため若干増大する。従って、変形例 2 の構成とする場合には、第一の n 型 GaN 層 102 の厚みを出来るだけ厚くした方が厚みの減少による抵抗の増大を最小限に出来るため、例えば、100 μm とするのが望ましい。

【0093】

(変形例 3)

上記実施形態では、第二の n 型 GaN 層 103 を、一回の結晶成長プロセスにて形成する態様を示した。しかしながら、第一の n 型 GaN 層 102 の凹凸が非常に大きい場合等は、第二の n 型 GaN 層 103 の表面を完全な平坦面とすることは難しく、当該第二の n 型 GaN 層 103 を形成した後に数百 nm 程度の凹凸が残ることが懸念される。又、平坦化のために第二の n 型 GaN 層 103 の厚みが厚くなりすぎたりすることが懸念される。

【0094】

そこで、第二の n 型 GaN 層 103 の形成途中で、第二の n 型 GaN 層 103 に対して機械研磨や CMP (Chemical Mechanical Polishing: 化学機械研磨) を実施してもよい。例えば、第二の n 型 GaN 層 103 を HVPE 法で結晶成長した後、機械研磨を行って、再度、MOCVD 法等により、第二の n 型 GaN 層 103 を結晶成長させてもよい。

【0095】

このような構成とすることで、第一の n 型半導体層 102 の表面に形成された凹凸を低減することができる。換言すると、これによって、発光層 104 の結晶品質を向上させることができるため、発光層 104 の発光特性の向上を図ることができる。

【0096】

以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、請求の範囲を限定するものではない。請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

【産業上の利用可能性】

【0097】

本発明の発光ダイオード素子によれば、横方向抵抗を大きく低減することが可能であり、動作電圧の低いより高効率な LED を実現できる。

【符号の説明】

【0098】

- 100 LED 構造
- 101 下地基板
- 102 第一の n 型 III 族窒化物半導体層
- 103 第二の n 型 III 族窒化物半導体層
- 104 発光層
- 105 p 型 III 族窒化物半導体層
- 200 発光ダイオード素子
- 206 保護膜
- 207 n 側オーミック電極

10

20

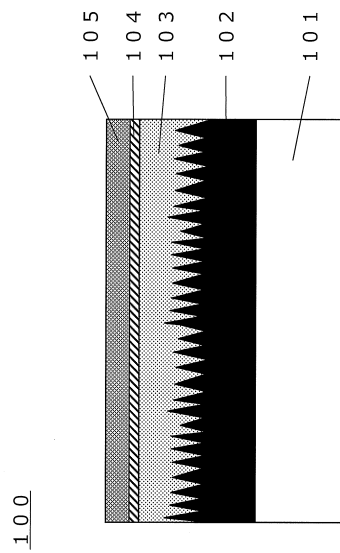
30

40

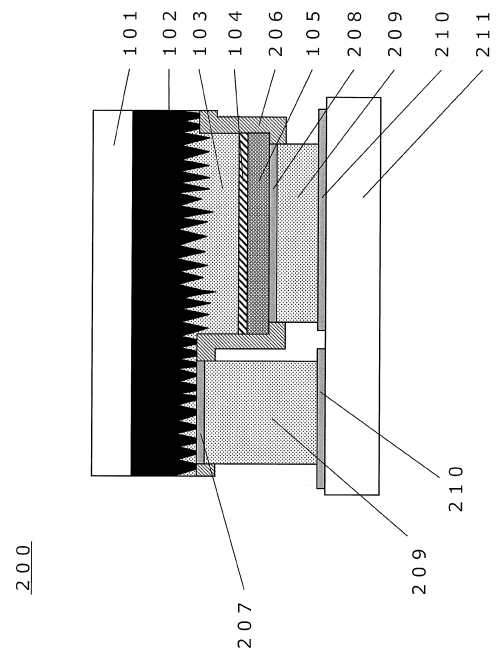
50

- 208 p側オーミック電極
- 209 パッド電極
- 210 サブマウント側電極
- 211 サブマウント基板

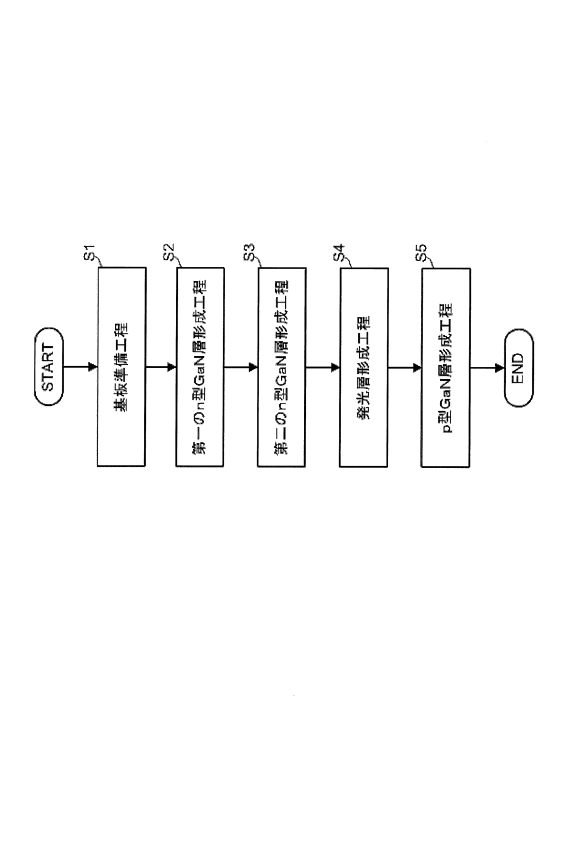
【図1】



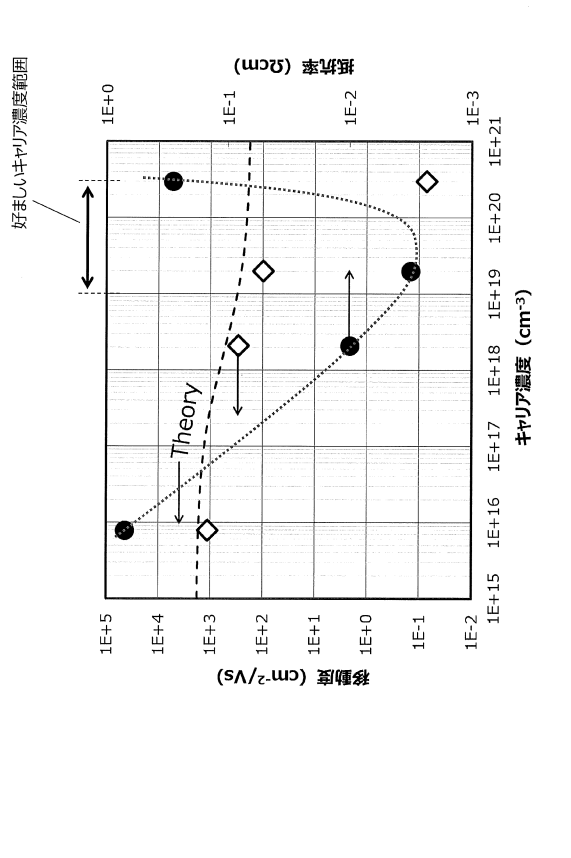
【図2】



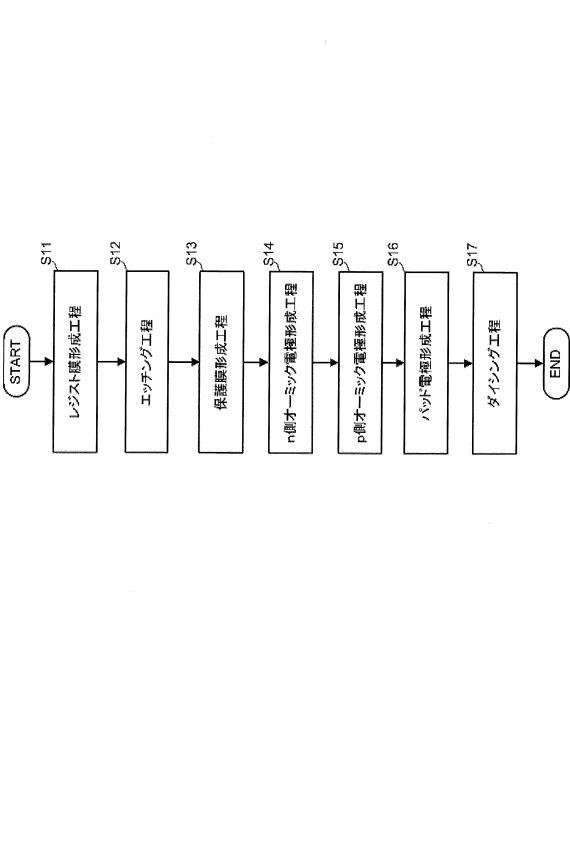
【図 3】



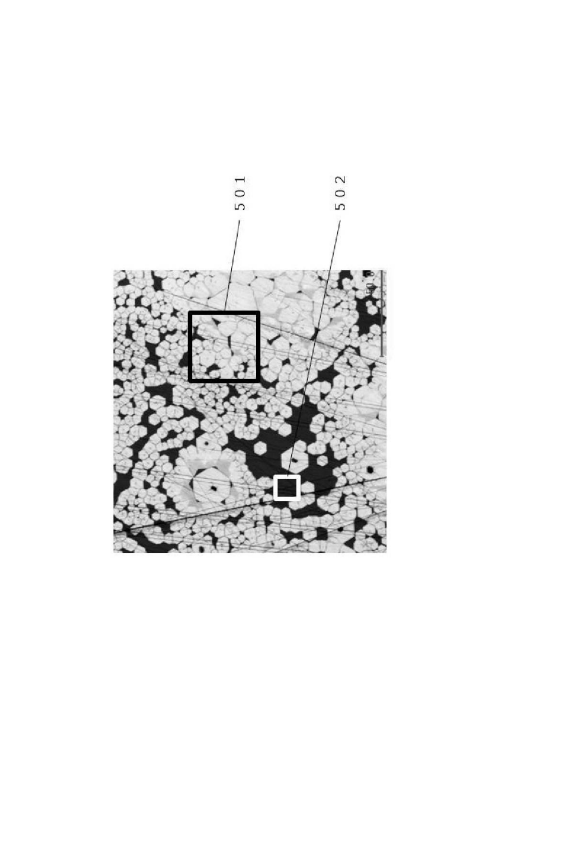
【図 4】



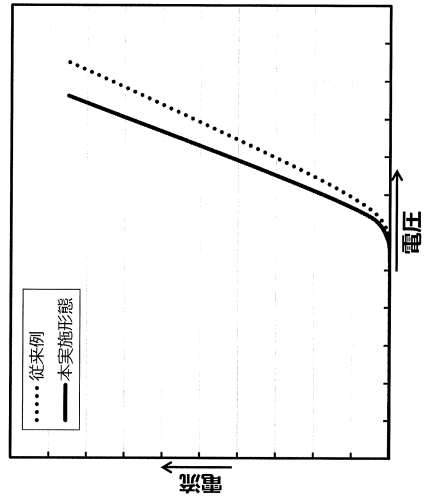
【図 5】



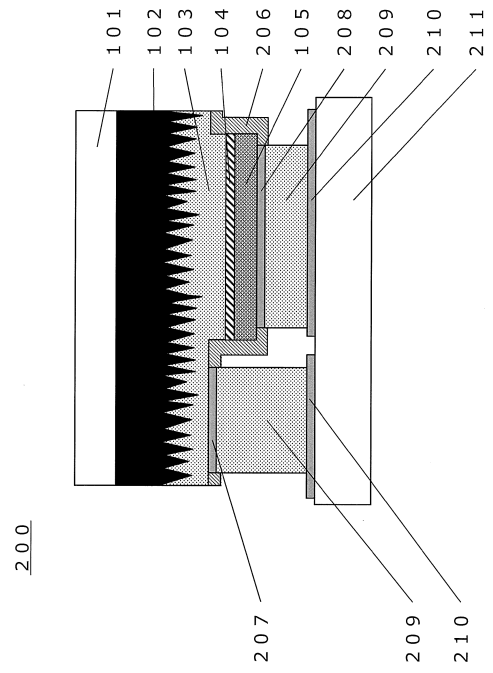
【図 6】



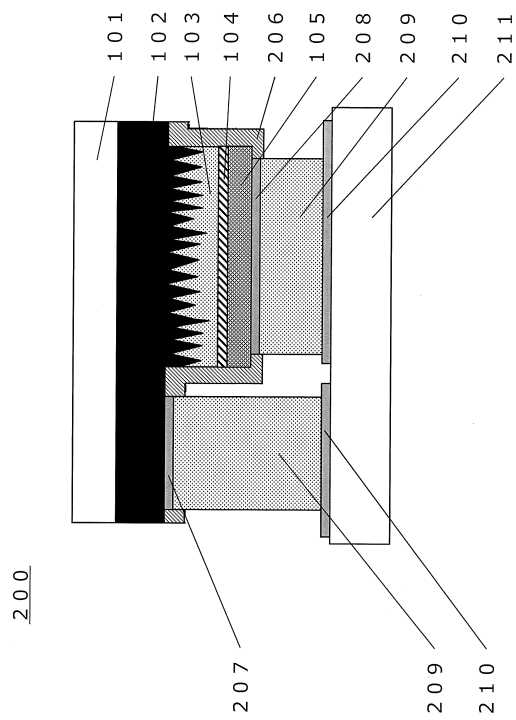
【図 7】



【図 8】



【図 9】



フロントページの続き

(56)参考文献 特開2017-228695(JP,A)
米国特許出願公開第2012/0187370(US,A1)
特開2006-120856(JP,A)
特開2012-104528(JP,A)
特開2010-030877(JP,A)
特開2013-230971(JP,A)
特許第4118370(JP,B2)
特許第5229270(JP,B2)
特開平08-222763(JP,A)
特開2000-124500(JP,A)
特開2001-358364(JP,A)
特開2002-008998(JP,A)
特開2002-009341(JP,A)
特開2003-258302(JP,A)
特開2008-010894(JP,A)
特開2007-214548(JP,A)
特開2013-209270(JP,A)
再公表特許第2011/027679(JP,A1)
米国特許第08263989(US,B2)
米国特許出願公開第2012/0049179(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64
C30B 25/18
C30B 29/38
H01L 21/365