

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7555893号
(P7555893)

(45)発行日 令和6年9月25日(2024.9.25)

(24)登録日 令和6年9月13日(2024.9.13)

(51)国際特許分類		F I	
H 0 1 L	27/146 (2006.01)	H 0 1 L	27/146 A
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/146 F
H 0 1 L	27/06 (2006.01)	H 0 1 L	27/06 1 0 2 A
H 0 1 L	21/8238(2006.01)	H 0 1 L	27/092 B
H 0 1 L	27/092 (2006.01)	H 0 1 L	27/092 A
請求項の数 14 外国語出願 (全37頁) 最終頁に続く			
(21)出願番号 特願2021-156525(P2021-156525)		(73)特許権者 503260918	
(22)出願日 令和3年9月27日(2021.9.27)		アップル インコーポレイテッド	
(65)公開番号 特開2022-54459(P2022-54459A)		Apple Inc.	
(43)公開日 令和4年4月6日(2022.4.6)		アメリカ合衆国 9 5 0 1 4 カリフォル	
審査請求日 令和3年10月6日(2021.10.6)		ニア州 クパチーノ アップル パーク ウ	
(31)優先権主張番号 63/083,262		エイ ワン	
(32)優先日 令和2年9月25日(2020.9.25)		One Apple Park Way ,	
(33)優先権主張国・地域又は機関		Cupertino , Califor	
米国(US)		nia 9 5 0 1 4 , U . S . A .	
(31)優先権主張番号 17/473,855		(74)代理人 100103610	
(32)優先日 令和3年9月13日(2021.9.13)		弁理士 ▲吉▼田 和彦	
(33)優先権主張国・地域又は機関		(74)代理人 100119013	
米国(US)		弁理士 山崎 一夫	
前置審査		(74)代理人 100067013	
		弁理士 大塚 文昭	
		最終頁に続く	

(54)【発明の名称】 積層された単一光子アバランシェダイオード (S P A D) 画素アレイとのトランジスタ統合

(57)【特許請求の範囲】

【請求項 1】

画素アレイの画素であって、
前記画素は、前記画素の側面を形成し、前記画素アレイの上面と前記上面の反対側の前記画素アレイの集光面との間で、前記画素アレイの半導体基板を少なくとも部分的に通って延在している絶縁壁と、
前記上面に隣接するカソード層、及び前記半導体基板内に埋め込まれ、前記上面の反対側の前記カソード層の側面上に隣接して堆積されたアノード層を、含む単一光子アバランシェダイオード (S P A D) と、
前記上面に隣接し、前記 S P A D と電氣的に接続された制御トランジスタであって、前記アノード層の外側に、かつ少なくとも部分的に前記カソード層内に形成され、または少なくとも部分的に前記カソード層と前記上面との間に形成された制御トランジスタと、を備え、
前記アノード層と前記カソード層との間の界面にアバランシェ接合領域が存在し、前記アバランシェ接合領域は、少なくとも部分的に、前記制御トランジスタの下に延長している、画素アレイの画素。

【請求項 2】

前記制御トランジスタが第 1 の制御トランジスタであり、
前記画素は、第 2 の制御トランジスタを更に備え、
前記第 1 の制御トランジスタがゲートトランジスタであり、

前記第 2 の制御トランジスタは、前記 S P A D に電氣的に接続されているクエンチングトランジスタである、請求項 1 に記載の画素。

【請求項 3】

p - ウェル領域と、前記 p - ウェル領域から分離された深い p - ウェル領域と、を更に備え、

前記深い p - ウェル領域は、内部 n - ウェル領域を含み、

前記クエンチングトランジスタは、前記内部 n - ウェル領域内に形成された p M O S トランジスタであり、

前記ゲートトランジスタは、前記 p - ウェル領域内に形成された n M O S トランジスタである、請求項 2 に記載の画素。

10

【請求項 4】

第 1 の p - ウェル領域と、第 2 の p - ウェル領域と、を更に備え、

前記クエンチングトランジスタは、前記第 1 の p - ウェル領域内に形成された第 1 の n M O S トランジスタであり、

前記ゲートトランジスタは、前記第 2 の p - ウェル領域内に形成された第 2 の n M O S トランジスタである、請求項 2 に記載の画素。

【請求項 5】

第 1 の p - ウェル領域を含む第 1 の深い n - ウェル領域と、第 2 の p - ウェル領域を含む第 2 の深い n - ウェル領域と、を更に備え、

前記半導体基板は、n 型であり、

前記クエンチングトランジスタは、前記第 1 の p - ウェル領域内に形成された第 1 の n M O S トランジスタであり、

前記ゲートトランジスタは、前記第 2 の p - ウェル領域内に形成された第 2 の n M O S トランジスタである、請求項 2 に記載の画素。

20

【請求項 6】

前記制御トランジスタは、第 1 の制御トランジスタであり、

前記画素は、第 2 の制御トランジスタを更に含み、

前記画素は、第 3 の制御トランジスタを更に含み、

前記第 1 の制御トランジスタは、前記 S P A D の第 1 の電圧ソースとカソードとの間に電氣的に接続されたクエンチングトランジスタであり、

30

前記第 2 の制御トランジスタは再充電トランジスタであり、

前記第 3 の制御トランジスタはゲートトランジスタであり、

前記再充電トランジスタは、共通ノードにおいて、第 2 の電圧ソースと第 3 の電圧ソースとの間の前記ゲートトランジスタと直列に接続されており、

前記 S P A D の前記カソードが、前記共通ノードに接続されている、請求項 1 に記載の画素。

【請求項 7】

第 1 の n - ウェル領域と、前記第 1 の n - ウェル領域から分離された第 2 の n - ウェル領域と、p - ウェル領域と、を含む深い p - ウェル領域を更に備え、

前記ゲートトランジスタは、前記 p - ウェル領域内に形成された n M O S トランジスタであり、

40

前記再充電トランジスタは、前記第 1 の n - ウェル領域内に形成された第 1 の p M O S トランジスタであり、

前記クエンチングトランジスタは、前記第 2 の n - ウェル領域内に形成された第 2 の p M O S トランジスタである、請求項 6 に記載の画素。

【請求項 8】

第 1 の n - ウェル領域を含む第 1 の深い p - ウェル領域と、第 2 の n - ウェル領域を含む第 2 の深い p - ウェル領域と、第 3 の n - ウェル領域を含む第 3 の深い p - ウェル領域と、を更に備え、

前記ゲートトランジスタは、前記第 1 の n - ウェル領域内に形成された第 1 の p M O S ト

50

ランジスタであり、

前記再充電トランジスタは、前記第 2 の n - ウェル領域内に形成された第 2 の p M O S トランジスタであり、

前記クエンチングトランジスタは、前記第 3 の n - ウェル領域に形成された第 3 の p M O S トランジスタである、請求項 6 に記載の画素。

【請求項 9】

前記上面から前記半導体基板内に少なくとも部分的に延在している浅いトレンチ絶縁材料を更に備え、

前記浅いトレンチ絶縁材料は、前記画素の第 1 の領域と、前記画素の第 2 の領域と、前記画素の第 3 の領域とを分離しており、

前記クエンチングトランジスタが、前記第 1 の領域内に形成されており、

前記 S P A D の前記アノード層及び前記カソード層は、少なくとも部分的に前記第 2 の領域内に形成されており、

前記ゲートトランジスタ及び前記再充電トランジスタは、前記第 3 の領域内に形成されている、請求項 6 に記載の画素。

【請求項 10】

上面及び前記上面の反対側の裏面を有する画素ウエハであって、

半導体基板と、

画素セルの長方形アレイと、

複数のトランジスタ領域と、

前記画素ウエハの前記上面から前記裏面に近接して前記半導体基板内に延在している深いトレンチ絶縁材料と、を備え、

画素セルの前記長方形アレイの各画素セルが、単一光子アバランシェダイオード (S P A D) を含み、

各トランジスタ領域は、対応する画素セルと関連付けられており、

各トランジスタ領域は、前記トランジスタ領域が関連付けられている前記対応する画素セルの前記 S P A D と電氣的に接続された制御トランジスタを含み、

前記深いトレンチ絶縁材料は、画素セルの前記長方形アレイの各画素セルの周囲の側面を形成し、

各トランジスタ領域は、前記深いトレンチ絶縁材料によって、画素セルの前記長方形アレイの各画素セルから分離されており、

各トランジスタ領域は、画素セルの前記長方形アレイの格子点位置に位置し、かつ画素セルの前記長方形アレイに対して斜めに配向された長方形領域であり、

画素セルの前記長方形アレイの各画素セルの前記 S P A D は、前記上面に近接する n 型カソードと、前記上面の反対側の前記 n 型カソードの下に形成された p 型アノードとを備えて形成されており、

前記半導体基板は、ドーピング勾配を有する p 型であり、

各トランジスタ領域の前記制御トランジスタは、前記トランジスタ領域が関連付けられている前記対応する画素セルの前記 S P A D の集光動作を制御する、画素ウエハ。

【請求項 11】

前記制御トランジスタが、前記 S P A D の前記 n 型カソードと電圧ソースとの間に接続された p M O S トランジスタである、請求項 10 に記載の画素ウエハ。

【請求項 12】

複数のトランジスタ領域の第 1 のトランジスタ領域の前記制御トランジスタは、前記対応する画素セルの前記 S P A D の前記 n 型カソードと第 1 の電圧源との間に接続された n M O S ゲートトランジスタであり、

前記第 1 のトランジスタ領域が、前記対応する画素セルの前記 S P A D の前記 n 型カソードと第 2 の電圧源との間に接続された、p M O S クエンチングトランジスタを含む、請求項 10 に記載の画素ウエハ。

【請求項 13】

10

20

30

40

50

前記対応する画素セルの前記SPADの前記n型カソードと第3の電圧源との間に接続されたpMOS高速再充電トランジスタを含む第2のトランジスタ領域をさらに含む、請求項1に記載の画素ウエハ。

【請求項14】

上面及び前記上面の反対側の裏面を有する画素ウエハであって、
半導体基板と、画素セルの長方形アレイとを備え、
少なくとも1つの画素セルは、

前記半導体基板の隣接する異なる層内に形成されたカソード及び埋め込まれたアノードを含む単一光子アバランシェダイオード（SPAD）と、

前記上面に近接して、前記アノードの外側に、かつ少なくとも部分的に前記カソード内に、または少なくとも部分的に前記カソードと前記上面との間に形成された制御トランジスタのグループとを含み、

前記制御トランジスタのグループが、前記SPADの再充電トランジスタと、前記SPADのゲートトランジスタと、前記SPADの前記カソードに接続された入力線を有するインバータ回路を形成している第1のトランジスタ及び第2のトランジスタとを含み、

前記アノードと前記カソードとの間の界面にアバランシェ接合領域が存在し、前記アバランシェ接合領域は、少なくとも部分的に、前記制御トランジスタのグループのトランジスタの下に延長している、画素ウエハ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、光検出器、集光エレメント、又は光検出エレメントとして単一光子アバランシェダイオード（SPAD）を有する画素アレイを含む画像センサに関する。

【0002】

（関連出願の相互参照）

本出願は、非暫定的であり、2020年9月25日に提出された米国仮特許出願第No. 63/083,262号の35 U.S.C. § 119(e)の下で利益を主張するものであり、その内容は、本明細書に完全に開示されているかのように参照により本明細書に組み込まれる。

【背景技術】

【0003】

電子イメージング又はカメラデバイスは、現在、セル式電話、タブレット又はデスクトップコンピュータ、携帯情報端末などの様々な種類の電子デバイス上で一般的である。これらのイメージングデバイスは、個々の集光センサのアレイ、又は画素のみを使用する場合がある。画素は、多くの場合、半導体ベースであり、受信した光を、電気信号に変換し全画像のそれぞれの部分を生成するように処理される。

【0004】

個々の画素はそれぞれ、画素の光感知又はイメージング動作を制御する付随回路（例えば、電源ライン、クエンチング又はゲートトランジスタなどの制御エレクトロニクス、及びその他の構成要素又は回路）と接続され得る。画素の付随回路及び集光半導体部分の配置方法は、画素の集光能力に影響を及ぼし得る。画素の付随回路及び集光半導体部分をどのように配置するかは、電子イメージングデバイス又はカメラデバイスに含まれるウエハの数をより良く使用又は決定することができる。いくつかの実施形態では、画素アレイは、第1のウエハが接合される第2のウエハ上に実装される付随回路と共に、第1のウエハの一部として実装され得る。他の実施形態では、画素アレイは、第1のウエハの一部として実装され、画素の制御又は他の回路構成要素を含む第2のウエハと接合又は結合されてもよく、第2のウエハは、供給及び論理構成要素並びに回路を含む第3のウエハと接合又は結合され得る。

【発明の概要】

【0005】

10

20

30

40

50

この概要は、以下の「発明を実施するための形態」のセクションにおいて更に説明される、選択された概念を、単純化した形で紹介するために提供される。この概要は、クレームされている主題の主要な特徴又は本質的な特徴を特定することを意図されておらず、また、クレームされている主題の範囲の決定を支援するものとして使用されることも意図されていない。

【0006】

光検出器、光センサ若しくは画像センサ、それらの内部構成要素、及びそれらの内部構成要素の配置についてデバイス、システム、及び構造体が本明細書に開示される。画像センサは、光検出器が単一光子アバランシェダイオード（SPAD）を含む画素アレイを含み得る。画像センサは、画素ウエハ及び論理及びノ又は制御回路ウエハなど、1つ以上の別個に作製されたウエハ又はチップを接続又は結合することによって形成されてもよい。

10

【0007】

様々な実装及び実施形態は、SPADの内部構造化、並びにSPADの様々な供給及びノ又は制御トランジスタの位置決めを対象とする。特定の供給及び制御トランジスタは、それぞれのSPADに近接して画素ウエハ上に配置されてもよく、又はいくつかの実施形態では、専用ウエハ上に別々に配置され得る。

【0008】

より具体的には、実施形態の第1のセットには、画素アレイの構造が開示される。1つ以上の画素は、SPAD、並びに画素内に形成され、SPADと動作可能に接続された1つ以上の制御トランジスタを含むことができる。制御トランジスタは、画素アレイの半導体基板内に形成され、画素は画素の集光面とは反対側の画素の上面に隣接し得る。画素は、画素の上面から画素の集光面まで少なくとも部分的に延在している絶縁壁の間に配置され得る。SPADのアノード層は、半導体基板内に形成され得、基板はドーピング勾配で形成され得る。第1のファミリー内の特定の実施形態は、1つ、2つ、又は3つの制御トランジスタを有する実施形態を説明する。

20

【0009】

別の実施形態のセットは、長方形アレイとして配置された複数の画素セル及び複数のトランジスタ領域を有する、半導体基板内に形成された画素ウエハを説明する。画素アレイの各画素は、SPADを含み、少なくとも1つの制御トランジスタが各トランジスタ領域内に形成される。深いトレンチ絶縁壁は、画素ウエハの上面から半導体基板の中に、又は上面と反対側の画素ウエハの裏面の近くまで延在し得る。深いトレンチ絶縁壁は、トランジスタ領域を画素セルから分離している。各画素セルのSPADは、上面に近接するn型カソード、及び上面と反対側のn型カソードの下に形成されたp型アノードによって形成される。半導体基板は、ドーピング勾配を有するp型半導体であり得る。

30

【0010】

別の一組の実施形態は、画素セルのアレイを含む画素ウエハと、画素ウエハに接合された第1の側面を有する制御トランジスタウエハと、第1の側面とは反対側の制御トランジスタウエハの第2の側面に接合された論理ウエハと、を含む、光検出器デバイスを説明する。画素ウエハ内の画素セルのアレイの各画素セルは、SPADを含む。制御トランジスタウエハは、各画素セルに対して、それぞれの制御トランジスタ用の、少なくとも再充電トランジスタ、ゲートトランジスタ、及びクエンチングトランジスタを含む制御トランジスタを含む。制御トランジスタは、対応する画素のSPADの光検出動作を制御することができる。論理ウエハは、光検出動作に基づいて、制御トランジスタウエハからの相互接続パッドを介して電気信号を受信し得る回路構成要素を含み得る。

40

本開示は、添付の図面と併せて以下の詳細な説明によって容易に理解され、同様の参照番号は同様の構造要素を示す。

【図面の簡単な説明】

【0011】

【図1A】単一光子アバランシェダイオード（SPAD）画素のアレイの斜視図を示す。

【図1B】論理又は制御回路ウエハに取り付けられたSPAD画素ウエハの斜視図を示す。

50

【図 1 C】単一の S P A D 画素に関連付けられた供給又は制御回路の 2 つの回路図を示す。

【図 1 D】供給、制御、又は論理回路ウエハと接続された S P A D 画素ウエハの断面図を示す。

【図 1 E】S P A D 画素アレイの単一の S P A D 画素の断面図を示す。

【図 2】一実施形態に係る、S P A D 画素に関連付けられた供給及び制御回路の回路図を示す。

【図 3 A】一実施形態に係る、S P A D 画素の構成要素の平面図を示す。

【図 3 B】一実施形態に係る、図 3 A の S P A D 画素の第 1 の断面図を示す。

【図 3 C】一実施形態に係る、図 3 A の S P A D 画素の第 2 の断面図を示す。

【図 3 D】一実施形態に係る、図 3 A の S P A D 画素の第 3 の断面図を示す。

10

【図 3 E】一実施形態に係る、図 3 A の S P A D 画素の第 4 の断面図を示す。

【図 4 A】一実施形態に係る、S P A D 画素の構成要素の平面図を示す。

【図 4 B】一実施形態に係る、図 4 A の S P A D 画素の第 1 の断面図を示す。

【図 4 C】一実施形態に係る、図 4 A の S P A D 画素の第 2 の断面図を示す。

【図 5 A】一実施形態に係る、S P A D 画素に関連付けられた供給及び制御回路の回路図を示す。

【図 5 B】一実施形態に係る、図 5 A の回路を実装する S P A D 画素の断面図を示す。

【図 6 A】一実施形態に係る、S P A D 画素に関連付けられた供給及び制御回路の回路図を示す。

【図 6 B】一実施形態に係る、図 6 A の S P A D 画素の構成要素の平面図を示す。

20

【図 6 C】一実施形態に係る、図 6 B の S P A D 画素の断面図を示す。

【図 7 A】一実施形態に係る、S P A D 画素の構成要素の平面図を示す。

【図 7 B】一実施形態に係る、図 7 A の S P A D 画素の断面図を示す。

【図 8 A】一実施形態に係る、S P A D 画素に関連付けられた供給及び制御回路の回路図を示す。

【図 8 B】一実施形態に係る、図 8 A の S P A D 画素の構成要素の平面図を示す。

【図 8 C】一実施形態に係る、図 8 A の S P A D 画素の第 1 の断面図を示す。

【図 8 D】一実施形態に係る、図 8 A の S P A D 画素の第 2 の断面図を示す。

【図 9 A】一実施形態に係る、3 つの制御トランジスタを有する S P A D 画素の平面図を示す。

30

【図 9 B】4 つの制御トランジスタを有する S P A D 画素の回路図を示す。

【図 9 C】図 9 B の画素に含まれ得るようなインバータ回路の回路図を示す。

【図 9 D】図 9 B の画素の平面図を示す。

【図 9 E】図 9 D の画素の断面図を示す。

【図 10 A】一実施形態に係る、S P A D 画素に関連付けられた供給及び制御回路の回路図を示す。

【図 10 B】一実施形態に係る、図 10 A の S P A D 画素の構成要素の平面図を示す。

【図 10 C】一実施形態に係る、図 10 B の S P A D 画素の第 1 の断面図を示す。

【図 10 D】一実施形態に係る、図 10 B の S P A D 画素の第 2 の断面図を示す。

【図 10 E】一実施形態に係る、図 10 B の S P A D 画素の第 3 の断面図を示す。

40

【図 11】一実施形態に係る、S P A D 画素アレイの断面の平面図である。

【図 12 A】一実施形態に係る、S P A D 画素アレイの断面の平面図である。

【図 12 B】一実施形態に係る、図 12 A の S P A D 画素アレイの断面の詳細図である。

【図 13 A】一実施形態に係る、S P A D 画素アレイの断面の平面図である。

【図 13 B】一実施形態に係る、図 13 A の S P A D 画素アレイの断面の詳細図である。

【図 14 A】一実施形態に係る、S P A D 画素アレイの断面の平面図である。

【図 14 B】一実施形態に係る、図 14 A の S P A D 画素アレイの断面の詳細図である。

【図 15 A】一実施形態に係る、S P A D 画素に関連付けられた供給及び制御回路の回路図を示す。

【図 15 B】一実施形態に係る、S P A D 画素及び図 15 A の供給及び制御回路の様々な

50

構成要素の平面図を示す。

【図 1 5 C】一実施形態に係る、図 1 5 A の S P A D 画素及び回路の断面図を示す。

【図 1 6】一実施形態に係る、S P A D 画素に関連付けられた供給及び制御回路の回路図を示す。

【発明を実施するための形態】

【0 0 1 2】

添付の図でのクロスハッチング又はシェーディングの使用は、概して、隣り合う要素間の境界を明らかにし、図の視認性も促進するためにも提供される。したがって、クロスハッチング又はシェーディングの存在も不在も、添付の図に示される任意の要素に関する特定の材料、材料特性、要素の割合、要素の寸法、同様に図示されている要素の共通点、又は任意の他の特質、属性、若しくは特性についてのいかなる選好又は要件も伝達又は指示するものではない。

【0 0 1 3】

追加的に、種々の特徴及び要素（並びにそれらの集合及び群）の（相対的であれ絶対的であれ）割合及び寸法、並びにそれらの間に提示される境界、分離点及び位置関係は、単に本明細書に述べられる種々の実施形態の理解を容易にするために添付の図に提供されるものであり、したがって必ずしも一定の縮尺で提示又は図示されていない場合があり、図示される実施形態についての任意の選好又は要件を、それを参照して述べられる実施形態を除外して示す意図はないことを理解されたい。

【0 0 1 4】

ここで、添付図面に図示される代表的な実施形態が詳細に説明される。以下の説明は、これらの実施形態を 1 つの好ましい実施形態に限定することを意図するものではないことを理解されたい。反対に、以下の説明は、添付の特許請求の範囲により定義される記載された実施形態の趣旨及び範囲に含むことができるような、代替形態、修正形態及び同等物を包含することを意図している。

【0 0 1 5】

本明細書に記載される実施形態は、概して、光検出センサ、光検出器（又は「光受容体」）の構造体、並びにそれらを使用するデバイス及びシステムを対象とする。このようなデバイスの例としては、デジタルカメラ、光検出と測距（L I D A R）システム及びデバイスなどが挙げられる。このようなデバイスは、単一の半導体ウエハ上に形成された光検出器のアレイを用いることが多い。個々の光検出器及び付随回路の構成要素は、画素又は画素セルと呼ばれ、半導体ウエハは画素ウエハと呼ばれる。

【0 0 1 6】

画素は、光検出構成要素として、ダイオード接合部がアバランシェ領域に逆バイアスされる単一光子アバランシェダイオード（S P A D）を含むことができる。S P A D のカソードは、多くの場合、カソードにあたる光子が S P A D に接続された回路構成要素によって検出される電荷キャリアの拡張カスケードを引き起こすように、画素の表面付近に位置されることが多い。画素ウエハは、画素ウエハの「裏側」とも呼ばれる第 1 の側に集光表面を有するアレイとして配置された複数の S P A D 画素で形成され得る。画素ウエハは、集光裏面と反対側の「フロント側」と呼ばれる、第 2 の側に検出回路構成要素の少なくとも一部を用いて形成又は製造され得る。

【0 0 1 7】

正味の集光表面を増やすために、いくつかの実施態様では、画素ウエハは、S P A D をバイアスする場合などの、画素ウエハ上の限られた追加の回路構成要素のみを有する S P A D 画素セルを主に含むように製造又は形成されることができ、「論理」及び/又は「制御」ウエハと呼ばれる 1 つ以上の追加のウエハは、次いで、S P A D 画素によって生成された信号を検出、調整、及び/又は処理するための回路構成要素を含むように形成され得る。次いで、画素ウエハ及び他のウエハを、整合する電氣的相互接続を有するスタック構成に接合又は結合することができる。

【0 0 1 8】

10

20

30

40

50

この実装では、S P A Dの制御トランジスタなどの特定の回路素子は、論理ウエハ上に形成され得る。このような制御トランジスタは、クエンチングトランジスタ、ゲートトランジスタ、及び再充電トランジスタなどの、より高い電圧源、又は二重電圧源を使用することができる。これにより、論理ウエハ内の回路レイアウト及びスペース制約の課題が生じる場合がある。例えば、論理ウエハ（時間サンプリング回路、カウンタ、画像プロセッサ、グラフィックプロセッサ、又は他の構成要素など）の様々な他の回路構成要素は、低電圧電源で動作し得る。

【 0 0 1 9 】

本明細書に開示される実施形態の一群は一般に、S P A D画素及びそれらの関連する制御トランジスタが、S P A Dに大きな集光面を依然として提供しながら、画素ウエハ上に形成又は製造され得る構造又は構成に関する。一般に、各S P A Dは、広いアバランシェ領域を形成しているカソード/アノード接合部を用いて実装され得る。S P A Dの集光面は、S P A D内にドーピング勾配が形成される画素ウエハの片側に形成され得る。ドーピング勾配により、光子誘起電荷キャリアがS P A Dのアバランシェ領域に誘導されることが可能となる。制御トランジスタ（及び場合によっては他の回路構成要素）は、画素ウエハの集光面とは反対側の画素ウエハの側に形成され得る。S P A Dのカソード/アノード接合部は、少なくとも部分的に、接合領域を増やせるように、制御トランジスタの下画素ウエハ内に位置付けることができる。各画素の制御トランジスタは、浅いトレンチ絶縁壁若しくは構造体を用いることにより、又は深いトレンチ絶縁壁若しくは構造体によって、半導体ウェル内の形成によって電氣的に又は別の方法で分離されてもよい。

【 0 0 2 0 】

第1のファミリーの実施形態では、S P A D用の2つの制御トランジスタは、それぞれの画素上に形成され得る。第2のファミリーの実施形態では、S P A D用の3つ以上の制御又は論理トランジスタは、それぞれの画素上に形成され得る。第3のファミリーの実施形態では、S P A D用の単一の制御トランジスタは、それぞれの画素上に形成され得る。第4のファミリーの実施形態では、制御トランジスタは、画素ウエハ上に形成されるが、S P A Dを含む対応する画素の外部にある。制御トランジスタは、深いトレンチ絶縁壁によってS P A D画素から分離された領域内に形成される。第5のファミリーの実施形態では、制御ウエハは、画素ウエハ又は論理回路ウエハのいずれかとは別個の専用ウエハ上に形成される。専用ウエハは、画素ウエハと論理回路ウエハとの間に位置され、接合又は結合されている。

【 0 0 2 1 】

これらの実施形態及び他の実施形態について、図2～15Cを参照して以下に説明する。図1A～1Eは、画素ウエハ及び論理及び/又は制御回路ウエハを含むデュアルウエハ画像センサに関する一般的な考慮事項及び実装を説明し、概説する。しかしながら、当業者であれば、これらの図2～15Cに関して本明細書により与えられた詳細な記述は説明目的のものに過ぎず、限定するものとして解釈されるべきではないことを容易に理解するであろう。

【 0 0 2 2 】

更に、画像センサを有する特定の電子デバイスが、以下に記載又は説明されているが、本明細書に記載された実施形態は、携帯電話、パーソナルデジタルアシスタント、計時デバイス、健康監視デバイス、ウェアラブル電子デバイス、入力デバイス（スタイラスなど）、デスクトップコンピュータ、ウェアラブル電子メガネ等を含む様々な電子デバイスと共に使用され得るが、これらに限定されるものではない。

【 0 0 2 3 】

他の実施形態及び実装は、本開示及び添付の請求項の範囲及び趣旨内にある。例えば、機能を実装する機構は、機能の一部が異なる物理的位置に実装されるように分散されることを含めて、様々な位置に物理的に配置されてもよい。また、請求項を含めて、本明細書で使用される場合、「少なくとも1つの」で始められる項目のリストで「又は」は、分離的なリストを示し、例えば、「A、B、又はCの少なくとも1つ」のリストは

A又はB又はC又はA B又はA C又はB C又はA B C（すなわち、A及びB及びC）を示す。更に、用語「例示的」は、記載された例が他の例よりも好ましいか又はより良好であることを意味するものではない。

【0024】

図1A～1Eは、光検出器又は画像感知デバイスを作製するために、光検出器のアレイを論理ウエハと共に含む画素ウエハなどの複数のウエハを使用する一般的な説明を提供する。図2～15Cに記載された実施形態の記載のコンテキスト及びコントラストを提供する説明を行う。

【0025】

図1Aは、単一の画素ウエハ108上に形成された画素アレイ100を示す。画素アレイ100は、裏面106と反対側の上面102と共に示されている。画素104a及び104bなどの個々の画素は、単一光子アパランシェダイオード（SPAD）、及び場合によっては付随回路などの光受容体を含む。画素アレイは、様々な半導体製造プロセスのいずれかによって画素ウエハ108内に形成され得る。例えば、画素ウエハ108は、光受容体と、エッチング及び蒸着、イオン注入、及び/又は他の製造方法によって形成される任意の付随回路を有するp型半導体であってもよい。光受容体のアノード又はカソードへの付随回路構成要素又は接続構成要素は、裏面106が画像キャプチャのために光に露出した側であり得るように、製造プロセスによって上面102上に形成されてもよい。画素アレイ100は、相互接続パッド107、などの様々な相互接続パッドで作製され得る。

【0026】

画素アレイ100は、本明細書では「論理ウエハ」と称される第2のウエハに結合されるように作製され得、第2のウエハは、光受容体の電源電圧ライン又は接続のいずれか、光受容体の様々な制御トランジスタ（さらに後述されるような）、処理回路（例えば、バッファ、時間デジタルカウンタ、画像プロセッサ、フィルタなど）、又は他の構成要素を含み得る。

【0027】

図1Bは、論理（又は制御回路）ウエハ112に接合又は結合された画素アレイ100の斜視図110を示す。画素ウエハ108は、裏面106が最上部に示されるように反転されており、ここで上面102が論理ウエハ112とインタフェース又は接合される。論理ウエハ112はまた、回路又は電気的接続をするように、画素アレイ100上に製作された相互接続パッド107と一致及び/又は接合する相互接続パッドを用いて製造される。

【0028】

図1Cは、図1A～1Bに示されるような画像センサを形成しているデュアルウエハプロセスにおいて使用され得る回路120及び回路140の第1及び第2の回路図を示す。第2の回路140は、その内容全体が参照により本明細書に含まれる米国特許出願第15/879,350号の開示に基づく。回路120及び140では、光受容体は、それぞれの画素ウエハ、122及び142上に実装されたSPAD、124及び144であり、これらは図示の制御トランジスタ及び電圧源を含む論理ウエハに結合又は接合されている。

【0029】

第1の回路120において、高電圧 V_{DDH} 134a、アノード電源電圧 V_{SPAD} 134b、及びゼロ電圧源134c等の様々な電源電圧が存在し得る。SPAD124は、画素ウエハ122と論理ウエハとの間の相互接続パッド123aを介して、及び相互接続パッド123bを介して、アノード電源電圧 V_{SPAD} 134bに電気的に連結される。

【0030】

本明細書において「論理回路」又は「制御回路」とも称される論理及び/又は制御回路は、少なくとも3つのトランジスタ：電圧 V_Q を印加するpMOSクエンチングトランジスタ126、電圧 V_{FRCH} を印加するpMOS高速再充電トランジスタ128、及び電圧 V_{GATE} を印加するpMOSゲートトランジスタ、を含む。pMOSクエンチングトランジスタ126により、光子誘起アパランシェ電流の検出後に、SPAD124のバイアスをブレークダウン未満に減らすことが可能となる。pMOS高速再充電トランジスタ128は

、SPAD124内の電荷キャリアの急速な復元を可能にするようにゲートされ得る。pMOSゲートトランジスタ130は、SPAD124からの出力シグナリングを制御することができる。出力信号は、レベルダウンスフタ（高電圧トランジスタ（単数又は複数）を有し得る）132a及びインバータ（場合によっては低電圧トランジスタ（単数又は複数）を有する）132bを介して送信され、そのいずれかはまた、出力接続リンク134dを介して後続の処理回路に増幅を提供し得る。当業者であれば、SPAD光受容体の第1の回路120の代替又は変形が可能であることを認識するであろう。

【0031】

第2の回路140は、そのような1つの変形を示す。第2の回路140では、SPAD144が画素ウエハ142に含まれている。第2の回路140は、第1の電源電圧152a及び第2の電源電圧152bを有する。画素ウエハ142は、相互接続パッド141a、141bを介して別個の論理ウエハ内の論理回路及び制御回路に、及びSPAD144のアノードに接続された第2の電源電圧152bに、電氣的に接続され得る。第2の回路140は、電圧信号 V_{RCH} を印加するpMOS再充電トランジスタ148と、電圧信号 V_{QCH} を印加するpMOSクエンチングトランジスタ146と、電圧信号 V_{GATE} によって制御されるpMOS選択トランジスタ150a及びnMOSゲートトランジスタ150bの組み合わせと、を含む。nMOSゲートトランジスタ150bのソースは、回路グラウンドに接続されている。

10

【0032】

図1Dは、画素ウエハ170が制御回路ウエハ112に接合又は結合され得る方法の一例の組み合わせ断面図及び回路図を示す。画素ウエハ170は、絶縁壁168などの絶縁壁によって分離されたSPAD画素162などのSPAD画素のアレイ100を含む。SPAD画素162は、アノード166及びカソード164を含む。画素ウエハ170はまた、制御回路ウエハ112へのビア174などのビア及び相互接続リンクを含む接合層172を含むことができる。画素ウエハ170は、インタフェース171に沿って制御回路ウエハ112と接合又は結合され得る。画素ウエハ170と制御回路ウエハ112との間の電氣的接続は、相互接続パッド123a及び123bなどの相互接続パッドで提供されることができる。図示されるように、画素ウエハ170の上面は、図1A～1Bに関連して上述した裏面106であり得、ここで光感知又は画像キャプチャのために光に曝露される表面となっている。

20

30

【0033】

制御回路ウエハ112は、1つ以上の電圧レベルを画素ウエハ170に提供することができ、また場合によっては上記の回路120及び140などのクエンチ/再充電回路182にも提供することができる電圧源180を含むことができる。

【0034】

図1Eは、画素ウエハ170内のSPAD画素162のSPADなどのSPAD190の様々な詳細の断面図を示す。SPAD190は、p型アノード192及びn型カソード194が作製されたp型ボディ191を含む。p型アノード192とn型カソード194との接合部には、アバランシェ領域193が存在し得る。SPAD画素162は、絶縁壁168によって画素ウエハ170の隣接するSPADから電氣的に遮蔽され得る。

40

【0035】

SPAD画素162は、p型本体191がドーピング勾配を有するようにドーブされ得、このドーピング勾配では、ドーパントの濃度は、勾配インジケータ196aによって示されるように、表面102から集光裏面106まで垂直方向と、勾配インジケータ196bによって示されるように、p型本体の中心から絶縁壁168まで横方向との両方向に増加する。SPAD画素162のドーピング勾配は、米国特許出願第15/713,477号、現在は米国特許第10,438,987号の開示に記載されるドーピング勾配に基づくことができ、その内容は参照によりその全体が本明細書に含まれる。

【0036】

ドーピング勾配により、光子誘起電荷キャリアを、n型カソード194とp型アノード

50

192との接合部へ誘導することが可能となり得る。例えば、中央到達光子198aは、次いで垂直勾配によって接合部へと誘導される電荷キャリア199a（この場合、電子）を生成することができる。あるいは、側壁付近のSPAD画素162に入射する光子198bは、横方向ドーピング勾配によって中心に向かって誘導され得る電荷キャリア199bを生成することができ、したがって、接合部でアバランシェ電流を誘導する可能性がより大きくなり得る。

【0037】

実施形態のファミリーの概要及び背景

【0038】

以下に説明するのは、制御回路及び画素ウエハ、光受容体画素及びそれらに含まれるSPAD、並びに画像センサの一部を形成し得る他の構成要素の回路、構成、及びレイアウトの実施形態の少なくとも4つのファミリーである。この分類は限定的又は制限的であるとして解釈されるべきではないことを理解されたい。実施形態の様々な特徴、構成要素、及び構成は、2つ以上のファミリーで生じ得る。更に、これらのファミリーの実施形態に記載される特徴、構成要素、及び構成は、更に別の実施形態で組み合わせられてもよい。

10

【0039】

第1の実施形態について記載された特定の特徴、構成要素、及び下位構成要素の記載は、第2の実施形態の類似の特徴、構成要素、及び下位構成要素に関して参照されるか、又は適用されるものとして記載され得るが、第2の実施形態のそれらの類似の特徴、構成要素、及び下位構成要素は、それらの記載の範囲と一致する変形で実施され得ることを理解されたい。

20

【0040】

これらの実施形態では、二重レベルの電源電圧：高レベルの電源電圧 V_{DDH} 、及び低レベルの電源電圧 V_{DDL} が存在し得る。更に、実施形態は、SPAD電圧源及びグランド供給を有し得る。記載されたいくつかの実施形態では、特定の制御トランジスタ、例えばゲートトランジスタを画素アレイ上に配置することができる。いくつかの実施形態では、これらは、高電圧源で作動する必要がある制御トランジスタであってもよい。

【0041】

画素の様々な構成要素は、イオン注入、エッチング及び蒸着、又は他の製造技術などの様々な製造技術のいずれかによって形成されてもよい。様々な構成要素は、半導体ウエハ、例えば、p型基板又はn型基板に形成又は製造されてもよい。

30

【0042】

第1のファミリー：SPAD画素セル内の2つのトランジスタ

【0043】

実施形態の第1のファミリーは、光又は画像センサ、並びに論理又は制御回路ウエハに接合又は結合された画素ウエハ上に形成された画素のアレイを含む、それらの内部構成要素及び特徴を対象とする。画素は、光検出器としてSPADを含むことができる。実施形態の第1のファミリーでは、制御回路のトランジスタのうちの2つが、画素毎に画素ウエハ上に形成されている。画素は、本明細書では、「画素セル」とも称される。

【0044】

40

図2は、画素セル210及び関連する制御及び供給回路の一実施形態の一般化された図200を示す。画素セル210は、画素ウエハ上の画素アレイの部分であってもよい。画素セル210は、一般に、SPAD、ゲートトランジスタ、クエンチングトランジスタなどの高電圧回路素子を含んでいる。画素セル210は、上述したように、別個の制御ウエハ上に配置され得る外部回路構成要素との電氣的接続を提供する、相互接続パッド212a~212dを有する。相互接続パッド212a~212dは、銅であり得、論理ウエハ上の一致する銅の相互接続パッドと接合され得る。

【0045】

対照的に、低電圧回路セグメント224は、クエンチングトランジスタ、バッファ/インバータなどの低電圧素子を含んでいる。一般に、低電圧回路セグメント224は、画素

50

セル 210 の外部の回路を含み、 V_{DDL} ソース 202 から電圧を引き出すことができる。出力信号は、接続 208 を介して、信号調整及び画像処理構成要素などの更なる構成要素に送信されてもよい。

【0046】

図 3A は、画素セル 210 の構成要素の第 1 の構成を提供する画素セル 300 の平面図を示す。図示された画素セル 300 の表面は、図 1A の表面 102 に対応することができ、画素セル 300 の集光面は、画素セル 300 の図示された表面とは反対側にある。画素セル 300 は、画素セル 300 を画素ウエハ内の他の画素セルから分離した絶縁層 302 でリングされた長方形のウェルで構成されている。絶縁層は、二酸化ケイ素であり得る。画素セル 300 は、絶縁層 302 に内部的に隣接するアノード層 304 を有している。アノード層 304 は、p 型であり得、相互接続パッド 212d に電氣的に接続され得る。

10

【0047】

画素セル 300 は、アノード層 304 の内部に浅いトレンチ分離 (STI) 層 306 を備え、少なくとも 3 つの領域：分離されたウェル内にある、第 1 のトランジスタ領域 315a、中央の SPAD 領域 315b、及び第 2 のトランジスタ領域 315c、を形成しているように構成されている。示された実施形態の特定のバージョンでは、第 1 のトランジスタ領域 315a は、中央 SPAD 領域 315b の第 1 の側に配置されており、第 2 のトランジスタ領域 315c は、第 1 の側とは反対側の中央 SPAD 領域 315b の第 2 の側に配置されている。示された実施形態の特定のバージョンでは、STI 層 306 は、第 1 のトランジスタ領域 315a、中央 SPAD 領域 315b、及び第 2 のトランジスタ領域 315c の周りに周囲リングを形成している。本実施形態の他の変形例は、3 つの領域の代替的な配置を有し得る。

20

【0048】

この構成の SPAD 214 は、以下に更に図示及び記載されるように、(図示の配向に対して) p 型アノード層の上に配置された n 型カソード層 320 として実装され得る。SPAD 214 は、n 型カソード層 320 に接続されたカソード電極 322 を有し得る。カソード電極は、n 型カソード層の一部又は全部の上に延在していることができる。カソード電極 322 は、金属又は他のトレースであり得る相互接続線 324 と電氣的に接続され得る。

【0049】

(図 2 の画素セル 210 の一部であり得る) pMOS HV クエンチングトランジスタは、第 1 のトランジスタ領域 315a 内に位置し得る。pMOS HV クエンチングトランジスタ 216 は、n 型半導体ウェル (NW) 310a 内に位置し得る。NW 310a は、NW 接続線 310c にリンクされた、NW バイアス区分 310b を有し得る。バイアス電圧は、NW 接続線 310c に印加することができる。いくつかの変形例では、バイアス電圧は 0.8 V であり得、他のバイアス電圧を使用することもできる。pMOS HV クエンチングトランジスタ 216 のソースは、上述のように、相互接続パッド 212a に接続されている。pMOS HV クエンチングトランジスタ 216 のドレインは、相互接続線 324 と連結されて、画素セル 210 内にノード 220 を形成している。pMOS HV クエンチングトランジスタ 216 のゲート 217 は、上述のように、相互接続パッド 212b と連結されている。

30

40

【0050】

nMOS ゲートトランジスタ 218 は、第 2 のトランジスタ領域 315c 内に位置し得る。nMOS ゲートトランジスタ 218 は、p 型半導体ウェル (PW) 344 内に位置し得る。PW 344 は、PW バイアス電圧が印加され得る PW 接続リンク 346b と連結された PW バイアス区分 346a を有することができる。いくつかの変形例では、PW バイアス印加電圧は $V_{DDL} \sim V_{DDH}$ であり得る。次いで、PW 344 は、深い n 型半導体ウェル (DNW) 340 内に位置する。DNW 340 は、DNW 接続線 342b に連結された DNW バイアス区分 342a を有し得る。バイアス電圧は、NW 接続線 310c に印加することができる。いくつかの変形例では、バイアス電圧は 0.8 V であり得、他のバイア

50

ス電圧を使用することもできる。上記のように、 $nMOS$ ゲートトランジスタ218のソースは、電圧供給リンク222に沿って電源電圧 $V_{DDL} \sim V_{DDH}$ に接続されている。 $nMOS$ ゲートトランジスタ218のドレインは、相互接続線324と連結されて、ノード220を形成している。 $nMOS$ ゲートトランジスタ218のゲート219は、上述したように、相互接続パッド212cと連結されている。

【0051】

相互接続パッド212a～212dは、図示の上面の平面内ではなく、画素セル300の表面の上方に（すなわち、ページの外に）位置付けられ得る。相互接続パッド212a～212dのそのような構成又は位置決めは、図1Dに基づくことができる。このような構成、又は同様の構成により、画素セル300を収容するウエハは、図2に示す外部回路構成要素（例えば、高電圧回路セグメント224）を含む制御ウエハに接合されることが可能となる。

10

【0052】

図3Bは、図3Aの水平切断線A-A'に沿った水平（「X軸」）断面図350を示す。断面図350の左縁部及び右縁部は、絶縁層302及びアノード層304が、イメージングで受光される裏面106まで延在し得ることを示しているが、これは必須ではない。断面図350は、画素セル300がp型基板354（P-EPI）を含み、その中にpMOSHVクエンチングトランジスタ216が形成されていることを示す。STI層306は、裏面106まで延在していることなく形成され得るが、pMOSHVクエンチングトランジスタ216を電氣的に絶縁するのに十分に延在してもよく、NW310aよりも深く延在してもよいが、これは必須ではない。NW310aは、STI層306に接触するように延在し得るか、又は、NW310aとSTI層306との間のp型基板354の延長部を含む間隙が存在し得る。断面図350に示される実施形態の特定のバージョンでは、NWバイアス区分310bは、ドレイン352a及びpMOSHVクエンチングトランジスタ216のソース352bから離れて配置されている。

20

【0053】

図3Cは、図3Aの水平切断線B-B'に沿った画素セル300の水平（「X軸」）断面図360を示す。絶縁層302のアノード層304及びSTI層306は、図3Bに関して説明したとおりであり得る。この実施形態の画素セル300は、p型アノード層362の上方に配置されたn型カソード層320を有する。STI層306は、p型アノード層362よりも深く延在し得るが、これは必須ではない。p型基板354は、図1Eに関してなされた説明に基づき得るドーピング勾配輪郭レベル364a及び364bと共に示されている。n型カソード層320は、上述のように、ノード220に電氣的接続を提供するカソード電極322を有する。

30

【0054】

図3Dは、図3Aの水平切断線C-C'に沿った画素セル300の水平（「X軸」）断面図370を示す。絶縁層302、アノード層304及びSTI層306は、図3Bに関して説明したとおりであり得る。PW344は、DNW340に含まれていることが示されている。PWバイアス区分346aは、DNWバイアス区分342aの位置と対向するnMOSゲートトランジスタ218の側のPW344内に配置されているが、これは必須ではない。上記のように、nMOSゲートトランジスタ218のドレイン343a及びソース343bを通る導通は、ゲート219に印加される電圧信号によって制御される。

40

【0055】

図3Eは、図3Aの垂直切断線D-D'に沿った画素セル300の垂直（「y軸」）断面図380を示す。断面図380は、勾配レベル線386a及び386bによって示されるp型基板354内のドーピング勾配が、pMOSHVクエンチングトランジスタ216及びnMOSゲートトランジスタ218の下に延在し得ることを示す。このようなドーピング勾配により、画素セル300の裏面の中心で受容した光子によって誘起される光子誘起電荷キャリア388aは、偏向することなくp型アノード層362とn型カソード層320との境界面のアバランシェ接合領域に向かって導かれ得る。しかし、画素セル300

50

の裏面の縁部に向かって受容される光子は、ドーピング勾配により、アバランシェ接合領域に向かって偏向され得る。

【 0 0 5 6 】

図 4 A は、2 つの制御トランジスタが画素ウエハの各画素セルに含まれ得る、第 2 の実施形態の平面図を示す。画素セル 4 0 0 は、図 2 に関して説明した回路を実装することができる。画素セル 4 0 0 は、図 3 に関連して説明及び示された、p M O S H V クエンチングトランジスタ 2 1 6 及び n M O S ゲートトランジスタ 2 1 8 のレイアウト又は構成を実装する。図 3 A ~ 3 E に記載されている実施形態とは異なり、画素セル 4 0 0 は、構成要素のための分離された領域を形成している浅いトレンチ分離を使用しない。その代わりに、画素セル 4 0 0 は、アバランシェ接合部を形成している n 型カソード層と p 型アノード層の両方が画素セル 4 0 0 の表面の下に少なくとも部分的に形成される S P A D を実装する。

10

【 0 0 5 7 】

図 4 A は、図 3 A ~ 3 E に関連して上述したように、周囲の絶縁層 3 0 2 及びアノード層 3 0 4 を有する長方形ウェルとして形成された画素セル 4 0 0 を示す。アノード層 3 0 4 は、前述のように、相互接続パッド 2 1 2 d を介してバイアス電圧ソース V_{SPAD} に電気的に接続され得る。画素セル 4 0 0 の構成要素は、図 4 B ~ 4 C により詳細に示されるように、p 型基板 4 0 2 内又は上に形成され得る。p 型基板 4 0 2 内で、ノード 2 2 0 への電気的接続としてカソード電極 4 2 0 を有する n 型ウェル (N W) 4 0 4 内に形成され得る。

20

【 0 0 5 8 】

図 4 A に示す構成では、p M O S H V クエンチングトランジスタ 2 1 6 は、内部 N W 4 0 8 内に配置され得、それ自体は深い p 型ウェル (D P W) 4 0 6 内に配置されている。D P W には、D P W バイアス区分 4 1 2 にバイアス電源電圧が設けられてもよく、内部 N W 4 0 8 は、N W バイアス区分 4 1 1 b に設けられた N W バイアス電圧 4 1 1 a と連結されてもよい。図 3 A ~ 3 E の実施形態について説明したように、p M O S H V クエンチングトランジスタ 2 1 6 は、相互接続パッド 2 1 2 a に接続されたソースと、相互接続パッド 2 1 2 b に接続されたそのゲート 2 1 7 と、ノード 2 2 0 に接続されたそのドレインとを有することができる。

【 0 0 5 9 】

30

n M O S ゲートトランジスタ 2 1 8 は、P W バイアス電圧 4 1 9 b によってバイアス区分 4 1 9 a に供給され得る P W 4 1 4 内に配置されてもよい。n M O S ゲートトランジスタ 2 1 8 は、図 3 A ~ 3 E の実施形態について説明したように接続されたドレイン及びソースと、相互接続パッド 2 1 2 c に接続されたそのゲート 2 1 9 とを有することができる。p M O S H V クエンチングトランジスタ 2 1 6 は、そのソース / ゲート / ドレイン軸が、n M O S ゲートトランジスタ 2 1 8 のソース / ゲート / ドレイン軸に直角となって示されているが、これは必須ではない。

【 0 0 6 0 】

図 4 B は、n M O S ゲートトランジスタ 2 1 8 を通る、図 4 A の切断線 B - B ' に沿った画素セル 4 0 0 の水平断面 (「 X 軸」) 図 4 3 0 を示す。図 4 3 0 は、画素セル 4 0 0 の S P A D のカソードを形成している n 型カソード層 4 0 4 内の P W 4 1 4 の配置を示す。p 型アノード層 4 3 2 は、p 型基板 4 0 2 内で n 型カソード層 4 0 4 の下に埋設層として配置されている。n M O S ゲートトランジスタは、ゲート 2 1 9 に関して示されるように、P W 4 1 4 内に配置されたそのドレイン 4 1 8 a と、ソース 4 1 8 b とを有する。

40

【 0 0 6 1 】

図 4 C は、図 4 A に示される二重及びシフトされた切断線 A - A ' 及び C - C ' に沿った、シフトされた (「ジグザグ」) 垂直断面図 (「 y 軸」) 4 4 0 を示す。図 4 C は、n 型カソード層 4 0 4 が、p M O S H V クエンチングトランジスタ 2 1 6 及び n M O S ゲートトランジスタ 2 1 8 の下の埋設層として延在してもよく、また、それぞれ、p M O S H V クエンチングトランジスタ 2 1 6 及び n M O S ゲートトランジスタ 2 1 8 の絶縁を提

50

供するDPW416及びPW414から離れて画素セル400の表面に延在し得ることを示す。前述したように、p型基板402は、光子誘導電荷キャリアを画素セル400の中心に導くように動作し得るドーピング勾配輪郭線444a及び444bによって示されるような、ドーピング勾配を有し得る。

【0062】

図5Aは、特定の詳細部を有するが、図2の回路図200と概念的に類似している回路図500を示す。回路図500では、図3のnMOSゲートトランジスタ218の代わりに、pMOSゲートトランジスタ518が使用されている。図5Aに示される他の構成要素は、図2及び3に関連して説明されたとおりである。

【0063】

図5Bは、2つの制御トランジスタが画素ウエハの各画素に含まれ得る第3の実施形態の構成の平面図を示す。画素510は、図3A～3Eに関連して説明される画素セル300と類似している。具体的には、画素510は、STI層306を使用して、図5Aに示す構成要素の分離領域を形成している。領域512は、画素セル300について説明したとおりであり得る。画素510は、画素セル300のnMOSゲートトランジスタ218の代わりにpMOSゲートトランジスタ518が存在するという点で、画素セル300とは異なる。pMOSゲートトランジスタ518は、図示のように、相互接続パッド212cに接続されたゲート519を有する、NW516内に形成される。NW516は、NWバイアス電圧514bが印加されるバイアス区分514aを有し得る。図5Bの水平切断線C-C'に沿って、断面図は、図3Bに示される断面図と類似しており、同様の対応する記載を含んでいる。

【0064】

図6Aは、SPAD614及び2つの制御トランジスタ、並びに関連する供給及び制御回路要素を含むSPAD画素セルを示す回路図600である。これは、SPAD光検出器のアレイを有する画素ウエハは、そうでなければ画素ウエハが接合又は結合される論理ウエハ上に配置され得る、2つの制御トランジスタを含むことができる、第4の実施形態を示す。図6Aの実施形態は、各画素セル602内に2つのnMOSトランジスタを含み、そのため、バイアスは、前述の実施形態とは異なる方式で実装され得る。

【0065】

画素セル602の外部にある関連する供給及び制御回路要素は、そのソースが回路グラウンド606に接続されており、そのドレインが画素セル602の相互接続パッド612dにリンクされたnMOSクエンチングトランジスタ604を含み得る。nMOSクエンチングトランジスタ604は、ゲート605に印加された電圧信号 V_{BN} などのゲート605で受信された信号によって制御される。画素セル602の出力は、nMOSクエンチングトランジスタ604のドレインで受信され、バッファ608によって送信され、バッファ608はまた、出力ライン609上に信号の増幅も与え得る。

【0066】

画素セル602は、少なくともSPAD614、nMOSバイアストランジスタ616、及びnMOSゲートトランジスタ618を含む。nMOSバイアストランジスタ616は、光子検出のためにSPAD614を逆バイアス状態にするように動作することができる。nMOSゲートトランジスタ618のドレインは V_{DDH} でバイアスされ、そのゲートは、相互接続パッド612bを介してゲート信号を受信するように連結されている。SPAD614のカソードは、相互接続パッド612aを介して電源電圧 V_{SPAD} に接続することができる、この電源電圧 V_{SPAD} は、この実施形態のいくつかの実装では、 $V_{SPAD} = V_{BD} + V_{DDH}$ であり得、 V_{BD} はSPAD614のブレークダウン電圧である。

【0067】

図6Bは、画素セル602内の回路図600の回路構成要素のレイアウト又は構成の平面図610を示す。先の実施形態について説明したように、画素セル602は、内部がアノード層304となっている長方形の絶縁層302内に収容され得る。画素セル602内の構成要素は、p型基板622上に実装され得る。n型カソード層624は、以下に示す

10

20

30

40

50

ように、 n MOSバイアストランジスタ616及び n MOSゲートトランジスタ618の下に延在しているように埋設層内に存在することができ、大きなアバランシェ接合領域を提供する。 n 型カソード層はまた、以下に示すように、上面まで延在していることができ、相互接続パッド612aに接続されたカソード電極620を有する。

【0068】

n MOSバイアストランジスタ616及び n MOSゲートトランジスタ618は、それぞれ、PW613及び617内に形成されている。PW613及び617は、簡略化のために示されていないが、バイアス区分419aに類似したバイアス区分を有することができ、バイアス区分419aにおいてそれぞれのバイアス電圧が印加され得る。 n MOSバイアストランジスタ616及び n MOSゲートトランジスタ618は、ドレイン/ゲート/ソース軸が直交するように配置されているが、この実施形態の他の変形例では、 n MOSバイアストランジスタ616及び n MOSゲートトランジスタ618は、画素セル602内では異なって配置されてもよい。 n MOSバイアストランジスタ616のゲート615は、相互接続パッド612cと連結され、 n MOSゲートトランジスタ618のゲート619は、相互接続パッド612bと連結されている。

【0069】

図6Cは、図6Bに示す切断線B-B'に沿った水平断面図630を示す。 n MOSゲートトランジスタ618は、PW617内に形成されている。PW617自体は、 n 型カソード層624内に形成され、これは、PW617の下及びそれを超えて延在し得る。 p -アノード層632は、 n 型カソード層624の下に形成されて、 p -アノード層632と n 型カソード層624との接合部における大きなアバランシェ領域を可能にする。 p 型基板622は、前述したように、ドーピング勾配で実装され得る。図6Cもまた、図6Bの切断線A-A'に沿った垂直断面図を示しているため、説明は繰り返さない。

【0070】

図7Aは、画素ウエハの各画素セルに2つの制御トランジスタが含まれた、第5の実施形態の画素セル700の構成の平面図を示す。この構成は、図6Aの画素セル602に関連して説明された回路素子に基づくものである。この違いは、ここでは、画素セル700は n 型基板上に形成され、制御トランジスタは、 n MOSであり、それぞれの深い n -ウェル(DNWs)に形成されていることである。

【0071】

先の実施形態について説明したように、画素セル700は、長方形の絶縁層302内に収容され得る。しかしながら、ここでは、絶縁層302に内部で隣接する n 型カソード層705が存在する。この実施形態では、 n 型カソード層705は、相互接続パッド612aを介してカソード電圧 V_{SPAD} にバイアスがかかるカソードに連結されている。 V_{SPAD} は、 $V_{SPAD} = V_{BD} + V_{DDH}$ 、 V_{BD} についてはブレークダウン電圧として設定され得るが、これは必須ではない。

【0072】

画素セル700は、以下に更に示すように、 n MOSバイアストランジスタ616及び n MOSゲートトランジスタ618の下に延在し、 n 型基板に形成された n 型カソード層の上方に配置された p 型アノード層704を含むことができる。 p 型アノード層704はアノード電極720と接続する。

【0073】

n MOSゲートトランジスタ618は、相互接続パッド612bを介して画素セル700の外部の制御回路に連結されたゲート716に印加される信号によって制御される。 n MOSゲートトランジスタ618は、PW714内に配置されている。PW714は、バイアス電圧が印加されるバイアス区分719を有してもよい。PW714は、DNW712内に形成され、これは、DNWバイアス電圧が印加されるバイアス区分717を有し得る。ゲート716は、相互接続パッド612bに接続し、そこから外部信号を受信する。 n MOSゲートトランジスタ618のソースは、 V_{DDH} であり得る V_{DDH} ソースに接続することができる。

10

20

30

40

50

【 0 0 7 4 】

n M O S バイアストランジスタ 6 1 6 は、n M O S ゲートトランジスタ 6 1 8 と同様に構成又は形成されてもよい。n M O S バイアストランジスタ 6 1 6 は、D N W 7 0 6 内に形成され得る P W 7 0 8 内に形成されてもよい。P W 7 0 8 及び D N W 7 0 6 は、上述のようにそれぞれのバイアス区分で実装され得るが、簡潔にするために図示されていない。n M O S バイアストランジスタ 6 1 6 のゲート 7 1 0 は、相互接続パッド 6 1 2 c に連結され、相互接続パッド 6 1 2 c を介して外部信号を受信することができる。n M O S バイアストランジスタ 6 1 6 のドレインは、一般に、n M O S ゲートトランジスタ 6 1 8 のドレインと共に相互接続パッド 6 1 2 d を介して、外部回路構成要素に連結されている。

【 0 0 7 5 】

図 7 B は、図 7 A の切断線 A - A ' に沿った水平断面図 7 3 0 を示す。n M O S ゲートトランジスタ 6 1 8 は、P W 7 1 4 の断面図に示されており、これは次に D N W 7 1 2 内にある。D N W 7 1 2 の下に延在している p - アノード層 7 3 2 の一部が存在し、これはまた、画素セル 7 0 0 の上面に延在している延長部 7 0 4 を有し得る。n 型カソード層 7 3 4 は、p - アノード層 7 3 2 の全て又は大部分の下に形成されて、n 型カソード層 7 3 4 及び p - アノード層 7 3 2 によって形成されるアバランシェ領域のサイズを増大させることができる。n 型カソード層 7 3 4 の下の n 型基板 7 0 2 の領域は、ドーピング勾配輪郭レベル 7 3 8 a 及び 7 3 8 b によって示されるように、ドーピング勾配で形成され得る。

【 0 0 7 6 】

図 7 A ~ 7 B に関連して説明された第 5 の実施形態と同様に、図 6 A ~ 6 C に関連して説明される第 4 の実施形態を実装するが、半導体の原子価タイプ (n 型及び p 型) が基板に対して反転されており、S P A D のアノード及びカソードに関しては、当業者であれば、他の前述の実施形態を同様に逆の半導体タイプで実装する方法を理解するであろう。同様に、以下の実施形態のそれぞれに関して、同様に反転された半導体タイプを有する類似の対応する実施形態が存在することが理解されるであろう。

【 0 0 7 7 】

第 2 のファミリー : S P A D 画素セル内の少なくとも 3 つのトランジスタ

【 0 0 7 8 】

このセクションの以下の実施形態では、S P A D 画素のアレイを含む画素ウエハが、各画素セル内に 3 つの制御トランジスタを含み得る回路及び構成を説明する。そのような制御トランジスタは、他の実装形態では、画素ウエハが接合される論理ウエハ上に配置され得る。画素ウエハ上に 3 つの制御トランジスタを含むことにより、論理ウエハ上の回路構成要素により多くのスペースを提供することができる。これらの実施形態で説明される回路及び構成は、各 S P A D 内で大きなアバランシェ領域を維持することができる。以下の実施形態の特徴、構成要素、及び下位構成要素の多くは、前述の実施形態の特徴、構成要素、及び下位構成要素と類似又は類似し得るため、そのような特徴、構成要素、及び下位構成要素は、同じ詳細には記載されない。当業者であれば、有用であるか又は必要であり得るような、可能な変形及び適応を認識するであろう。

【 0 0 7 9 】

図 8 A は、画素セル 8 0 2 内に 3 つのトランジスタが存在する第 6 の実施形態の回路図 8 0 0 である。画素セル 8 0 2 及び S P A D 8 1 0 は、そのアノードで、電圧ソース V_{SPAD} への相互接続パッド 8 1 2 e に接続されている。S P A D 8 1 0 のカソードは、高電圧クエンチングトランジスタである、第 1 の内部 p M O S トランジスタ 8 1 4 のドレインに接続されており。そのゲート 8 1 5 は、制御信号が受信され得る相互接続パッド 8 1 2 b に接続されている。第 1 の内部 p M O S トランジスタ 8 1 4 のソースは、相互接続パッド 8 1 2 a に接続されており。それを介して電源電圧 V_{DDL805} が受信される。外部 p M O S トランジスタ 8 0 4 は、低電圧クエンチングトランジスタである。外部制御回路は、相互接続 8 0 8 上の S P A D の出力信号を論理又は制御ウエハの更なる構成要素に適用する反転バッファ 8 0 6 を含むことができる。

【 0 0 8 0 】

画素セル 802 は、pMOS 再充電トランジスタ 818 を含んでおり、そのゲート 817 は相互接続パッド 812c に接続されており。それを介して更なる制御信号が印加され得る。pMOS 再充電トランジスタ 818 は、 V_{DDH} レベルの電源電圧によってそのソースに供給される。これらの実施形態では、提供される 2 つの高電圧： V_{DDL} 及び V_{DDH} 、並びにそのオフセット及びアノード電圧 V_{SPAD} が存在する。pMOS 再充電トランジスタ 818 のドレインは、相互接続パッド 812d に接続されたゲート 821 を有する nMOS ゲートトランジスタ 820 のドレインと直列に接続されており。相互接続パッド 812d を介してゲート信号（例えば、「オン/オフ」信号）は、外部制御回路から受信され得る。pMOS 再充電トランジスタ 818 及び nMOS ゲートトランジスタ 820 のドレインを接続しているノードは、SPAD 810 のカソードに接続する。nMOS ゲートトランジスタ 820 のソースは、低くした電源電圧 822 に接続されており、この電圧は $V_{DDL} \sim V_{DDH}$ の値、又は別の値を有し得る。

10

【0081】

図 8B は、図 8A の画素セル 802 の特定素子の構成の平面図 830 を示す。画素セル 802 は、前述のように、その内部では境界アノード層 304 である絶縁層 302 によって囲われている。画素セル 802 は、それぞれ p 型及び n 型であり得る半導体基板 832 内に形成された n 型カソード層 834 を有する。カソード電極 824 は、n 型カソード層 834 の表面に形成され得る。正方形として示されているが、カソード電極 824 は、多かれ少なかれカソード電極 824 の上に延在してもよい。

【0082】

20

第 1 の内部 pMOS トランジスタ 814 及び pMOS 再充電トランジスタ 818 の両方は、それぞれの NW 838a 及び 838b 内に形成され、これは次に、それぞれの深い p-ウェル (DPWs) 836a 及び 836b 内に形成されている。第 1 の内部 pMOS トランジスタ 814 及び pMOS 再充電トランジスタ 818 は、それらのソース/ゲート/ドレイン軸と並列に配置されているが、他の配置及び構成が使用されてもよい。nMOS ゲートトランジスタ 820 は、PW 823 内に形成されている。

【0083】

図 8C は、切断線 A-A' に沿った、図 8B に関連して説明される構成を有する画素セル 802 の断面図 840 を示す。n 型層 842 は、n 型カソード層の一部であってもよく、SPAD 810 のカソードの一部を形成している。図示のように、SPAD 810 の p 型アノード層 844 は、n 型層 842 の下の半導体基板 832 内に形成されている。n 型層 842 は、図示のように、DNW 836a 及び 836b の下に延在して、n 型層 842 及び p 型アノード層 844 の境界面におけるアバランシェ接合領域を増加させることができる。DNW 836a 及び 836b から離れて、n 型層 842 は、画素セル 802 の上面に近接して延在し得る n 型カソード層 842 に接合する。

30

【0084】

図 8D は、切断線 B-B' に沿って図 8B に関連して説明される構成を有する画素セル 802 の断面図 850 を示す。nMOS ゲートトランジスタ 820 は、n 型カソード層 834 内に順に形成される、PW 823 内に形成されて示されている。p 型アノード層 844 は、n 型カソード層 834 の下に延在している。n 型カソード層 834 及び n 型カソード層 834 の下の p 型アノード層 844 の拡張は、それらの境界面でのアバランシェ接合領域の増加を提供する。

40

【0085】

図 9A は、図 8A ~ 8D に関連して説明された実施形態の第 1 の変形例の平面図 900 を示す。図 9A に示される実施形態は、図 8A に示す回路図 800 を修正して、nMOS ゲートトランジスタ 820 を、ゲート 921 を有する pMOS ゲートトランジスタ 920 に置き換える。回路図 800 の他の構成要素は、説明されたとおりである。平面図 900 は、上記の平面図 830 について説明した通りであるが、ただし、pMOS ゲートトランジスタ 920 は、NW 912 内に形成され、これは次に、DPW 910 内に形成されている。制御トランジスタに pMOS のみを使用することにより、本実施形態のより単純な製

50

造が可能となり得る。図 9 A の切断線 B - B' に沿った断面図は、図 8 C の断面図と類似している。

【0086】

図 9 B ~ 9 E は、図 8 A ~ 8 D に関連して説明された実施形態の第 2 の変形例を示す。この第 2 の変形例では、インバータ 806 の構成トランジスタは、ゲートトランジスタ及び再充電トランジスタと共に、SPAD を含む画素セルの一方の側に配置される。そのような実施形態は、画素セル上に実装されるインバータが高電圧トランジスタを使用するのに対して論理回路ウエハ上に配置されたインバータは低電圧トランジスタで実装され得るため、速度の改善が可能となり、したがって画素セル 802 の出力間の電圧レベルシフトの必要性がなくなる。図 9 B ~ 9 E の実施形態において、画素セルの SPAD は、以下に記載されるように、SPAD 接合部用の大部分が埋められたアノード及びカソードで形成され、トランジスタは画素ウエハのフロント側で形成されている。SPAD のカソードは、フロント側を通して延在し得、例えば、その上のトランジスタへの電氣的接続を行う。

10

【0087】

図 9 B は、画素ウエハの画素セル 932 が、SPAD 934、インバータ 938、pMOS 再充電トランジスタ 936、及び nMOS ゲートトランジスタ 940 を含む構成 930 を示す。画素セル 932 は、電圧供給線 V_{DDL} 931 と、接点 933 を介して供給された電圧 V_{SPAD} とによって供給される。画素セル 932 を含む画素ウエハは、論理回路ウエハ 945 と接合又は結合されてもよい。再充電トランジスタ 936 のゲートは、接点 937 を介して印加される信号によって制御され、ゲートトランジスタ 940 のゲートは、接点 941 を介して印加される信号によって制御される。

20

【0088】

図 9 B はまた、金属 - 金属接続部 939 を介して画素セル 932 に接続され得る論理回路ウエハ 945 の区分を示す。代替的に、論理回路ウエハ 945 は、図 15 C に関連して以下に記載されるように、貫通シリコンビア (TSV) によって、画素セル 932 を含む画素ウエハと接合又は接続され得る。論理回路ウエハ 945 は、画素セル 932 の出力に基づいて標準パルスを生成する 1 ショット 942 を含むことができる。次いで、1 ショットの出力は、ヒストグラムカウンタ 944 によって受信され得る。論理回路ウエハ 945 は、ヒストグラムカウンタのデータを使用して画像情報又は他の情報を生成し得る、マイクロコントローラ、マイクロプロセッサ、信号プロセッサ、メモリ、又は他の構成要素を含むことができる。

30

【0089】

図 9 C は、インバータ 938 を実装するために使用され得る 2 つのトランジスタの構成 950 を示す。上部 pMOS トランジスタ 952 は、そのドレインが下部 nMOS トランジスタ 954 のソースと接続するように積層されている。上部 pMOS トランジスタ 952 のソースは、電圧 V_{DD} によって供給され、下部 nMOS トランジスタ 954 のドレインはグランドに接続されている。入力信号 V_{IN} 951 が、図示された両方のトランジスタのゲートに印加されると、出力信号 V_{OUT} 953 は、入力信号 V_{IN} 951 に対して極性が反転される。画素セル 932 内のインバータ 938 のこの実装を使用すると、2 つの nMOS トランジスタ、ゲートトランジスタ 940 及びインバータ 938 の下部 nMOS トランジスタ、並びに 2 つの pMOS トランジスタ：再充電トランジスタ 936 及びインバータ 938 の上部 pMOS トランジスタが存在する。

40

【0090】

図 9 D は、画素セル 932 のフロント側 (集光裏面の反対側) に実装された、ゲートトランジスタ 940、再充電トランジスタ 936、上部 pMOS トランジスタ 952、及び下部 nMOS トランジスタ 954 の構成 960 を示す。この構成は、図 8 B 及び 9 A に示された構成の変形である。図 8 B 及び 9 A にも示され、図 9 D に示される特徴は、上記のとおりであり得る。pMOS トランジスタ 936 及び 952 は、それぞれ、分離された n 型ウェル (NW) 838a 及び 838b に形成されている。次に、2 つの NW 838a 及び 838b は、深い p 型ウェル (DPW) 836a 及び 836b 内に形成されている。こ

50

の実施形態では、DPWは単一のDPWとして形成され得るが、これは必須ではない。

【0091】

図9Dの構成では、2つのnMOSトランジスタ940及び954は、共通のp型ウェル(PW)955内に形成されている。PW955は、接続パッド956などの1つ以上の場所でグランド(0V)にバイアスされ得る。インバータ938の出力は、金属-金属接続、又は別の種類であり得る接続939を介して論理回路ウエハ945に接続されてもよい。

【0092】

図9Dの示された切断線A-A'に沿った断面図は、図8Cの対応する特徴について示されているとおりであり、説明は繰り返さない。

10

【0093】

図9Eは、図9Dの切断線B-B'に沿った断面図970を示す。図9Eは、SPAD934の接合部を形成しているn型カソード962及びp型アノード964の区分が、インバータ938、pMOS再充電トランジスタ936、及びnMOSゲートトランジスタ940の4つのトランジスタを形成している半導体構造の下に形成されていることを示す。n型カソード962及びp型アノード964は、図1Eに関して上述したように、p型本体966内に形成され得、これはドーピング勾配によって実装され得る。n型カソード962の区分は、カソード電極824(などのフロント側(図9Eの上部に示される)まで延在してもよい。

【0094】

20

第3のファミリー：SPAD画素セル内の単一トランジスタ

【0095】

このファミリーの実施形態では、画素セルは、SPAD及び単一の制御トランジスタで形成されている。これらの実施形態は、対応する画素アレイの製作を容易にすることができる。例えば、実施形態は、関連する制御回路ウエハと接合する相互接続パッドをより少なくすることができる。

【0096】

図10Aは、画素セル1002の画素アレイ区分、及び関連する外部制御回路を有する回路図1000である。画素セル1002は、SPAD1004及びpMOS高電圧(HV)クエンチングトランジスタ1006を含んでいる。前述のように、制御回路は、画素セル1002を含む画素ウエハに接合された別個のウエハ上に配置され得る。制御回路は、そのソースが電圧ソース1014に接続された低電圧クエンチングトランジスタ1010を含み、この電圧ソース1014は、レベル V_{DDL} であり得る。低電圧クエンチングトランジスタ1010のドレインは、相互接続パッド1008aにおいて画素セル1002に接続し、相互接続パッドを介して画素セル1002からの信号が取得される。画素セル1002からの信号は、反転バッファ1012によって調整(例えば、増幅又は緩衝)されて、更なる論理回路に送信され得る V_{OUT} を生成することができる。

30

【0097】

SPAD1004のアノードは、バイアス電圧 V_{SPAD} が印加される相互接続パッド1008cに接続されている。SPAD1004のカソードは、そのゲート1007において相互接続パッド1008bを介して制御信号を受信する、pMOSHVクエンチングトランジスタ1006のドレインに接続している。

40

【0098】

図10Bは、図10Aの回路図を実装する構成における画素セル1002の上面の平面図1020を示す。pMOSHVクエンチングトランジスタ1006は、SPAD1004内のアバランシェ領域を増大できるように、画素セル1002のコーナーに配置されている。画素セル1002は、前述の実施形態に記載されているように、周囲の絶縁層302及びその境界アノード層304で形成され得る。画素セル1002は、p型半導体基板1028内に形成されたn型カソード層1030を含むことができる。n型カソード層1030は、pMOSHVクエンチングトランジスタ1006のドレインに接続された

50

カソード電極 1032 を有することができる。pMOS HVクエンチングトランジスタ 1006 は、浅いトレンチ分離 (STI) ウェル 1024 によって、n型カソード層 1030 から分離され得る。STI ウェル 1024 内で、pMOS HVクエンチングトランジスタ 1006 は、NW 1026 内に形成されている。NW 1026 は、先の実施形態で説明したように、電圧ソースによって供給されるバイアス区分 (簡潔にするために図示されていない) を有し得る。

【0099】

図 10C は、図 10B の切断線 B - B' に沿った画素セル 1002 の断面図 1040 である。pMOS HVクエンチングトランジスタ 1006 は、NW 1026 内に形成され STI 壁 1024a 及び 1024b によって、アノード層 304 から分離され、且つ p アノード領域 1042 の上に形成された n 型カソード層 1030 の区分から分離されている。アノード層 304 は、V_{SPAD} に接続する電極 1044 を有する。

10

【0100】

図 10D は、図 10B の切断線 C - C' に沿った画素セル 1002 の断面図 1050 である。SPAD 1004 の n 型カソード層 1030 及び P アノード領域 1042 は、画素セル 1002 内の大きなエリアにわたって延在していることができ、光検出効率の向上を可能にする。p 型半導体基板 1028 は、図 10E に示すように、ドーピング勾配を有し得る。

【0101】

図 10E は、図 10B の切断線 A - A' に沿った画素セル 1002 の断面図 1060 である。p 型半導体基板 1028 は、ドーピングレベルの輪郭 1062a ~ 1062c によって示されるように、ドーピング勾配を有し、n 型カソード層 1030 と P アノード領域 1042 との接合部に形成されたアバランシェ領域に光誘起電荷キャリアを誘導することができる。

20

【0102】

第 4 のファミリー：画素セルの外部のトランジスタ

【0103】

前述の実施形態のファミリーでは、1 つ以上の制御トランジスタは、画素アレイ内の個々の画素セルを分離し得る絶縁層 302 内など、画素セル内に形成されている。これらの実施形態では、制御トランジスタは、浅いトレンチ分離ウェル内での形成、又は深い n 型若しくは p 型ウェル内での形成、のいずれかによって、画素セルの SPAD から動作的に又は電氣的に分離されている。

30

【0104】

第 4 のファミリーでは、画素セル及びそれらの 1 つ以上のそれぞれの制御トランジスタの両方を含む画素ウエハについて実施形態が記載される。これらの実施形態は、深いトレンチ分離 (DTI) を利用して、画素セルとその関連する制御トランジスタとの間の分離を提供することができる。DTI は、画素領域及び DTI によって分離されたトランジスタ領域への画素ウエハの分離を提供する。DTI を使用して、画素ウエハの上面から、画素ウエハの裏側 (照明される) 側又はその近くまでの垂直壁として、酸化物などの絶縁材料が形成されている。

40

【0105】

図 11 は、画素ウエハ 1100 の一部の平面図を示す。画素ウエハ 1100 は、DTI 壁 1104a などの DTI 壁によって分離された、画素セル 1102 などの画素セルの長方形アレイとして形成されている。画素セル 1102 内には、前述したように、境界アノード層 304 が存在する。アノード層 304 は、電極 1108 を介して相互接続パッド 1008c に接続されており、相互接続パッドを介してバイアス電圧 V_{SPAD} が印加され得る。画素セル 1102 は、SPAD を含み、画素セル 1102 内の SPAD と、単一の関連する pMOS クエンチングトランジスタ 1006 との組み合わせにより、図 10A の画素セル 1002 内の回路が実装される。

【0106】

50

画素セル 1102 内で、SPAD は、p 型アノード層の上に配置された n 型カソード層 1105 として形成されている。n 型カソード層 1105 は、前述のように、カソード電極 1106 から pMOS HV クエンチングトランジスタ 1006 のドレインへ接続することによって、pMOS HV クエンチングトランジスタ 1006 に接続されている。画素セル 1102 の中心を通る垂直断面は、図 10D の断面図 1050 と同様である。

【0107】

pMOS HV クエンチングトランジスタ 1006 は、DTI 壁 1104b によって画素セルのアレイから分離された長方形のトランジスタ内に形成されている。画素ウエハ 1100 に示される構成は、画素セル 1102 と pMOS HV クエンチングトランジスタ 1006 との間のノイズ及び信号分離をより良好にすることができる。

10

【0108】

図 12A は、図 11 の実施形態の変形例を実装する画素アレイ 1200 の区分の平面図を示す。画素ウエハ 1200 は、DTI 壁 1204a などの DTI 壁によって分離された、画素セル 1202 などの画素セルの長方形アレイとして形成されている。画素セル 1202 内には、前述のとおり、境界アノード層 304 が存在する。アノード層 304 は、電極 1208 を介して相互接続パッド 1008c に接続されており、相互接続パッドを介してバイアス電圧 V_{SPAD} が印加され得る。画素セル 1202 は SPAD を含んでいる。SPAD は、画素セル 1202 の上面の近くに配置された n 型カソード層 1205 を有する。カソード電極 1206 は、図 12B に更に詳細に示されるトランジスタ領域 1209 内に位置する制御トランジスタへの接続 1207 を有する。画素セル 1202 内の SPAD とトランジスタ領域 1209 内の単一の制御トランジスタとの組み合わせにより、図 10A の画素セル 1002 内の回路が実装されている。

20

【0109】

DTI 壁 1204b は、トランジスタ領域 1209 を包囲する。DTI 壁 1204b は、画素の長方形アレイを画定する水平軸及び垂直軸に対して対角線に配向されている。トランジスタ領域 1209 のそのような対角線又は菱形形状の構成は、画素セル 1202 内の増大したエリアを提供し得る。

【0110】

図 12B は、画素セル 1202 に関連付けられた pMOS HV クエンチングトランジスタ 1006 を含むトランジスタ領域 1209 の拡大平面図を示す。pMOS HV クエンチングトランジスタ 1006 は、NW 1212 内に形成され、記載のとおり、接続部 1207 に接続されたドレインを有する。

30

【0111】

図 13A は、画素ウエハ 1300 の一部の平面図を示す。画素ウエハ 1300 は、画素セル 1302 などの画素セルの長方形アレイを含んでいる。水平方向に配向されたトランジスタ領域 1306a ~ 1306c は、画素セルの長方形アレイの列と交互になっている。水平 DTI 壁 1304a 及び 1304b などの水平 DTI 壁は、トランジスタ領域 1306a ~ 1306c と画素セルの長方形アレイの列との間に分離を形成している。垂直 DTI 壁 1304c などの垂直 DTI 壁は、画素セルの長方形アレイの各列内の画素セル間の分離を形成している。以下に詳細に示されるように、各画素セルに対して、トランジスタ領域 1306a ~ nMOS 1306c 内は、画素セル内に回路を形成しているように構成されたそれぞれの pMOS 再充電トランジスタ及びゲートトランジスタ用である。

40

【0112】

画素セル 1302 は、n 型カソード層 1305 の下に形成された p - アノード層上に、n 型カソード層 1305 で形成された SPAD を含んでいる。画素セル 1302 は、DTI 壁を境界とする、先に記載したようなアノード層 304 を有する。アノード層 304 は、前述したように、アノード電極 1308 から相互接続パッド 212d に連結されている。画素セル 1302 の中心を通る垂直断面は、図 10D の断面図 1050 と同様である。カソード電極 1310 は、トランジスタ領域 1306a 内の対応する pMOS 再充電トランジスタ及び nMOS ゲートトランジスタへの接続 1312a 及び 1312b を有する。

50

【 0 1 1 3 】

図 1 3 B は、画素ウエハ 1 3 0 0 のトランジスタ区分 1 3 0 6 a の拡大平面図 1 3 2 0 を示す。トランジスタ区分 1 3 0 6 a 内には、n M O S ゲートトランジスタ 2 1 8 と直列に配置されており、図 2 の画素セル 2 1 0 内に配置され得る回路を形成しているように接続された、p M O S H V クエンチングトランジスタ 2 1 6 が存在する。p M O S H V クエンチングトランジスタ 2 1 6 は、D N W 1 3 2 2 内に形成された N W 1 3 2 4 内に形成されている。n M O S ゲートトランジスタ 2 1 8 は、N W 1 3 2 6 内に形成される。

【 0 1 1 4 】

更に、p M O S 再充電トランジスタ及び n M O S ゲートトランジスタは、トランジスタ領域 1 3 0 6 a 内に順次配置されており、画素セルで示される最上列内の他の画素セルと関連付けられる。同様に、更なる p M O S 再充電トランジスタ及び n M O S ゲートトランジスタは、トランジスタ領域 1 3 0 6 a 内に順次配置され得、図 1 3 A に示される画素セルの第 2 の列内の他の画素セルと関連付けられる。

10

【 0 1 1 5 】

図 1 4 A は、画素アレイ 1 4 0 0 の平面図を示す。画素アレイ 1 4 0 0 は、図 1 3 A ~ 1 3 B に関連して説明された実施形態の変形形態として構成される。各画素セルの S P A D がトランジスタ領域内に位置する 3 つの制御トランジスタと接続して、画素セル 8 0 2 内に図 8 A に示す回路を形成しているように適応されている。画素アレイ 1 4 0 0 は、画素セル 1 4 0 2 などの画素セルの長方形アレイを含んでいる。水平方向に配向されたトランジスタ領域 1 4 0 6 a ~ 1 4 0 6 b は、画素セルの長方形アレイの列と交互になっている。水平 D T I 壁 1 4 0 4 a 及び 1 4 0 4 b などの水平 D T I 壁は、トランジスタ領域 1 4 0 6 a ~ 1 4 0 6 b と、画素セルの長方形アレイの列との間の分離を形成している。垂直 D T I 壁 1 4 0 4 c ~ 1 4 0 4 d などの垂直 D T I 壁は、画素セルの長方形アレイの各列内に画素セル間の分離を形成し、画素セルの長方形アレイの列の画素セル間のトランジスタ領域 1 4 0 6 c などのトランジスタ領域を形成している。

20

【 0 1 1 6 】

画素セル 1 4 0 2 は、画素セル 1 4 0 2 を取り囲む D T I 壁に隣接する、上述したようなアノード層を含むことができる。画素セル 1 4 0 2 は、図 1 4 B に詳細に示されるように、カソード電極 1 4 1 0 を介して、トランジスタ領域 1 4 0 6 a 及び 1 4 0 6 c 内に配置された 3 つの制御トランジスタに接続された n 型カソード層 1 4 0 8 を有する S P A D を含んでいる。図示の実施形態では、画素セル 1 4 0 2 に関連付けられた n M O S ゲートトランジスタ 8 2 0 及び p M O S 再充電トランジスタ 8 1 8 は、水平方向に延在しているトランジスタ領域 1 4 0 6 a 内に配置されており、画素セル 1 4 0 2 に関連する内部 p M O S トランジスタ 8 1 4 は、トランジスタ領域 1 4 0 6 c 内に配置されている。

30

【 0 1 1 7 】

図 1 4 B は、画素アレイ 1 4 0 0 の画素セル 1 4 0 2 と、トランジスタ領域 1 4 0 6 a 及び 1 4 0 6 c との拡大平面図 1 4 2 0 を示す。平面図 1 4 2 0 に示される構成及び接続は、図 8 A の画素セル 8 0 2 内の回路を実装する。画素セル 1 4 0 2 の S P A D の n 型カソード層 1 4 0 8 は、接続部 1 4 1 2 a によってカソード電極 1 4 1 0 から、n M O S ゲートトランジスタ 8 2 0 のドレインに接続する。n M O S ゲートトランジスタ 8 2 0 は、D N W 1 4 2 2 に形成された P W 1 4 2 4 内に形成されている。画素セル 1 4 0 2 の S P A D の n 型カソード層 1 4 0 8 は、接続部 1 4 1 2 b によってカソード電極 1 4 1 0 から、p M O S 再充電トランジスタ 8 1 8 のドレインに接続する。p M O S 再充電トランジスタ 8 1 8 は、N W 1 4 2 6 内に形成されている。内部 p M O S トランジスタ 8 1 4 は、N W 1 4 2 8 内のトランジスタ領域 1 4 0 6 c 内に形成され、接続線 1 4 1 2 b によってカソード電極 1 4 1 0 に接続されている。他の態様では、図 1 4 B に示された残りの構成要素の接続は、図 8 A に示す回路図に記載されているとおりである。

40

【 0 1 1 8 】

第 5 のファミリー：別個のウエハ上の制御トランジスタ

【 0 1 1 9 】

50

別の実施形態のセットは、3つの異なるウエハ；画素セルのアレイを含む画素アレイウエハ、制御トランジスタなどのバイアス及び制御回路素子を含み得る制御回路ウエハ、及び処理構成要素を含み得る論理回路ウエハ、を接合することによって形成される光感知及びイメージングデバイスを対象とする。このような処理構成要素としては、フィルタ、ヒストグラムカウンタ、画像若しくは他のデジタルプロセッサ、マイクロプロセッサ、又は更に他の構成要素を挙げることができるが、これらに限定されない。制御回路ウエハは、高電圧ソースから動作し得る画素セル内のSPAD用のゲートトランジスタ又は制御トランジスタなどの回路素子を含むことができる。特定の制御トランジスタを使用して、出力が論理回路ウエハに接続されたインバータ回路を実装することができる。

【0120】

10

図15Aは、SPAD1508に対応する論理回路ウエハ1502と画素アレイウエハ1506との間に配置された制御回路ウエハ1504の特定の構成要素の構成1500の回路図である。ウエハは、n型又はp型のいずれかであり得る、個別の半導体基板内に形成され得る。論理回路ウエハ1502は、電圧信号 V_{BP} によって制御されるゲートを有する、pMOSクエンチングトランジスタ1509を含むことができる。pMOSクエンチングトランジスタ1509は、電源ライン1512a上の低レベル電源電圧 V_{DDL} に接続されたソースを有し得る。pMOSクエンチングトランジスタのドレインは、相互接続パッド1510aを介して制御回路ウエハに接続する。論理回路ウエハ1502は、更なる回路素子を含むことができる。

【0121】

20

画素アレイウエハ1506は、画素セルのアレイを含んでもよく、画素セルのうちの少なくとも一部は、光検出用のSPAD1508などのSPADを含み得る。画素セル1506は、貫通シリコンビア(TSV)1519aにおいて、相互接続パッド1510eを介して、制御回路ウエハ1504に供給される、バイアス電圧源 V_{SPAD} に接続され得る。SPAD1508のアノードは、別のTSV1519bによって制御回路ウエハ1504に接続することができる。SPAD1508のカソードは、TSV1519aにおいて受信されるバイアス電圧源 V_{SPAD} に接続することができる。

【0122】

制御回路ウエハ1504は、画素アレイウエハ1506のそれぞれのSPADの集光又は検出動作を制御する制御トランジスタを含むことができる。図示の実施形態では、制御回路ウエハ1504は、図8Aに示す制御回路を実装する3つの制御トランジスタを含んでいる。相互接続パッド1510cに連結されたゲート1513を有し外部制御回路から入力を受信するpMOS再充電トランジスタ1514と、相互接続パッド1510bに接続されたゲート1517を有するpMOS高電圧クエンチングトランジスタ1518と、相互接続パッド1510dに接続されたゲート1515を有するnMOSゲートトランジスタ1516と、が存在する。これらのトランジスタ及びそれらの相互接続の説明は、図8Aに関する説明と類似しており、ここでは繰り返さない。

30

【0123】

図15Bは、SPAD1508を含む画素セルの構成と、pMOS再充電トランジスタ1514、pMOS高電圧クエンチングトランジスタ1518、及びnMOSゲートトランジスタ1516の構成又はレイアウトと、を示す拡大平面図1520である。nMOSゲートトランジスタ1516は、DNW1526内に形成されたPW1528内に形成されている。pMOS高電圧クエンチングトランジスタ1518は、NW1530内に形成されている。pMOS再充電トランジスタ1514は、NW1532内に形成されている。

40

【0124】

図15Cは、図15Bの切断線A-A'に沿った、画素アレイウエハ1506と接合又は結合された制御回路ウエハ1504の断面図1540である。SPAD1508は、n型カソード層1508aとp-アノード層1508bとの接合部として形成され得る。SPAD1508の画素セルは、前述されたような絶縁層302によって画素アレイウエハ1506の他の画素セルから絶縁され得る。絶縁層302の内部は、前述されたようなアノ

50

ード層 304 であり得る。画素セル内の半導体基板は、p 型であってもよく、ドーピング輪郭線 1507a ~ 1507c によって示されるような、ドーピング勾配を有し得る。

【0125】

画素アレイウエハ 1506 は、中間層 1541 と接合又は結合されて、制御回路ウエハ 1544 に接合又は結合される第 1 の組み合わせ層 1542 を形成していることができる。TSV 1519 は、SPAD 1508 と制御回路ウエハ 1544 の制御トランジスタとの間に電氣的接続を提供し得る。論理回路ウエハ 1502 は、制御回路ウエハ 1544 の上面 1546 に接合又は結合され得る。

【0126】

制御回路ウエハ 1544 内で、pMOS 高電圧クエンチングトランジスタ 1518 は絶縁構造体 1548a 上に配置され得、nMOS ゲートトランジスタ 1516 は絶縁構造体 1548b 上に配置され得る。ノード 1521 は、制御回路ウエハ 1504 の半導体基板に埋設された導体として実装することができる。

10

【0127】

図 16 は、図 15A ~ 15C に関連して説明した実施形態の変形例を示す。図 16 の実施形態は、3 つの接合又は結合されたウエハ：制御トランジスタを有さない SPAD 画素セルのアレイを含む画素ウエハと、高電圧であり得る制御トランジスタを含む中間ウエハと、論理回路ウエハと、を使用する。図 16 の実施形態は、インバータ用のトランジスタが中間ウエハ上に位置している点で、図 15A ~ 15C とは異なる。後述するように、SPAD 画素は、図 15B に関連して開示されるように実装され得、ゲートトランジスタ、再充電トランジスタ及びインバータトランジスタの構成は、図 9D に関連して開示されるように実装され得る。

20

【0128】

図 16 は、論理回路ウエハ 1601、中間ウエハ 1605、及び画素ウエハ 1611 の構成要素の構成 1600 を示す。中間ウエハ 1605 は、画素ウエハ 1611 上に位置する 1 つ以上の SPAD の制御トランジスタを含んでいる。この実施形態では、画素ウエハ 1611 は、SPAD 1612 などの SPAD をそれぞれ含む画素セルのアレイを含んでいる。この実施形態では、中間ウエハ 1605 は、少なくとも再充電トランジスタ 1606、ゲートトランジスタ 1610、及びインバータ 1608 を含んでいる。インバータ 1608 は、図 9C に示すように、積層された pMOS トランジスタ及び nMOS トランジスタとして形成されてもよく、又はトランジスタの別の構成で実装されてもよい。画素ウエハ 1611 は、貫通シリコンビア 1613a 及び 1613b によるか、論理回路ウエハ 1601 を中間ウエハ 1605 に接続する 1603 などの金属-金属接続によるか、又は別の構造によって、中間ウエハ 1605 と接合され得る。論理回路ウエハ 1601 は、少なくとも 1 ショット 1602 を含み、インバータ 1608 から受信した信号に基づいて標準パルスを生成する。標準パルスは、ヒストグラムカウンタ 1604 によって受信される。ヒストグラムカウンタ 1604 に加えて、論理回路ウエハ 1601 は、画像データを生成するように動作し得るマイクロプロセッサ、マイクロコントローラ、シグナルプロセッサ、メモリユニットなどの他の関連する論理回路を含むことができる。

30

【0129】

構成 1600 の実施形態では、画素アレイ 1611 の画素セルのうちの少なくとも一部は、関連する制御トランジスタを含んでいない。この実施形態では、このような画素セルは、図 15B に示され、前述された構造を有し得る。

40

【0130】

構成 1600 の中間ウエハ 1605 では、再充電トランジスタ 1606、ゲートトランジスタ 1610、及びインバータ 1608 の 2 つのトランジスタは、図 9D に示され、前述された半導体構成で配置及び実装され得る。中間ウエハ 1605 では、4 つのトランジスタのそのような実装は、SPAD 1612 に関連する 4 つのトランジスタの各セットを分離するために、同じ構造又は代替の構造を使用することができる。

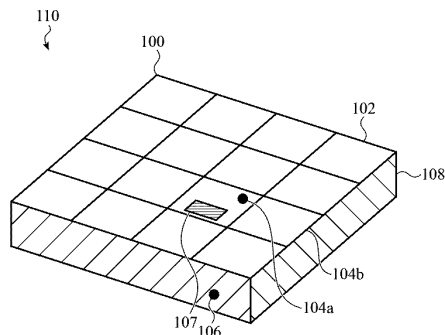
【0131】

50

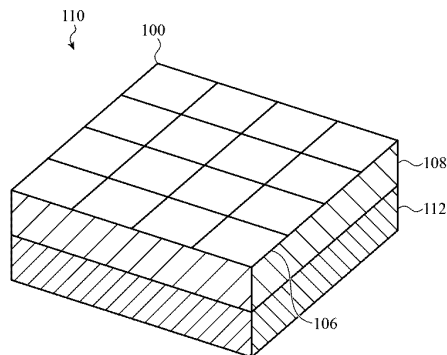
前述の記載では、説明のために、記載された実施形態の完全な理解をもたらすために特定の専門用語を用いた。しかし、記述される実施形態を実施するために、具体的な詳細は必要とされないことは、当業者には明らかであろう。従って、本明細書に述べられる特定の実施形態の前述の説明は、図示及び説明の目的で提示されている。これらの説明は、網羅的であること、又は開示されるまさにその形態に実施形態を限定することをターゲットとしたものではない。上記の教示を考慮すれば、多くの変更及び変形が可能であることが、当業者には明らかであろう。

【図面】

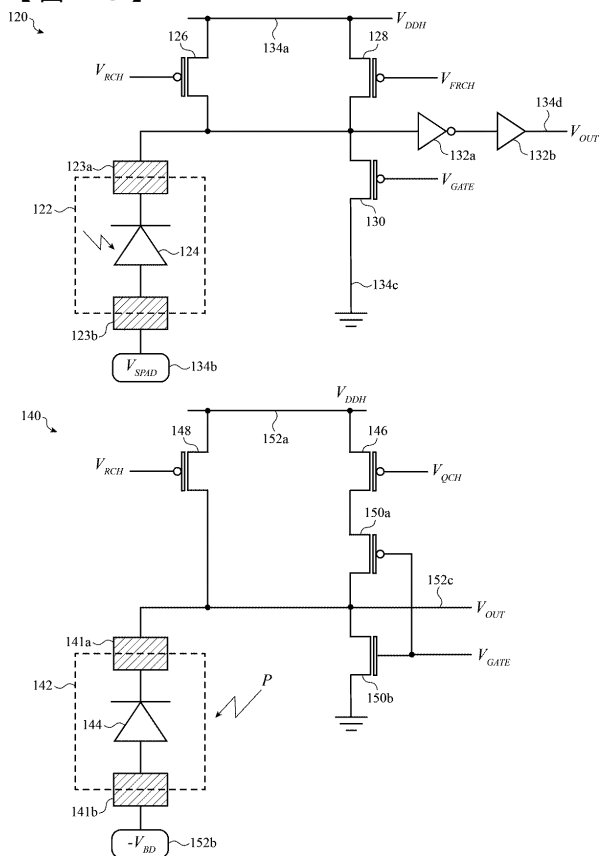
【図 1 A】



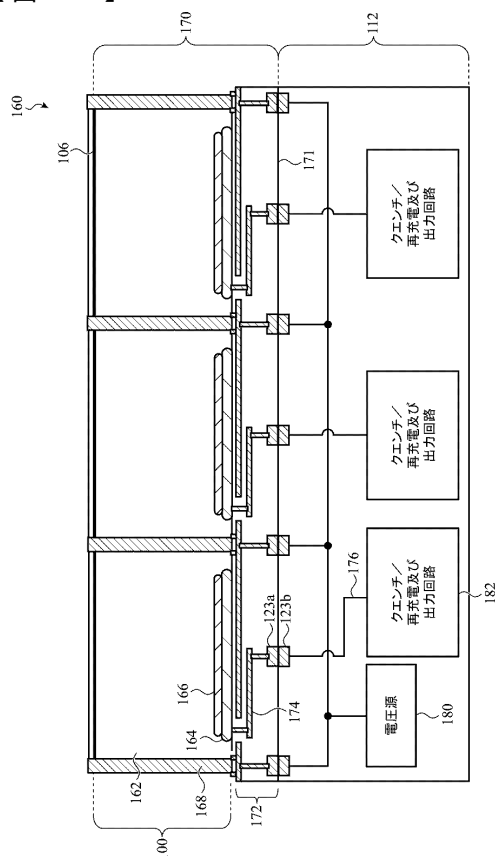
【図 1 B】



【図 1 C】



【図 1 D】



10

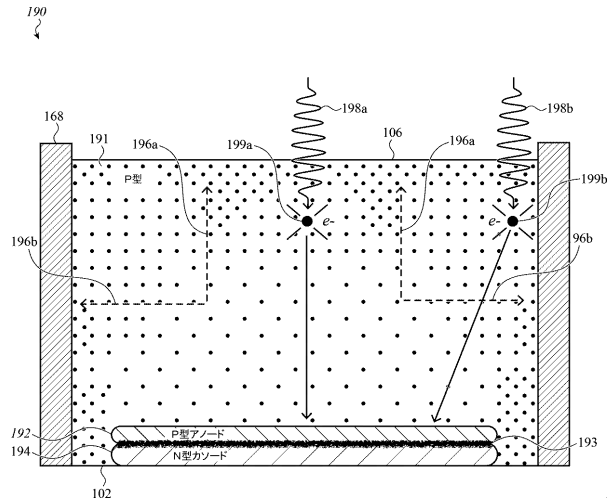
20

30

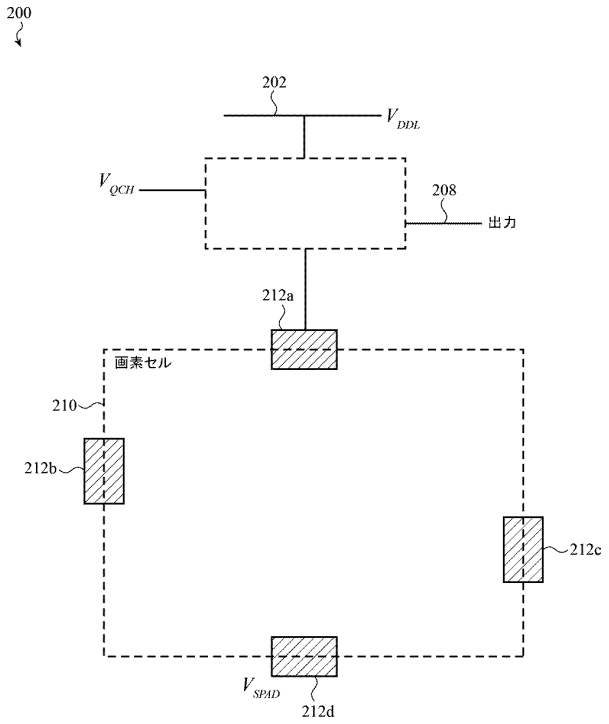
40

50

【 図 1 E 】



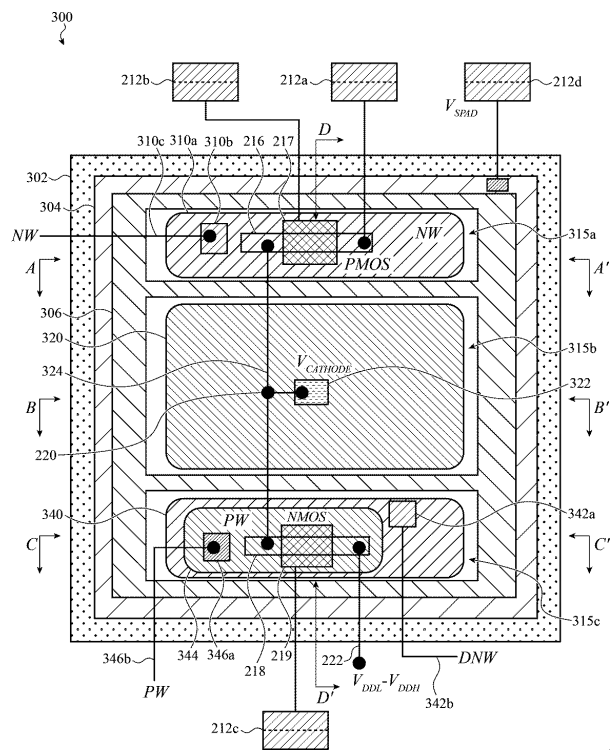
【 図 2 】



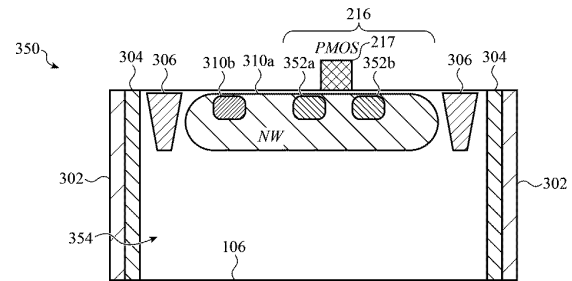
10

20

【 図 3 A 】



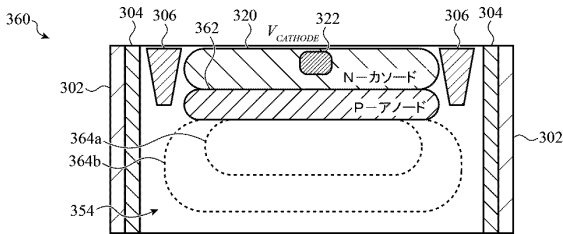
【 図 3 B 】



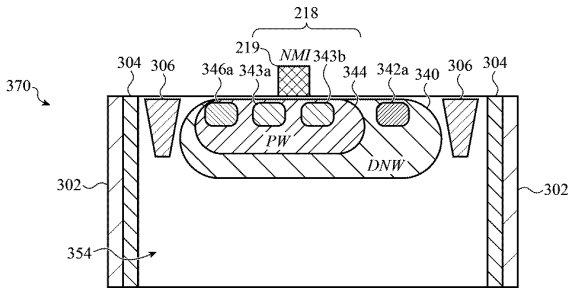
30

40

【図 3 C】

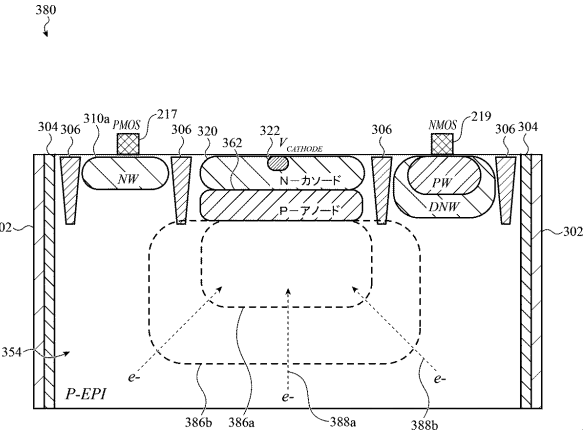


【図 3 D】

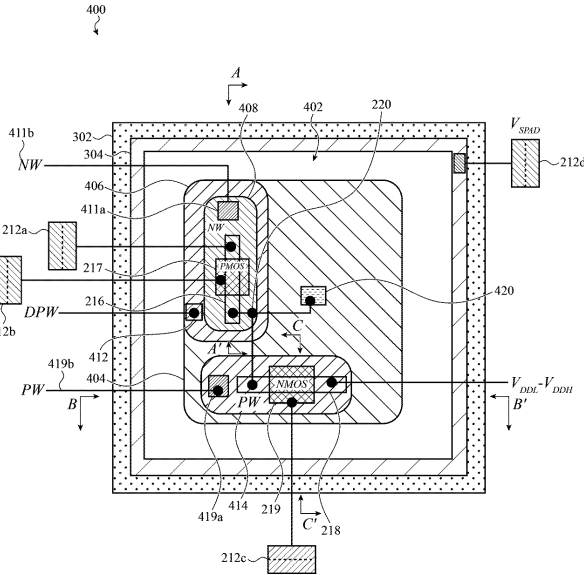


10

【図 3 E】

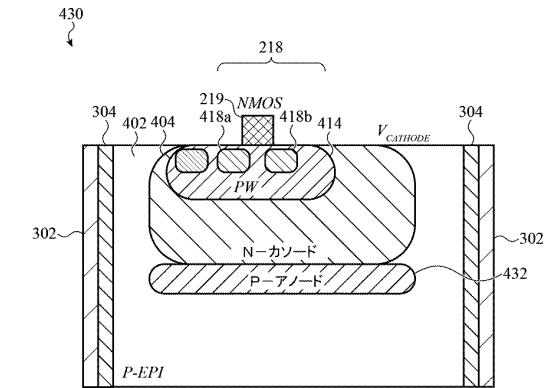


【図 4 A】

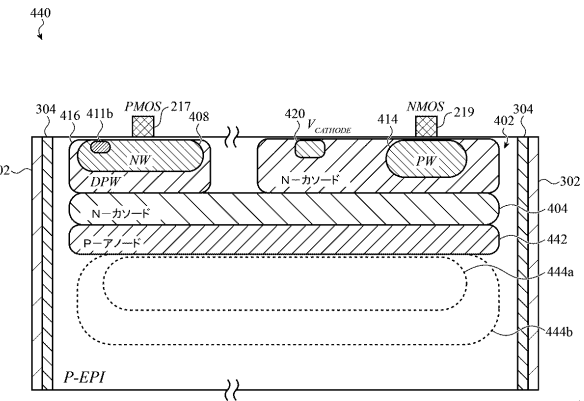


20

【図 4 B】



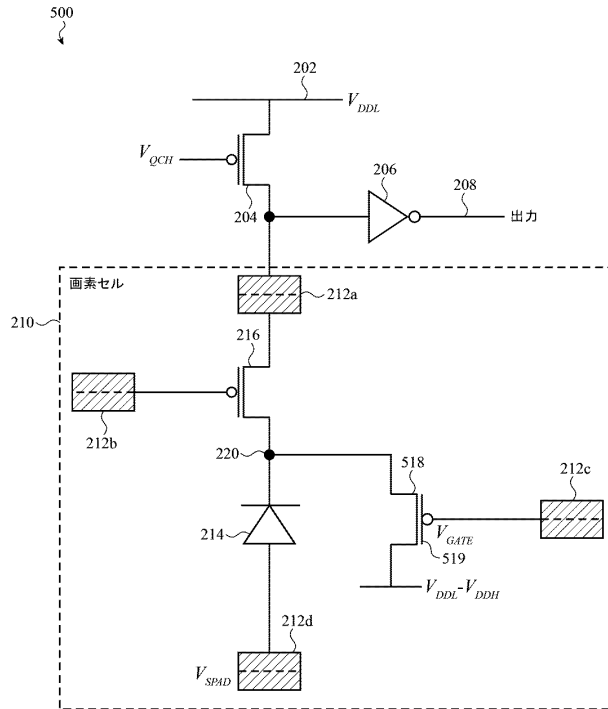
【図 4 C】



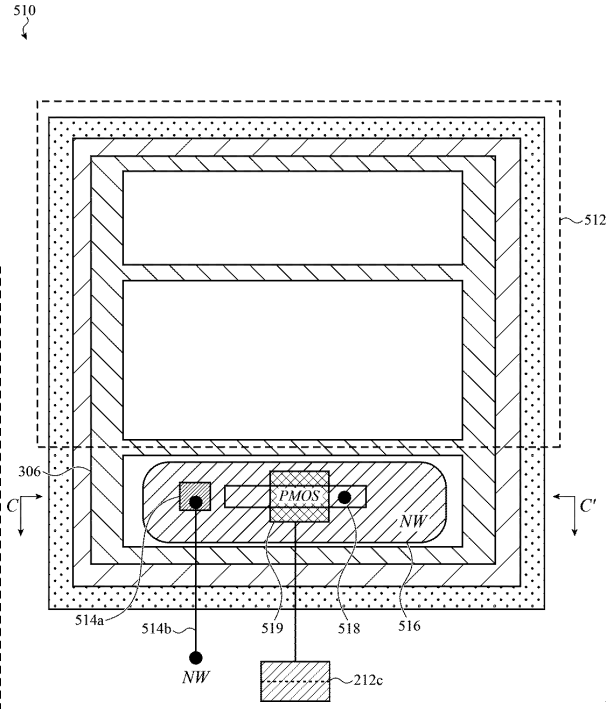
40

50

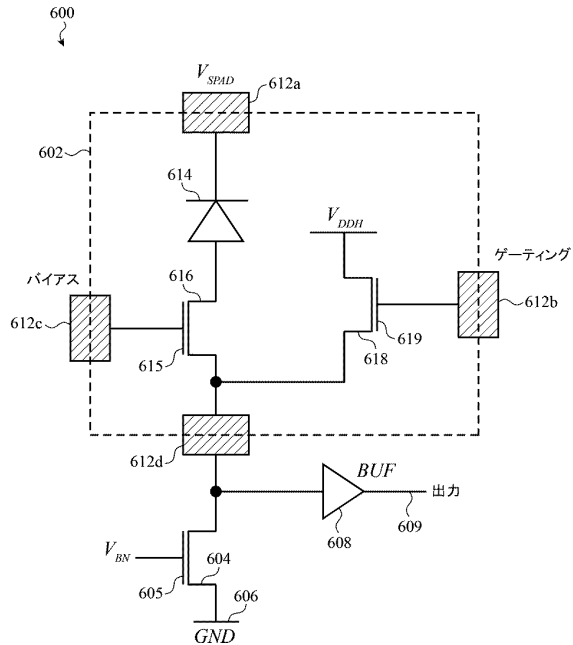
【 図 5 A 】



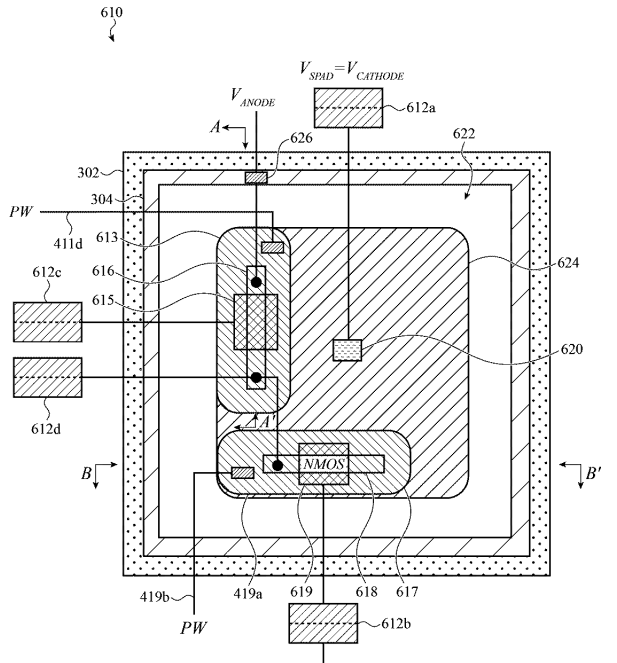
【 図 5 B 】



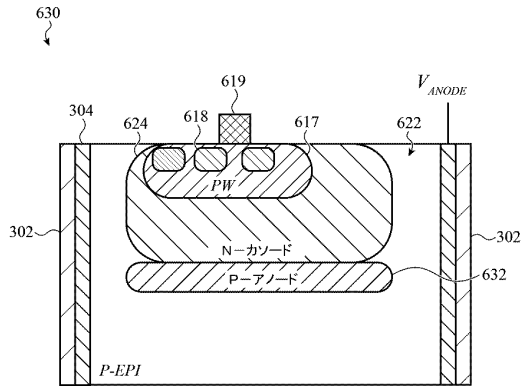
【 図 6 A 】



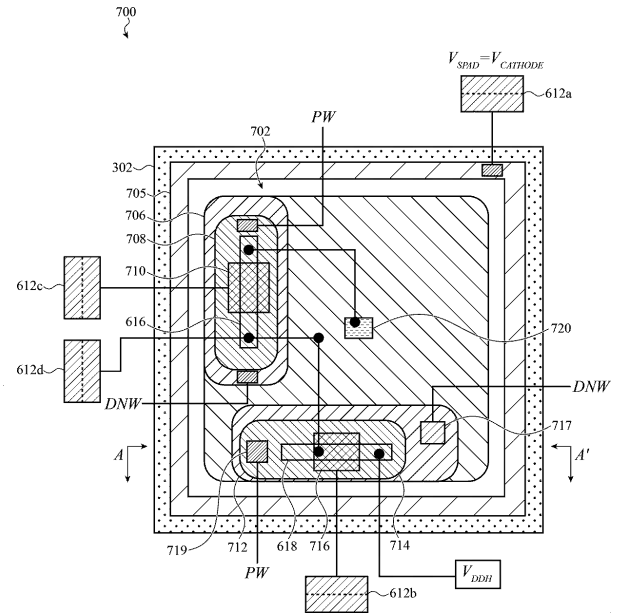
【 図 6 B 】



【 図 6 C 】

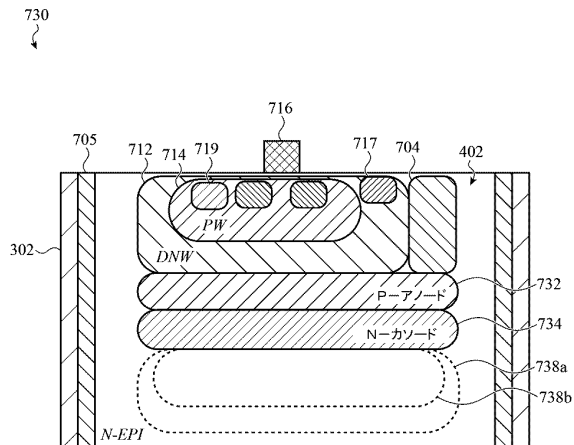


【圖 7 A】

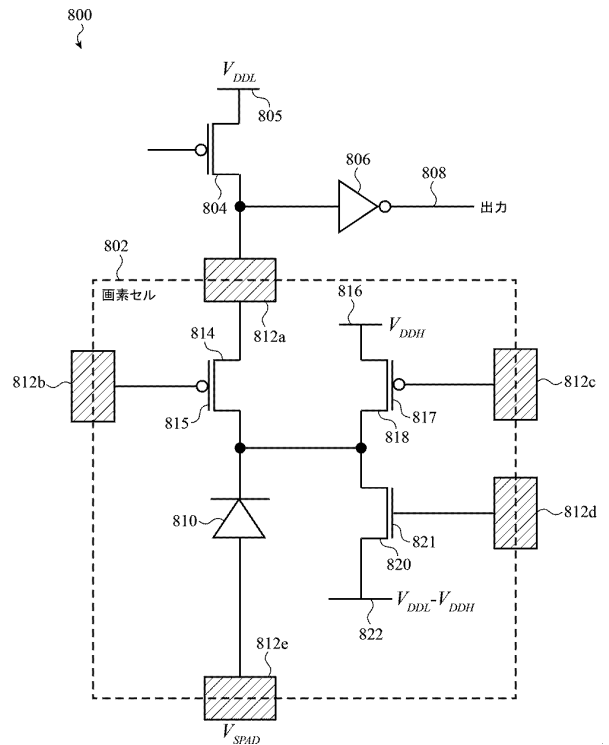


10

【 図 7 B 】



【 図 8 A 】

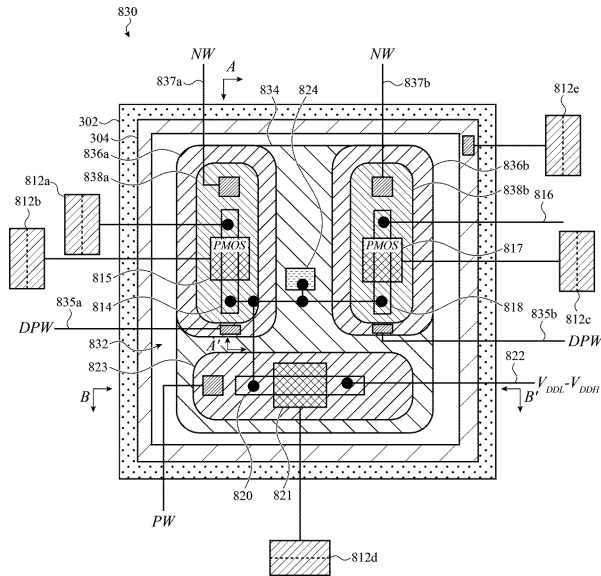


20

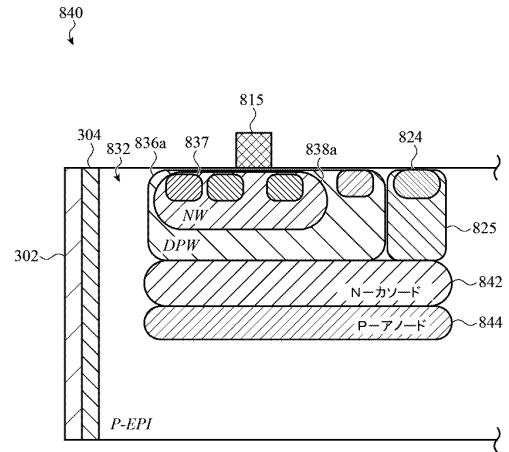
30

40

【 図 8 B 】

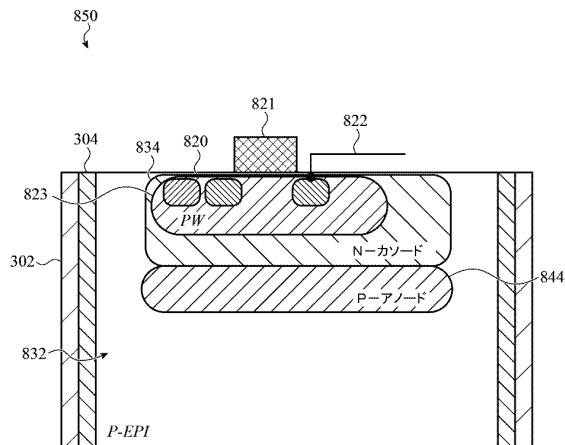


【 図 8 C 】

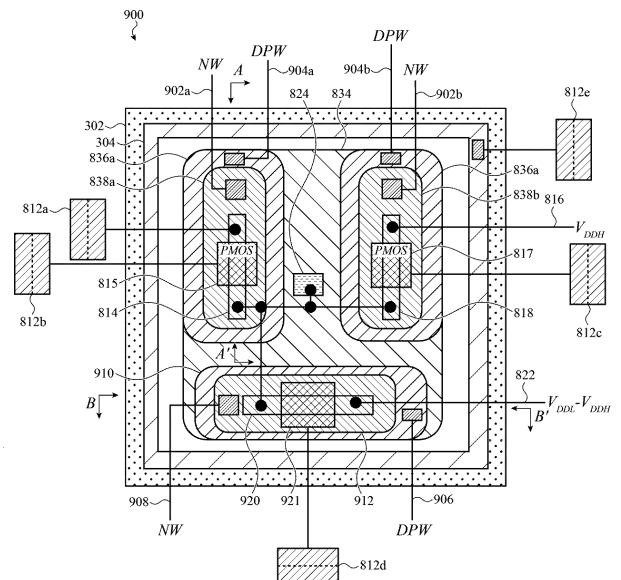


10

【 図 8 D 】



【 図 9 A 】



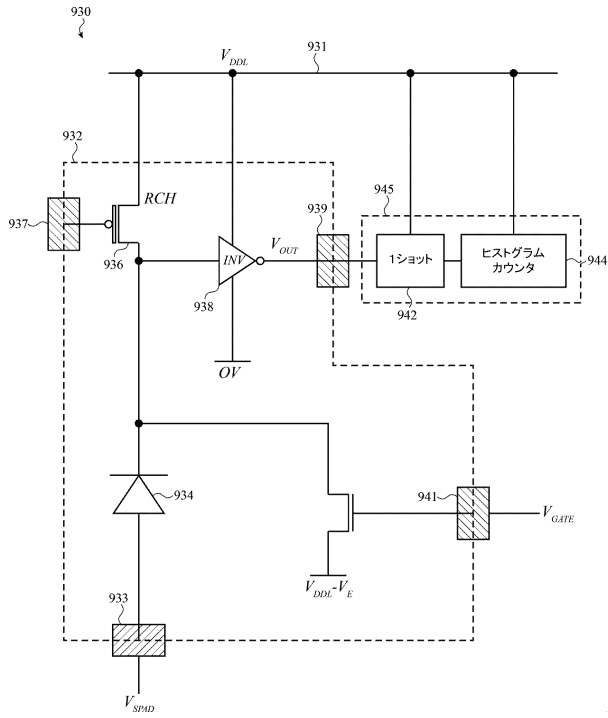
20

30

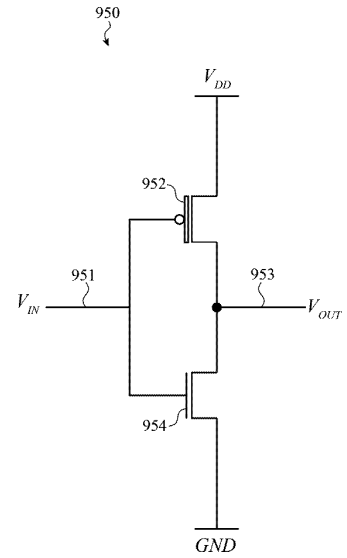
40

50

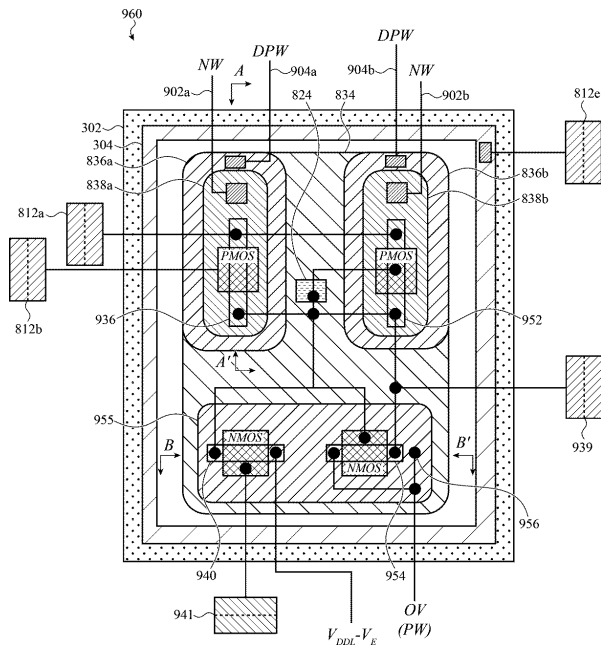
【 図 9 B 】



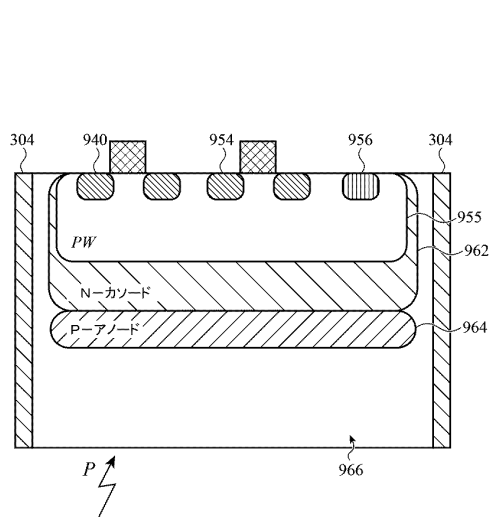
【 図 9 C 】



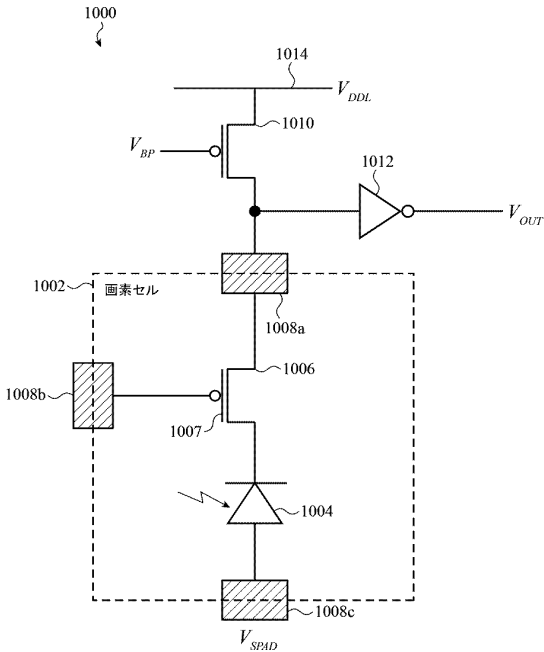
【 図 9 D 】



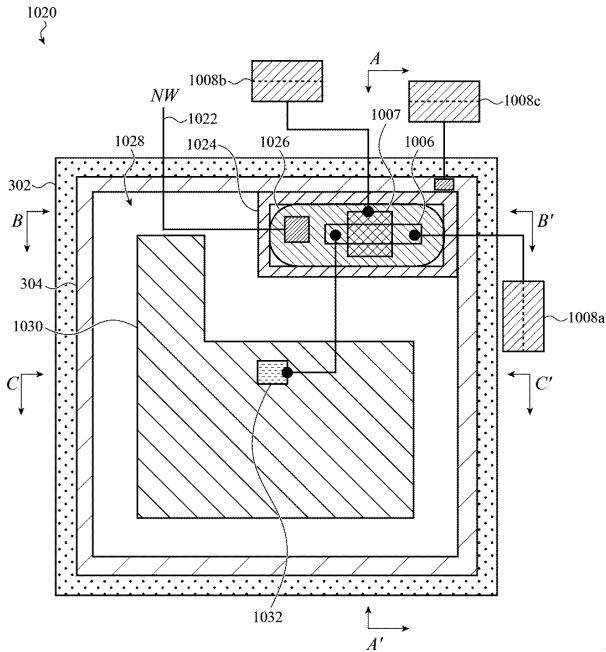
【 図 9 E 】



【図 10 A】



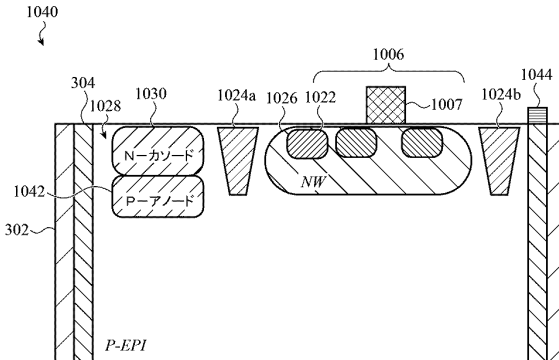
【図 10 B】



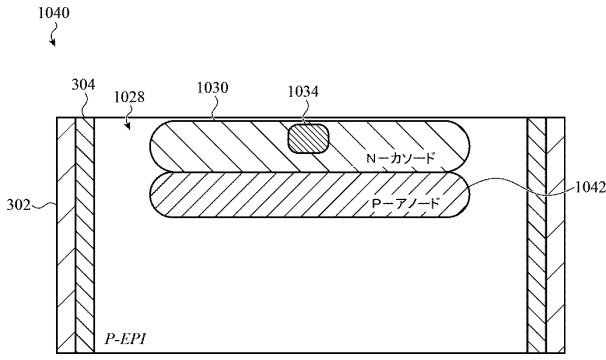
10

20

【図 10 C】



【図 10 D】

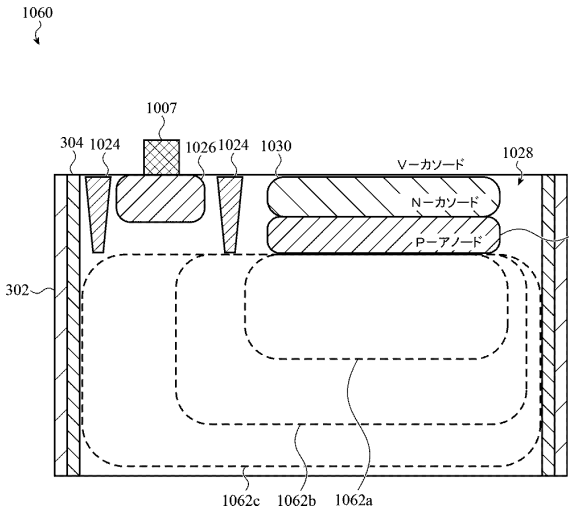


30

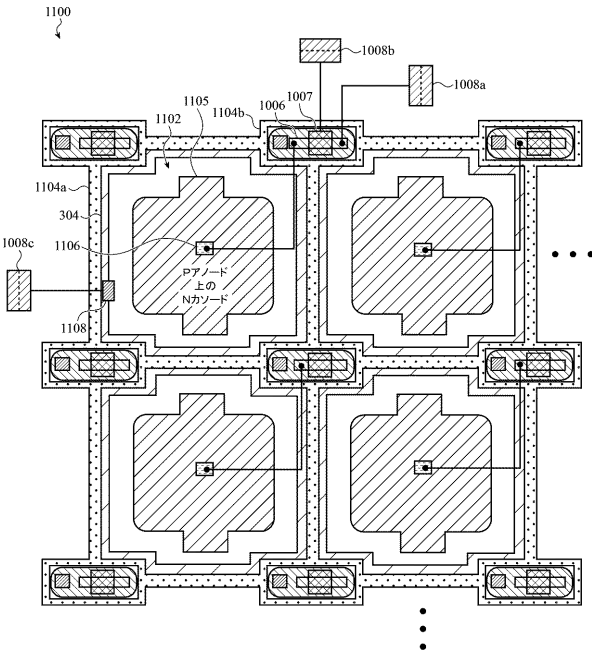
40

50

【図 10 E】

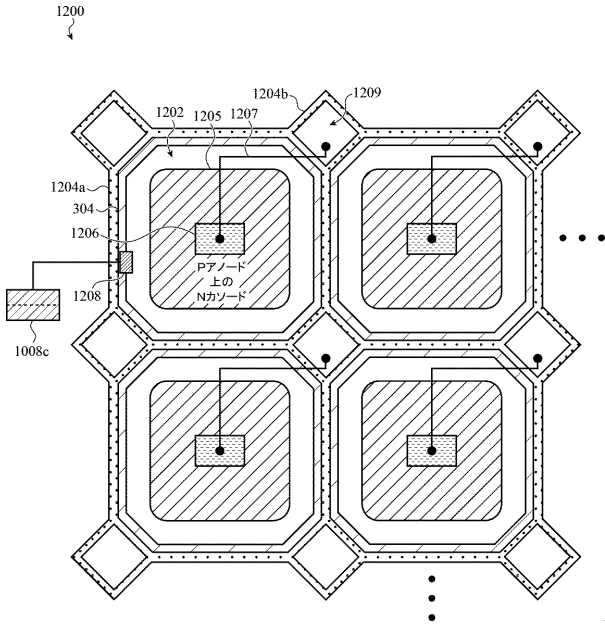


【図 11】

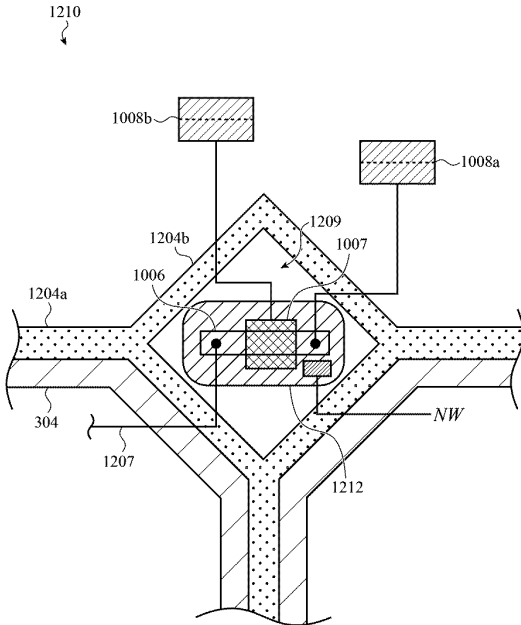


10

【図 12 A】



【図 12 B】



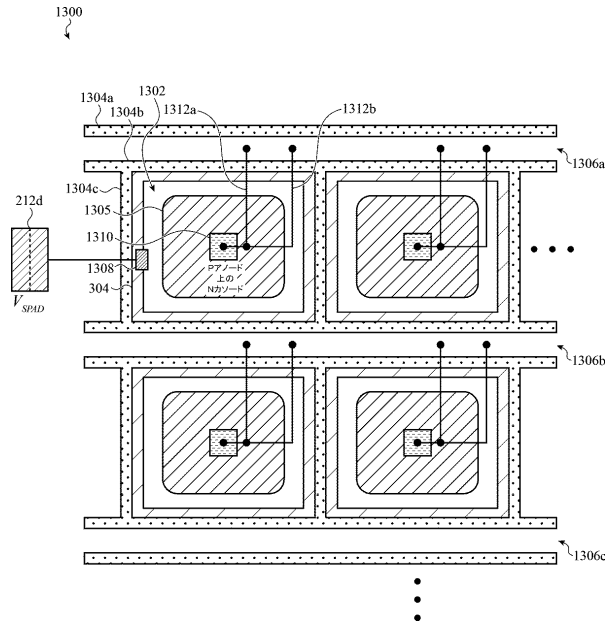
20

30

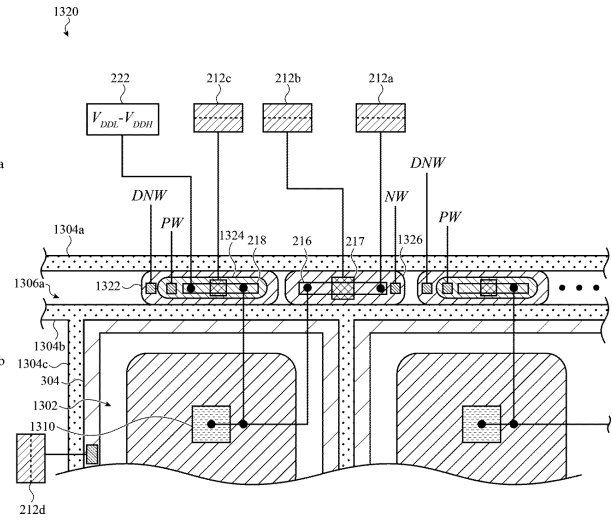
40

50

【 図 1 3 A 】

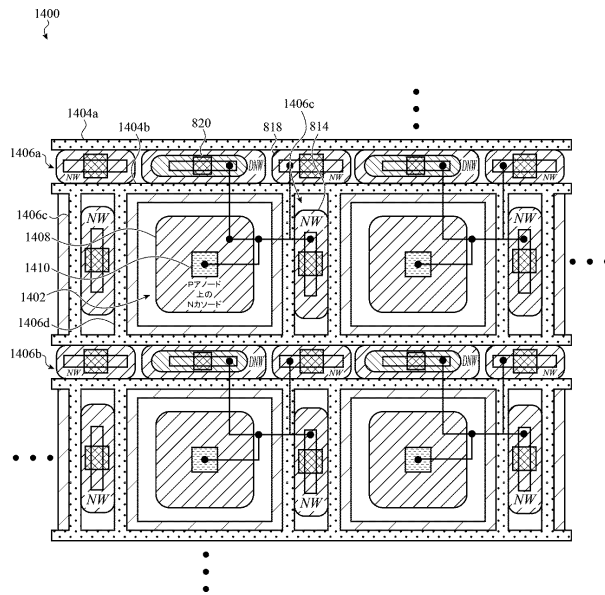


【 図 1 3 B 】

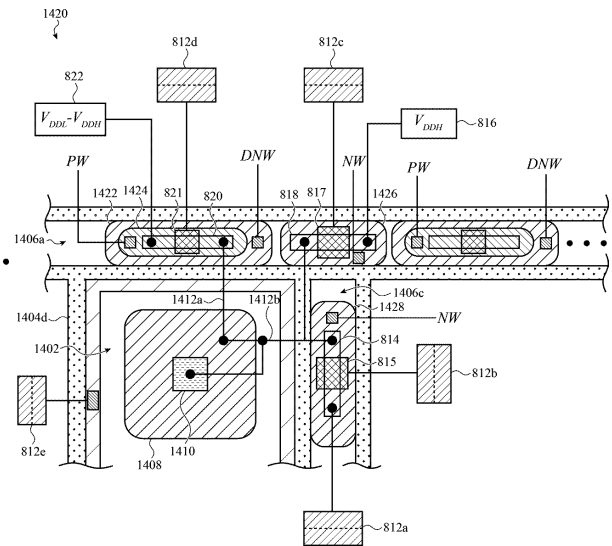


10

【 図 1 4 A 】



【 図 1 4 B 】



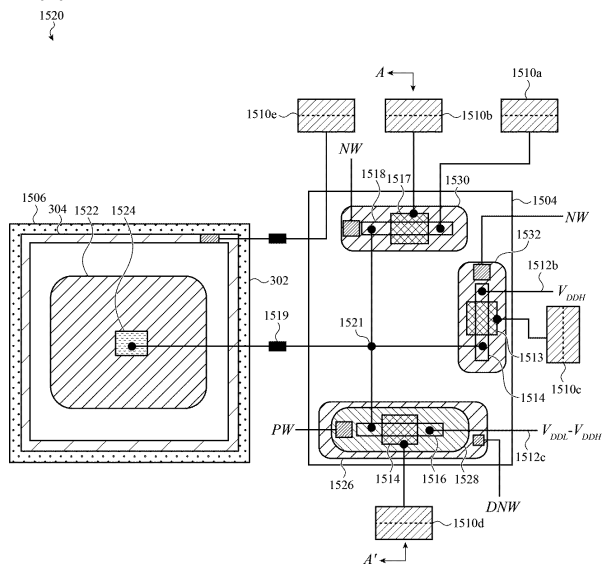
20

30

40

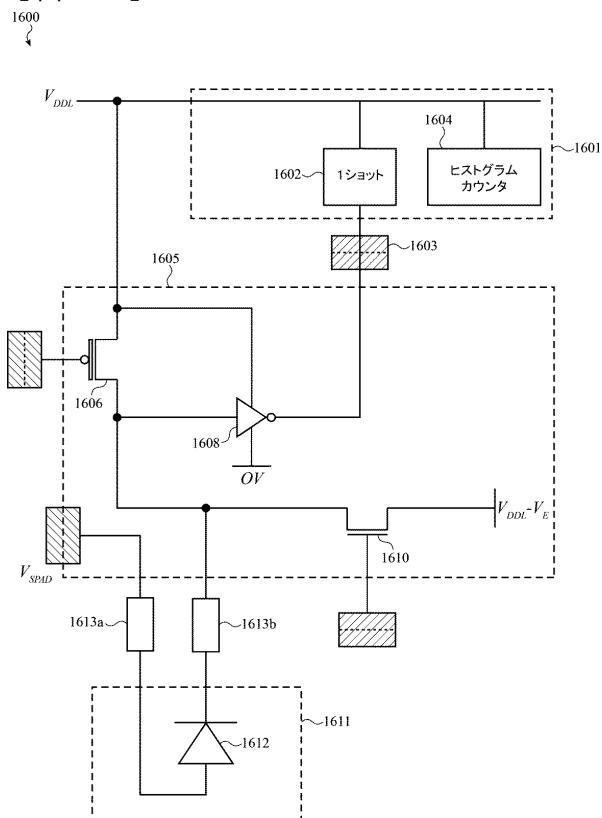
50

【 図 1 5 B 】



20

【 圖 1 6 】



40

フロントページの続き

(51)国際特許分類	F I				
H 0 1 L 31/107(2006.01)	H 0 1 L	31/10	B		
H 0 1 L 31/10 (2006.01)	H 0 1 L	31/10	G		
(74)代理人	100139712				
	弁理士 那須 威夫				
(74)代理人	100121979				
	弁理士 岩崎 吉信				
(72)発明者	ホン ウェイ リー				
	アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ アップル パーク ウェイ ワン				
(72)発明者	クリスティアーノ エル ニクラス				
	アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ アップル パーク ウェイ ワン				
(72)発明者	萬代 新悟				
	アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ アップル パーク ウェイ ワン				
(72)発明者	シャオフェン ファン				
	アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ アップル パーク ウェイ ワン				
審査官	加藤 俊哉				
(56)参考文献	米国特許出願公開第 2 0 1 0 / 0 1 2 7 3 1 4 (U S , A 1)				
	特開 2 0 2 0 - 1 5 5 7 8 3 (J P , A)				
	特表 2 0 2 0 - 5 1 0 3 0 8 (J P , A)				
	特開 2 0 2 0 - 0 3 9 0 1 7 (J P , A)				
	特表 2 0 1 6 - 5 1 1 5 3 9 (J P , A)				
	特開 2 0 2 0 - 1 4 3 9 5 9 (J P , A)				
	特開 2 0 1 4 - 2 2 5 6 4 7 (J P , A)				
	特開 2 0 1 9 - 1 6 9 6 4 3 (J P , A)				
(58)調査した分野	(Int.Cl. , D B 名)				
	H 0 1 L	2 7 / 1 4 6			
	H 0 1 L	2 1 / 8 2 3 4			
	H 0 1 L	2 1 / 8 2 3 8			
	H 0 1 L	3 1 / 1 0 7			
	H 0 1 L	3 1 / 1 0			