

400643

400643

申請日期	87.10.18
案 號	87117260
類 別	H01L 27/108

(以上各欄由本局填註)

公告本

A4
C4發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	DRAM單胞配置及其製造方法
	英 文	DRAM-cells Arrangement and Its Production Method
二、發明 創作人	姓 名	1. 史克羅什, 第爾 (Schlosser, Till) 2. 克勞茲克奈德, 吳爾夫敢格 (Krautschneider, Wolfgang)
	國 籍	1.-2. 皆屬德國
	住、居所	1. 德國慕尼黑 80339 巴克街 28 號 2. 德國霍亨薩恩 83104 安姆歐伯菲爾德 50 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

德 國 (地 區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權

1997年11月04日 案號19750621.6 (主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

本發明係關於一種 DRAM 單胞配置，即，一種動態隨機存取之記憶體單胞配置，其中記憶體單胞含有三個電晶體。

在 DRAM 單胞配置中，目前幾乎專門只使用所謂單一電晶體-記憶體單胞。單一電晶體-記憶體單胞含有一個選擇電晶體及一個記憶體電容器。資訊以電荷之形式儲存在記憶體電容器中，資訊是以邏輯值 0 或 1 表示。經由字線來控制上述之選擇電晶體，則可經由位元線來讀取資訊。記憶體由容器中所儲存之電荷因此可驅動位元線。

由於記憶體密度由一個記憶體時代至另一個記憶體時代而逐漸增加，則單一電晶體-記憶體單胞所需之面積由一個時代至另一個時代而逐漸減少。這樣會造成技術上和實際上的一些基本問題。例如，雖然單一電晶體-記憶體單胞面積減小，但記憶體電容器仍必須能儲存最小量之電荷，以便可驅動位元線。

上述問題能以另一形式之 DRAM-單胞配置(其中使用所謂增益型(gain)單胞作為記憶體單胞)來對付，其中亦以電荷之形式來儲存資訊。但電荷必須不以直接方式來驅動位元線，而是儲存在電晶體之閘極電極中且只作為閘極之控制用，這樣只需很少量之電荷即已足夠。

在 M. Heshami, 1996 IEEE J. of Solid-state Circuits, Vol. 31, No. 3 中描述一種增益型單胞(其含有三個電晶體)。電荷儲存在第一電晶體之第一閘極電極中。

電荷之儲存是藉助於第二電晶體來完成。第一閘極電極

五、發明說明(>)

是與第二電晶體之第一源極/汲極區相連接，第二電晶體之第二源極/汲極區是與寫入用位元線相連接。第二電晶體之第二閘極電極經由寫入用字線而受到控制以便進行儲存過程。電荷量以及資訊(其儲存在第一閘極電極中)是由寫入用位元線上之電壓所決定。資訊之讀出是藉助於第三電晶體來完成。第一電晶體之第二源極/汲極區是與第三電晶體之第一源極/汲極區相連接，第三電晶體之第二源極/汲極區是與讀出用位元線相連接。第三電晶體之第三閘極電極是藉由讀出用字線而受到控制以便進行讀出過程。電荷量(亦即，資訊)是經由讀出用位元線而讀出。

本發明目的是提供一種DRAM單胞配置，其記憶體單胞是一種增益型單胞(其具有至少三個電晶體)且能以較先前技藝還高之封裝密度製成。此外，本發明亦提供此種DRAM單胞配置之製造方法。

上述目的是藉由申請專利範圍第1項之DRAM單胞配置以及申請專利範圍第9項之製造方法來達成。本發明之其它形式則敘述在申請專利範圍其餘各項中。

在本發明之DRAM單胞配置中設置一種具有記憶體單胞之基體，記憶體單胞至少含有第一電晶體，第二電晶體和第三電晶體。此三個電晶體是垂直於y-軸(其垂直於基體之表面而延伸)而構成。第一電晶體和第二電晶體或第三電晶體是對y-軸而重疊地配置著。藉由此種配置，則每一記憶體單胞所需之面積可較小。

五、發明說明()

為了縮短此三個電晶體之間的連接路徑，則有利的是使這些電晶體中之二個基本上以橫向方式而互相配置著。

本發明亦涉及使上述三個電晶體配置在半導體結構之邊緣上。這些電晶體之源極/汲極區是由第一種導電型所摻雜之區域而製作在半導體結構中或橫向地與半導體結構相鄰接。第二電晶體基本上可配置在半導體結構之第一邊緣上且第三電晶體基本上可配置在半導體結構之第二邊緣上。這些邊緣(其上配置一些電晶體)設有一種閘極介電質。本發明之範圍亦包括：第一電晶體配置在第二電晶體和第三電晶體之下方。

上述半導體結構例如可具有一種圓形之橫切面。在此情況下這些邊緣是互相合併的。半導體結構之橫切面亦可以是直角形的或多角形的。沿著字線而相鄰之半導體結構可互相分隔或相連且形成成條形之結構。

上述半導體結構例如可藉由基體之遮罩式蝕刻而產生。另一方式是半導體結構可以磊晶方式生長而成。此種半導體結構亦可藉由材料之沈積而產生於一層中所產生之凹口中。

此種半導體結構可含有一種層序列，其含有一些對應於通道區和源極/汲極區之層。此種層序列例如可藉由原處(in situ)摻雜之磊晶生長而產生。另一方式是上層亦可藉由植入法而產生。為了在互相重疊配置之源極/汲極區之間避免電容形成和擊穿(punch-through)現象，則有利的是在半導體結構之橫向中相鄰地形成至少

五、發明說明(4)

一個源極/汲極區。此種橫向之源極/汲極區例如可藉由植入法而產生。另一方式是可沈積一種作為摻雜物質源(source)用之層(其例如由磷矽酸鹽玻璃或砷矽酸鹽玻璃所構成)。摻雜物質由此層擴散至圍繞此半導體結構之區域中。

由於資訊是儲存在第一電晶體之第一閘極電極中，則第一閘極電極上之電容特別大時是有利的。於是第一閘極電極可鄰接於半導體結構之多個邊緣。第一閘極電極最好是圍繞此半導體結構。

為了縮短上述之連接路徑，則第一閘極電極至少與此半導體結構之第一邊緣和第二邊緣相鄰接時是有利的。

為了使製程簡化，則第一邊緣位於第二邊緣之對面是有利的。在此情況下寫入用字線可沿著第一邊緣而延伸且讀出用字線可沿著第二邊緣而延伸。

為了能在第二電晶體之第一閘極電極和第一源極/汲極區之間形成連接，則閘極介電質在第一閘極電極之區域中於第一邊緣上具有一個中斷區。在此中斷區處第一閘極電極因此直接鄰接於此半導體結構或直接鄰接於此半導體結構中所配置之連接元件。若此一連接元件存在，則此一連接元件亦鄰接於第二電晶體之第一源極/汲極區。

為了產生此種具有中斷區之閘極介電質，則當第一電晶體配置於第二電晶體和第三電晶體下方時，可在產生上述之半導體結構之後例如藉由熱氧化作用而在半導體

五、發明說明(5)

結構之邊緣上產生閘極介電質之第一部份。當橫向之源極/汲極區產生時，則該處之閘極介電質Gd較半導體結構之邊緣上者還厚，這是因為此種藉由熱氧化作用所產生之閘極介電質之厚度越大時，則相鄰接之區域之摻雜物質濃度越大。藉由材料之沈積及回蝕刻進行至第一高度而產生第一閘極電極。然後對一絕緣材料進行蝕刻直至第一高度上方之邊緣上之閘極介電質之一部份被去除為止。第一閘極電極因此是作為遮罩用。由於橫向之源極/汲極區上之閘極介電質之此一部份特別厚，則其在該處不能完全被去除。藉由材料之沈積及回蝕刻直至第二高度(其在第一高度之上方)而使第一閘極電極增大。由於在橫向之源極/汲極區上配置一部份閘極介電質，則對第一閘極電極不會產生短路現象。第一閘極電極在第一高度和第二高度之間的區域中直接鄰接於半導體結構。藉助於遮罩(其至少不覆蓋第二邊緣)，則隨後再對上述之材料進行蝕刻直至第二邊緣上之第一閘極電極達到第三高度為止，其中第三高度在第一高度之下。第一閘極電極因此在第二邊緣之區域中不直接和半導體結構相鄰接。在第一邊緣和第二邊緣上例如藉由熱氧化作用或藉由材料之沈積而產生閘極介電質之第二部份。閘極介電質因此至少在第一高度和第二高度之間的第一邊緣上具有一個中斷區。

為了在橫向之源極/汲極區和第一閘極電極之間使電容減小或/及為了製程之可靠性，則例如自半導體結構

五、發明說明(b)

之邊緣的上部份去除閘極介電質之前產生一層輔助層(其直達第一高度下方)是有利的。此一輔助層在去除邊緣上之部份上之閘極介電質時可保護閘極介電質之圍繞此半導體結構之部份。在此情況中閘極介電質亦可藉由絕緣材料之沈積而產生。

另一方式是，輔助層可在第一閘極電極產生之前即已產生。例如作為摻雜物質源用之層適合作為輔助層。在此情況下輔助層最好是薄的，於是第一閘極電極盡可能接近地與半導體結構之下端相鄰接。

在去除一部份閘極介電質的過程中若不用第一閘極電極作為遮罩，則這些邊緣可以輔助間隔層覆蓋至第一高度。在此情況下可在產生第一閘極電極之前在半導體結構之間形成一層隔離層，於是第一閘極電極在半導體結構外部不直接與基體相鄰接。

為了提高封裝密度，則第二電晶體之第一源極/汲極區在中斷區中配置成此半導體結構之一部份時是有利的。在此情況中在第一邊緣上配置一種元件是有利的，此種元件可在第一電晶體之第一源極/汲極區和第二電晶體之第一源極/汲極區之間抑制通道電流之形成。此種元件(其可防止通道電流之形成)例如可鄰接於第一邊緣而在半導體結構內部構成通道-停止-區。此種通道-停止-區具有很高之摻雜物質濃度且以和第一導電型相反之第二導電型來摻雜。

此種元件(其可抑制通道電流)亦可在第一閘極電極和

五、發明說明(7)

半導體結構之間最好是緊緊地在上述中斷區下方構成一種由絕緣材料(例如, SiO_2)所形成之隔離結構。

此種通道-停止-區例如可由傾斜式植入法或由摻雜物質源往外擴散而產生。就傾斜式植入法而言, 則例如可在第一高度和基體之表面之間至少一個第一邊緣上設置一種保護間隔層(spacer), 其方式是首先產生一層直至第一高度之層, 然後藉由材料之沈積和回蝕刻而產生此一保護間隔層。此層在傾斜式植入之前須去除。由於此一保護間隔層, 因此只在第一高度下方會產生通道-停止-區。例如在產生半導體結構之後可產生一種摻雜物質源以作為擴散源(source), 此種摻雜物質源覆蓋第一邊緣直至第一高度為止, 其中須沈積例如摻雜之矽或硼矽酸鹽玻璃且進行回蝕刻。在摻雜物質擴散之後可再去除此摻雜物質源(source)。

為了提高封裝密度, 則當第三電晶體之第一源極/汲極區是與第一電晶體之第二源極/汲極區疊合時是有利的。第一電晶體之第二源極/汲極區和第三電晶體之第一源極/汲極區例如可構成第一摻雜區。此第一摻雜區例如可藉由傾斜式植入法或藉由摻雜物質源(例如, 一層摻雜層)而來之擴散而產生。當第二邊緣上之閘極介電質具有另一中斷區(摻進物質可經由此中斷區而擴散)時是有利的。於是此一摻雜層例如可在閘極介電質製成之前相鄰地沈積在第一亮度上方。在擴散過程之後此摻雜層不必去除。

五、發明說明(8)

此種半導體結構可藉由遮罩式蝕刻而在一個步驟中產生。為了使記憶體單胞互相隔離，則可在第一閘極電極產生之後沈積一種絕緣材料且藉助於一個條形之遮罩（其條片平行於即將產生之字線而延伸且覆蓋此半導體結構）來對此絕緣材料進行蝕刻。這樣就可產生第一隔離結構，其在這些沿著寫入用字線而相鄰的半導體結構之間可直達各表面。為了確保：絕緣材料雖然存在有限的校準公差(tolerance)仍可由半導體結構之第一邊緣和第二邊緣去除，則當條形之遮罩較半導體結構狹窄且因此不完全覆蓋半導體結構時是有利的。另一方式是可使用一種遮罩，其基本上覆蓋這些沿著字線而相鄰之半導體結構之間的區域。在產生第一隔離結構時，不完全去除遮罩外部之絕緣材料是有利的，取而代之的例如大約蝕刻至第三高度處。這樣第一隔離結構在這些垂直於字線而相鄰之半導體結構之間例如可大約抵達第三高度處。在第一隔離結構之此一部份可配置一層摻雜層（第一摻雜區所需之摻雜物質由此一摻雜層擴散而來）。第一隔離層之此一部份可使電容減小，其中電容是由相鄰之閘極電極所形成。

可產生此種半導體結構之另一方式是，首先藉助於條形之遮罩而在基體中對溝渠（其是垂直於待產生之字線而延伸）進行蝕刻，這樣即可產生條形之暫時性之半導體結構。在每一暫時性之半導體結構之第三和第四邊緣上產生第一閘極電極以及一部份閘極介電質之後須沈積

五、發明說明(9)

一種絕緣材料。藉助於條形之遮罩(其條片平行於待產生之字線而延伸)來對半導體材料和絕緣材料進行蝕刻,這樣可由上述暫時性之半導體結構來產生半導體結構以及在沿著字線而相鄰之半導體結構之間產生第一隔離結構。

藉由材料之沈積和回蝕刻,則可在第一邊緣上產生第二閘極電極以作為寫入用字線之一部份且在第二邊緣上產生第三閘極電極以作為讀出用字線之一部份。

為了提高封裝密度,則當寫入用位元線和讀出用位元線相同而形成一條位元線時是有利的。此種位元線是與第二電晶體之第二源極/汲極區相連接以及與第三電晶體之第二源極/汲極區相連接。

為了提高封裝密度,則當第二電晶體之第二源極/汲極區是與第三電晶體之第二源極/汲極區相疊合時是有利的。為了產生此種現象,則可在半導體結構產生之前對基體進行植入過程。

為了提高封裝密度,則當沿著位元線而相鄰之這些半導體結構互相成鏡像而配置時是有利的。

源極/汲極區可以是n-摻雜或p-摻雜。

閘極電極可含有摻雜之多晶矽,金屬及/或金屬矽化物。摻雜之多晶矽可在沈積時以原處(in situ)方式而被摻雜或事後才摻雜。

本發明以下將依據顯示在圖式中之實施例作詳細描述圖式簡單說明如下:

五、發明說明(10)

第1圖在產生第一遮罩，半導體結構，第二電晶體之第二源極/汲極區以及第三電晶體之第二源極/汲極區之後，第一基體之俯視圖之一部份。

第2圖在第1圖之各步驟之後以及產生第一電晶體之第一源極/汲極區，一部份閘極介電質，通道-停止-區，第一電晶體之第一閘極電極以及輔助層之後，第一基體之垂直於第1圖之橫切面。

第3圖在產生第一閘極電極之第一部份以及第一閘極電極之第二部份之後，第2圖之橫切面。

第4圖在第3圖之各步驟之後以及在產生第一隔離結構，摻雜層，閘極介電層之其它部份，第二隔離結構，第二閘極電極，寫入用字線，第三閘極電極以及讀出用字線之後，第1圖之俯視圖。

第5圖在第4圖之各步驟之後以及在產生第三隔離結構和位元線之後，第3圖之橫切面。

第6圖在產生第一遮罩，暫時性之半導體結構，一部份閘極介電質和一部份第一閘極電極之後，第二基體之俯視圖之一部份。

第7圖在產生第一隔離結構以及製成第一閘極電極之其它部份之後，第6圖之俯視圖。

第8圖在相鄰之第一閘極電極互相隔離之後，第7圖之俯視圖。

這些圖未依比例繪出。

在第一實施例中，含有矽之第一基體1佈植在表面0

五、發明說明(II)

上。這樣就產生一層大約200nm厚之n-摻雜之層(未示出)。此層之摻雜物質濃度大約是 10^{20}cm^{-3} 。為了產生第一遮罩M1,則須沈積厚度大約是200nm之氮化矽且藉由微影術來進行結構化。第一遮罩M1覆蓋一種邊長大約是180nm之正方形區域。此種正方形區域規則地配置著且相鄰之正方形區域之中心點間之距離大約是360nm(請參考第1圖)。藉助於第一遮罩M1而對矽進行蝕刻,則可在正方形區域下方產生大約1500nm高之半導體結構St(請參閱第1圖)。由上述之n-摻雜層於是可產生第二電晶體之第二源極/汲極區2S/D2,其亦適合作為第三電晶體之第二源極/汲極區3S/D2。

每二個沿著x-軸x(其平行於表面0而延伸)而相鄰之半導體結構St(其第二邊緣F2互相面對對著)形成一對(pair)。藉由整面之植入方式,則半導體結構St可由摻雜區所圍繞。此種摻雜區(其存在於第二邊緣F2之間)之一部份適合作為第一電晶體之第一源極/汲極區1S/D1(請參閱第2圖)。第一電晶體之第一源極/汲極區1S/D1大約是300nm深且是n-摻雜的。第一電晶體之第一源極/汲極區1S/D1之摻雜物質濃度大約是 10^{20}cm^{-3} 。第一電晶體之第一源極/汲極區1S/D1之摻雜物質藉由退火步驟而大約往內擴散至半導體結構St中(請參閱第2圖)。

然後沈積厚度大約是1200nm之硼矽酸鹽玻璃以便產生通道-停止-區C且進行回(back)蝕刻直至第一高度H1為止。第一高度H1大約位於表面0下方750nm處。藉

五、發明說明 (12)

助於一未顯示之遮罩(其未覆蓋第一電晶體之第一源極/汲極區 1S/D1)而對硼矽酸鹽玻璃進行蝕刻直至第一電晶體之第一源極/汲極區 1S/D1 裸露為止。例如，氫氟酸適合作為蝕刻劑。摻雜物質藉由退火步驟而由硼矽酸鹽玻璃擴散至半導體結構 St 之與第二邊緣 F2 相面對之第一邊緣 F1 且在該處形成 P-摻雜之通道-停止-區 C。通道-停止-區 C 之摻雜物質濃度大約是 10^{19} cm^{-3} 。然後去除硼矽酸鹽玻璃。

藉由熱氧化作用使半導體結構 St 之邊緣和上述之摻雜區(其圍繞此半導體結構 St)設有 SiO_2 以便產生閘極介電質 Gd (請參閱第 2 圖)。

為了產生第一電晶體之第一閘極電極 Gal, 則須原處 (in situ) 沈積厚度大約是 30nm 之摻雜的多晶矽且進行回蝕刻直至第一高度 H1 處。然後產生一層輔助層 Sh, 其中須沈積厚度大約是 150nm 之氮化矽, 使其平坦化且進行回蝕刻直至第一高度 H1 下方為止。例如, CHF_3 適合作為蝕刻劑 (請參閱第 2 圖)。在去除半導體結構 St 邊緣之上部之 SiO_2 時第一閘極電極 Gal 和輔助層 Sh 是作為遮罩用 (請參閱第 2 圖)。例如, HF 適合作為蝕刻劑。在其餘 SiO_2 之邊緣上形成一部份閘極介電質 Gd。

為了擴大第一閘極電極 Gal, 則須原處 (in situ) 沈積厚度大約是 30nm 之摻雜的多晶矽且進行回蝕刻直至第二高度 H2 為止。第二高度 H2 位於第一高度 H1 上方且大約在表面 0 下方 650nm (請參閱第 3 圖)。

五、發明說明 (13)

藉助於一未顯示之遮罩(其覆蓋第一邊緣F1)而對多晶矽進行回蝕刻直至第三高度H3為止。第三高度H3在第一高度H1下方且大約在表面0下方850nm。因此，第二邊緣F2上之第一閘極電極Ga1小於第一邊緣F1上者。在第一邊緣F1上第一閘極電極Ga1在第一高度H1和第二高度H2之間是直接與半導體結構St相鄰。

然後沈積厚度大約是600nm之 SiO_2 ，藉由化學-機械拋光法來整平且藉助於條形之遮罩(未示出)來進行蝕刻直至緊緊位於第三高度H3下方為止，其中此條形遮罩之條片是垂直於X-軸X而延伸，較半導體結構St還狹窄且覆蓋此半導體結構St之一部份而未覆蓋第一邊緣F1和第二邊緣F2。例如， CHF_3 適合作為蝕刻劑。這樣就可產生第一間隔結構I1，其在垂直於X-軸X而相鄰之半導體結構St之間可到達表面0且在沿著X-軸X而相鄰之半導體結構St之間可緊緊地抵達第三高度H3下方(請參閱第4圖)。

然後沈積厚度為大約為60nm之磷矽酸鹽玻璃，藉由化學-機械拋光法來整平且進行回蝕刻直至緊緊地到達第一高度H1下方為止。藉助於一未顯示之遮罩(其覆蓋半導體結構St之第二邊緣F2之間的區域)而對磷矽酸鹽玻璃進行蝕刻直至第一隔離結構I1之一部份裸露為止。這樣就可在半導體結構St之第二邊緣F2之間產生一層由磷矽酸鹽玻璃所構成之隔離用之摻雜層Sd(請參閱第5圖)。此種隔離用之摻雜層Sd在第一高度H1上方直接與半導體結構St相鄰接。

五、發明說明 (14)

然後藉由熱氧化作用來補足閘極介電質 Gd。半導體結構 St 之第一邊緣 F1 覆蓋閘極介電質 Gd 直至第一高度 H1 和第二高度 H2 之間的中斷區 U 為止。藉由熱氧化作用而在第一閘極電極 Ga1 上產生第二隔離結構 I2 (請參閱第 5 圖)。

然後沈積厚度大約是 50nm 之原處 (in situ) 摻雜之多晶矽且進行回蝕刻，這樣就可沿著第一邊緣 F1 而產生一寫入用字線 WS 以及產生第二電晶體 (其係鄰接於第一邊緣 F1) 之第二閘極電極 Ga2 (其是作為寫入用字線 WS 之一部份) 且沿著第二邊緣 F2 產生一讀出用字線 WA 以及產生第三電晶體 (其係鄰接於第二邊緣 F2) 之第三閘極電極 Ga2 (其係作為讀出用字線 WA 之一部份)。

藉由沈積厚度大約是 600nm 之 SiO_2 且進行化學-機械式整平，則可產生第三隔離結構 I3 (其是作用中間氧化物用)。對 SiO_2 進行遮罩式蝕刻使半導體結構 St 之一部份裸露。

為了產生位元線 B，則須沈積鎢且進行結構化。位元線 B 使沿著 X-軸 X 而相鄰之半導體結構 St 上之第二電晶體之第二源極 / 汲極區 2S/D2 相連接 (請參閱第 5 圖)。

藉由退火步驟，則摻雜物質由第一高度 H1 上方之隔離用之摻雜層 Sd 擴散至半導體結構 St 之第二邊緣 F2 且形成第一摻雜區 D1。第一摻雜區 D1 同時適合作為第一電晶體之第二源極 / 汲極區以及第三電晶體之第一源極 / 汲極區。藉由退火步驟，則摻雜物質由第一閘極電極 Ga1 擴散至半導體結構 St 中第一邊緣 F1 上之閘極介電質 Gd 之中斷區 U 中。這樣就可產生第二摻雜區 D2，其適合作為第二

五、發明說明 (15)

電晶體之第一源極 / 汲極區。通道 - 停止 - 區 C 可防止第一電晶體之第一源極 / 汲極區 1S/D1 和第二電晶體之第一源極 / 汲極區之間的通道電流。

在第二實施例中，在第二基體 1' 之表面上產生一種由氮化矽所構成之條形之第一遮罩 M1'，其條片沿著 X-軸 X' (其平行於表面 0' 而延伸) 而延伸 (請參閱第 6 圖)。然後選擇性地對氮化矽而對矽進行蝕刻，這樣可在第一遮罩 M1' 下方產生大約 1200nm 高之暫時性半導體結構。

為了產生閘極介電質之第一部份，則須進行一種熱氧化作用。然後以 n-摻雜之離子進行一種植入程序。為了產生第一電晶體之第一閘極電極 Ga1' 之第一部份，則須沈積厚度大約是 50nm 之原處摻雜之多晶矽且進行回 (back) 蝕刻直至第一高度處，其大約在表面下方 750nm 處 (請參閱第 6 圖)。然後沈積厚度大約是 600nm 之 SiO_2 ，藉由化學 - 機械式拋光方法而整平且進行蝕刻直至第一遮罩 M1' 裸露為止。藉助於條形之未顯示之遮罩 (其條片垂直於第一遮罩 M1' 之條片而延伸) 而對矽，氮化矽和 SiO_2 蝕刻大約 1200nm 深。例如， Cl_2 和 CHF_3 適合作為蝕刻劑。須改善第一遮罩 M1'，使其覆蓋一種類似於第一實施例之正方形區域 (其邊長大約是 180nm)。相鄰之正方形區域之中心點間之距離大約是 360nm。由上述暫時性之半導體結構可在正方形區域下方產生一個半導體結構 St' 且在垂直於 X-軸 X' 而相鄰之半導體結構 St' 之間產生第一隔離結構 I1'。

以類似於第一實施例之方式而產生第一電晶體之第一

五、發明說明 (16)

源極 / 汲極區以及通道 - 停止 - 區。

為了產生閘極介電質之第二部份，則須像第一實施例一樣進行熱氧化作用，這樣半導體結構 St' 之邊緣上即有 SiO_2 形成。

為了產生第一閘極電極 $Ga1'$ 之第二部份，則須沈積厚度大約是 $30nm$ 之原處 (in situ) 摻雜之多晶矽且進行回蝕刻直至第一高度為止，以類似於第一實施例之方式產生一層輔助層，邊緣之上半部之 SiO_2 須去除且半導體結構 St' 之第二邊緣上之第一閘極電極 $Ga1'$ 須縮小，其中藉助於遮罩 (其覆蓋半導體結構 St' 之與第二邊緣相面對之第一邊緣) 而對多晶矽進行回蝕刻直至第三高度為止。

為了使垂直於 X -軸 X' 而相鄰之第一閘極電極 $Ga1'$ 互相隔離，則須藉助於未顯示之條形之遮罩 (其條片平行於 X -軸 X' 而延伸且覆蓋半導體結構 St') 來去除多晶矽。

然後就像第一實施例一樣產生一層隔離用之摻雜層製造閘極介電質，產生第二隔離結構，一條寫入用字線，一條讀出用字線，第二電晶體之第二閘極電極，第三電晶體之第三閘極電極，第一摻雜區，第二摻雜區，第三隔離結構以及一條位元線。

本發明可以有很多種變型之實施例，這些同樣是在本發明之範圍中。特別是上述之各層，結構，區域以及高度的大小都可依據各別之需求而調整。同時亦適用於所建議之各種摻雜物質濃度。由 SiO_2 所構成之結構可特別藉由熱氧化作用或沈積方法而產生。多晶矽可在沈積期

五、發明說明 (17)

間或沈積之後進行摻雜。若不用摻雜之多晶矽，則亦可使用金屬矽化物及 / 或金屬。較所使用之技術所能製造之最小結構大小還小或稍大之結構可藉由遮罩之過 (over) 蝕刻或欠 (under) 蝕刻而產生。若不用鎢作為位元線，則亦可使用其它導電性材料，例如，鋁。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

參考符號說明

1, 1'	基體
B	位元線
C	通道 - 停止 - 區
D1, D2	摻雜區
F1, F2	邊緣
Ga1, Ga2, Ga3, Ga1'	閘極電極
Gd	閘極介電質
H1, H2, H3	高度
I1, I2, I3, I1'	隔離用之結構
M1, M1'	第一遮罩
O	表面
Sh	輔助層
Sd	摻雜層
1S/D1, 2S/D2, 3S/D2	源極 / 汲極區
St, St'	半導體結構
U	中斷區
WA, WS	字線
x, y, x'	軸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：

DRAM單胞配置及其製造方法

記憶體單胞包括至少三個垂直式電晶體。第一電晶體和第二電晶體或第三電晶體相對於y-軸(y)(其是垂直於基體(1)之表面(o)而延伸)而互相重疊地配置著。第二電晶體和第三電晶體可配置在半導體結構(st)之互相面對的邊緣上，而第一電晶體是配置在二個邊緣上。各電晶體之源極/汲極區可互相重疊。

英文發明摘要 (發明之名稱：

DRAM-cells Arrangement and Its Production Method

A memory-cell includes at least three vertical transistors. A first transistor and a second transistor or a third transistor are overlappedly arranged relative to a y-axis (y), which extends perpendicular to the surface (o) of a substrate (1). Said second transistor and said third transistor can be arranged on the opposite edges of a semiconductor-structure (St), while the first transistor is arranged on both edges. The source/drain-areas of the transistors can overlap.

六、申請專利範圍

修正
89.5.19 補充

第 87117260 號「DRAM 單胞配置及其製造方法」專利案

(89 年 5 月修正)

六 申請專利範圍：

1. 一種 DRAM 單胞配置，其特徵為：

- 具有記憶體單胞，其包含至少一個第一電晶體，一個第二電晶體以及一個第三電晶體，
- 第一電晶體，第二電晶體和第三電晶體是垂直於 Y-軸(Y)(其係垂直於基體(1)之表面(0)而延伸)而構成，
- 第一電晶體之第一閘極電極(Ga1)是與第二電晶體之第一源極/汲極區相連接，
- 第二電晶體之第二源極/汲極區(2S/D2)是與寫入用位元線相連接，
- 第二電晶體之第二閘極電極(Gs2)是與寫入用字線(WS)相連接，
- 第三電晶體之第三閘極電極(Ga3)是與讀出用字線(WA)相連接，
- 第一電晶體之第二源極/汲極區是與第三電晶體之第一源極/汲極區相連接，
- 第三電晶體之第二源極/汲極區(3S/D2)是與讀出用位元線相連接，
- 第一電晶體和第二電晶體相對於 Y-軸(Y)而互相重疊地配置，
- 第一電晶體和第三電晶體相對於 Y-軸(Y)而互相重疊

六、申請專利範圍

修正
89.5.19 補充

第 87117260 號「DRAM 單胞配置及其製造方法」專利案

(89 年 5 月修正)

六 申請專利範圍：

1. 一種 DRAM 單胞配置，其特徵為：

- 具有記憶體單胞，其包含至少一個第一電晶體，一個第二電晶體以及一個第三電晶體，
- 第一電晶體，第二電晶體和第三電晶體是垂直於 Y-軸(Y)(其係垂直於基體(1)之表面(0)而延伸)而構成，
- 第一電晶體之第一閘極電極(Ga1)是與第二電晶體之第一源極/汲極區相連接，
- 第二電晶體之第二源極/汲極區(2S/D2)是與寫入用位元線相連接，
- 第二電晶體之第二閘極電極(Gs2)是與寫入用字線(WS)相連接，
- 第三電晶體之第三閘極電極(Ga3)是與讀出用字線(WA)相連接，
- 第一電晶體之第二源極/汲極區是與第三電晶體之第一源極/汲極區相連接，
- 第三電晶體之第二源極/汲極區(3S/D2)是與讀出用位元線相連接，
- 第一電晶體和第二電晶體相對於 Y-軸(Y)而互相重疊地配置，
- 第一電晶體和第三電晶體相對於 Y-軸(Y)而互相重疊

六、申請專利範圍

地配置。

2.如申請專利範圍第 1 項之 DRAM 單胞配置，其中

- 第二電晶體基本上是配置在半導體結構 (St) 之第一邊緣 (F1) 上，
- 第三電晶體基本上是配置在半導體結構 (St) 之第二邊緣 (F2) 上，
- 第一邊緣 (F1) 和第二邊緣 (F2) 設有閘極介電質 (Gd)，
- 寫入用字線 (WS) 沿著第一邊緣 (F1) 而延伸，
- 讀出用字線 (WA) 沿著第二邊緣 (F2) 而延伸，
- 第一閘極電極 (Ga1) 之第一部份至少與第一邊緣 (F1) 相鄰接，
- 第一閘極電極 (Ga1) 之第二部份至少與第二邊緣 (F2) 相鄰接，
- 第一閘極電極 (Ga1) 之第一部份與第一閘極電極 (Ga1) 之第二部份是以相連接之方式構成，
- 閘極介電質 (Gd) 在第一閘極電極 (Ga1) 之第一部份區域中在第一邊緣 (F1) 上具有中斷區 (U)。

3.如申請專利範圍第 2 項之 DRAM 單胞配置，其中

- 在第一邊緣 (F1) 上配置一種元件，此種元件可抑制第一電晶體之第一源極/汲極區 (1S/D1) 和第二電晶體之第一源極/汲極區之間通道電流之形成。

4.如申請專利範圍第 2 或第 3 項之 DRAM 單胞配置，其中

六、申請專利範圍

- 第一閘極電極 (Ga1) 之第一部份之上端在 Y-軸 (Y) 方向中是在第二高度 (H2) 處，第二高度 (H2) 較第三高度 (H3) 還高，第一閘極電極 (Ga1) 之第二部份之上端是在第三高度 (H3) 處。
 - 閘極介電質 (Gd) 之中斷區 (U) 在 Y-軸 (Y) 方向中是在第三高度 (H3) 上方。
5. 如申請專利範圍第 1, 2 或 3 項之 DRAM 單胞配置, 其中
- 第一電晶體之第二源極 / 汲極區和第三電晶體之第一源極 / 汲極區形成第一摻雜區 (D1)。
6. 如申請專利範圍第 1, 2 或 3 項之 DRAM 單胞配置, 其中
- 第二電晶體之第一源極 / 汲極區構成第二摻雜區 (D2)，其在閘極介電質 (Gd) 之中斷區 (U) 中是與第一閘極電極 (Ga1) 之第一部份相鄰接。
7. 如申請專利範圍第 1 或第 2 項之 DRAM 單胞配置, 其中
- 寫入用位元線是與讀出用位元線相疊合而形成一條位元線 (B)。
8. 一種 DRAM 單胞配置之製造方法，其特徵為：
- 須產生記憶體單胞，其包含至少一個第一電晶體，一個第二電晶體以及一個第三電晶體，
 - 產生一些寫入用字線 (WS) 及讀出用字線 (WA) 以及

六、申請專利範圍

一些垂直於寫入用字線 (WS) 和讀出用字線 (WA) 之位元線 (B),

- 須產生閘極電極, 第一源極 / 汲極區和第二源極 / 汲極區,

- 第一電晶體之第一閘極電極 (Ga1) 是與第二電晶體之第一源極 / 汲極區相連接,

- 第二電晶體之第二源極 / 汲極區 (2S/D2) 是與寫入用位線相連接,

- 第二電晶體之第二閘極電極 (Ga2) 是與寫入用字線 (WS) 相連接,

- 第三電晶體之第三閘極電極 (Ga3) 是與讀出用字線 (WA) 相連接,

- 第一電晶體之第二源極 / 汲極區是與第三電晶體之第一源極 / 汲極區相相連接,

- 第三電晶體之第二源極 / 汲極區 (3S/D2) 是與讀出用位元線相連接,

- 第一電晶體, 第二電晶體和第三電晶體是垂直於 Y-軸 (Y) (其是垂直於基體 (1) 之表面 (0) 而延伸) 而形成,

- 第一電晶體和第二電晶體相對於 Y-軸 (Y) 而互相重疊地形成,

- 第一電晶體和第三電晶體相對於 Y-軸 (Y) 而互相重疊地形成。

9. 如申請專利範圍第 8 之方法, 其中

六、申請專利範圍

- 第一電晶體，第二電晶體和第三電晶體形成在半導體結構(St)上，
- 第二電晶體基本上是形成半導體結構(St)之第一邊緣(F1)上，
- 第三電晶體基本上是形成在半導體結構(St)之第二緣(F2)上，
- 第一邊緣(F1)和第二邊緣(F2)設有閘極介電質(Gd)，
- 寫入用字線(WS)沿著第一邊緣(F1)延伸而形成，
- 讀出用字線(WA)沿著第二邊緣(F2)延伸而形成，
- 第一閘極電極(Ga1)之第一部份至少鄰接於第一邊緣(F1)而形成，
- 第一閘極電極(Ga1)之第二部份至少鄰接於第二邊緣(F2)而形成，
- 第一閘極電極(Ga1)之第一部份和第一閘極電極(Ga1)之第二部份是以互相連接之方式而構成，
- 閘極介電質(Gd)在第一閘極電極(Ga1)之第一部份之區域中於第一邊緣(F1)上設有中斷區(U)。

10.如申請專利範圍第 8 或第 9 項之方去，其中

- 在第一邊緣(F1)上設有一種元件，其可抑制第一電晶體之第一源極/汲極區(1S/D1)和第二電晶體之第一源極/汲極區之間通道電流之形成。

11.如申請專利圍第 10 項之方法，其中

- 在產生半導體結構(St)之後產生一種摻雜物質源，其

六、申請專利範圍

至少在即將產生之中斷區(U)下方之區域中覆蓋第一邊緣(F1),

- 可在第一電晶體之第一源極/汲極區(1S/D1)以及第二電晶體之第一源極/汲極區之間抑制通道電流之形成的該元件是以通道-停止-區(C)之形式而形成,
- 爲了產生通道-停止-區(C), 摻雜物質由摻雜物質源擴散至半導體結構(St)中。

12.如申請專利範圍第9項之方法, 其中

- 須產生第一閘極電極(Ga1), 使第一閘極電極(Ga1)之第一部份上端在Y-軸(Y)方向中是位於第二高度(H2)處, 第二高度(H2)較第三高度(H3)還高, 第一閘極電極(Ga1)之第二部份之上端是位在第三高度(H3)處,
- 須形成閘極介電質(Gd), 使中斷區(U)在Y-軸(Y)方向中是在第三高度(H3)上方。

13.如申請專利範圍第12之方法, 其中

- 在產生半導體結構(St)之後須進行熱氧化作用, 這樣可產生一部份閘極介電質(Gd),
- 爲了產生第一閘極電極(Ga1)須沈積第一材料且對此材料進行回(back)蝕刻直至第一高度(H1)爲止,
- 藉由熱氧化作用而產生之SiO₂須由第一邊緣(F1)和第二邊緣(F2)之裸露的部份去除,
- 爲了產生第一閘極電極(Ga1)之第一部份須沈積另一種第一材料且對此材料進行回蝕刻直至第二高度(H2)

六、申請專利範圍

為止，

- 爲了產生第一閘極電極 (Ga1) 之第二部份，則須藉助於一個遮罩 (其至少覆蓋第一閘極 (Ga1) 之第一部份) 而對第一材料之一部份進行蝕刻直至第三高度 (H3) 為止，第三高度 (H3) 位於第一高度 (H1) 下方，
- 藉由熱氧化作用而至少在第一邊緣 (F1) (其在第一高度 (H1) 和第二高度 (H2) 之間的區域外部) 上補足閘極介電質 (Gd)。

14. 如申請專利範圍第 8 或第 9 項之方法，其中

- 須形成第一摻雜區 (D1)，其包括第一電晶體之第二源極 / 汲極區以及第三電晶體之第一源極 / 汲極區。

15. 如申請專利範圍第 14 項之方法，其中

- 須產生第一摻雜區 (D1)，其中至少在第一閘極電極 (Ga1) 之第二部份上方之一部份在鄰接於第二邊緣 (F2) 處沈積一種層 (Sd)，摻雜物質在退火過程中由此層 (Sd) 擴散至半導體結構 (St) 中。

16. 如申請專利範圍第 9 項之方法，其中

- 須形成第二電晶體之第一源極 / 汲極區以作為第二摻雜區 (D2)，其中藉由閘極介電質 (Gd) 之中斷區 (U) 中之退火步驟使摻雜物質擴散至半導體結構 (St) 中。

17. 如申請專利範圍第 8 或第 9 項之方法，其中

- 藉由材料之沈積和回蝕刻及 / 或化學 - 機械式拋光法而在第一邊緣 (F1) 上產生一條寫入用字線 (WS) 以及在

六、申請專利範圍

第二邊緣(F2)上產生一條讀出用字線(WA),

- 產生第二閘極電極(Ga2)以作為寫入用字線(WS)之一部份以及產生第三閘極電極(Ga3)以作為讀出用字線(WA)之一部份。

18.如申請專利範圍第8或第9項之方法, 其中

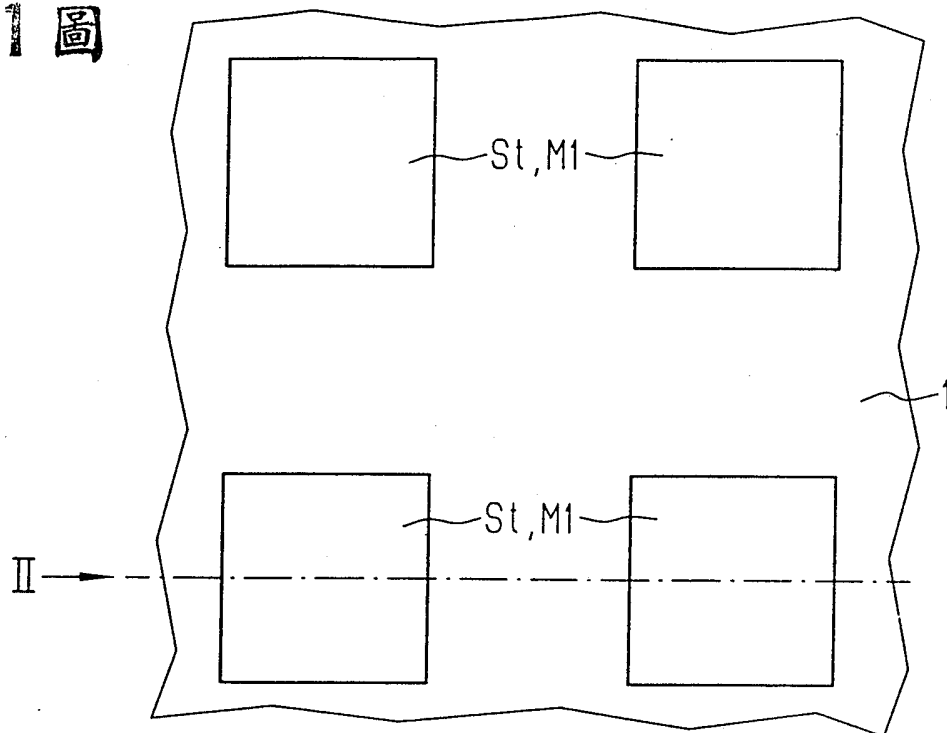
- 須形成一條寫入用位元線和一條讀出用位元線, 使它們相疊合而形成一條位元線(B)。

(請先閱讀背面之注意事項再填寫本頁)

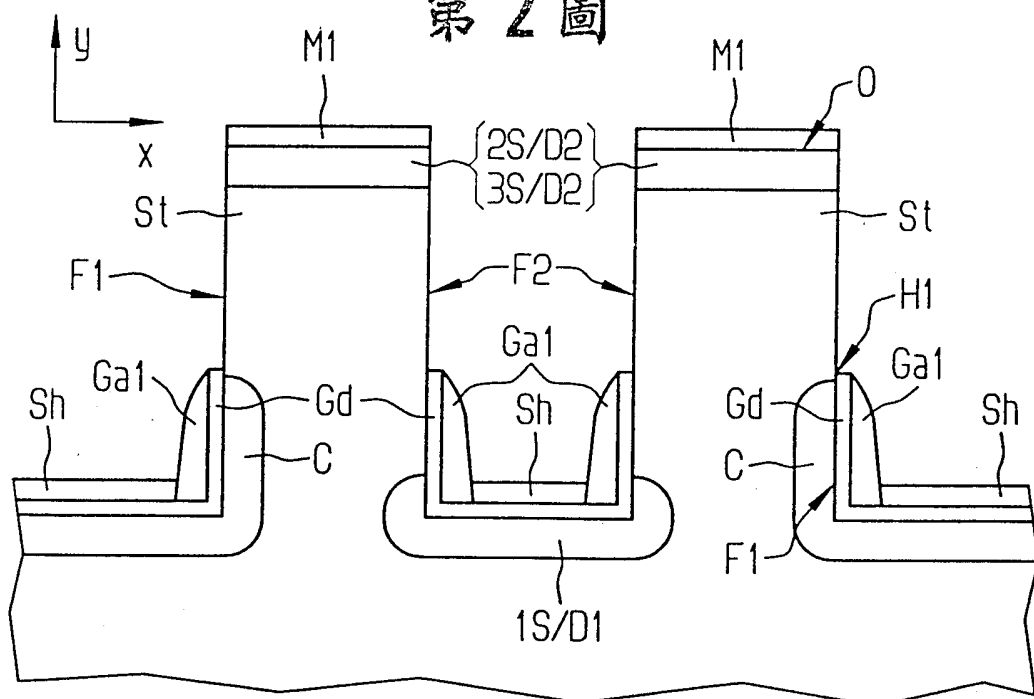
訂



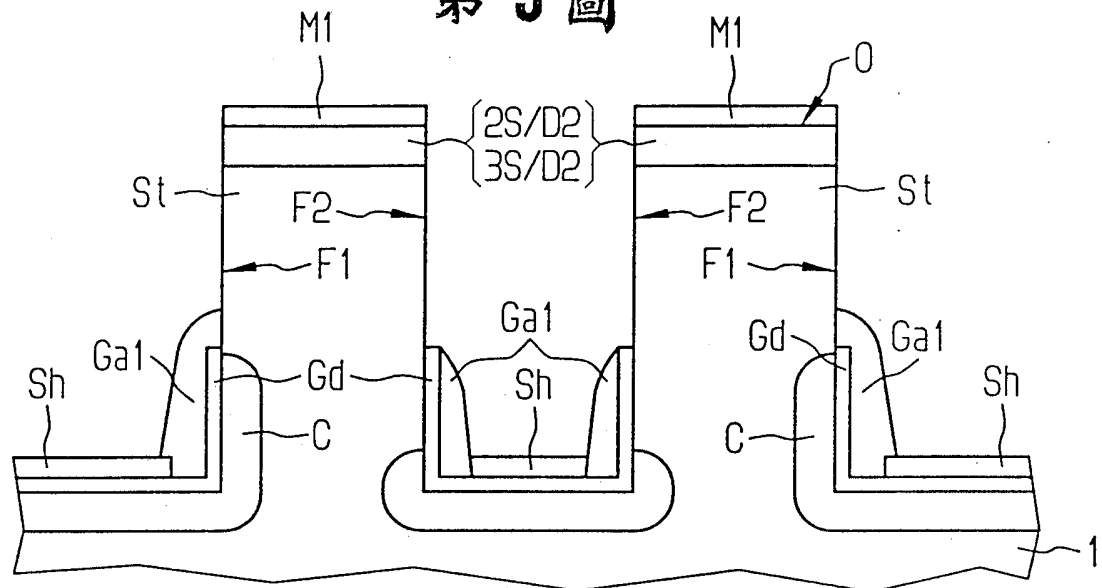
圖 1 第



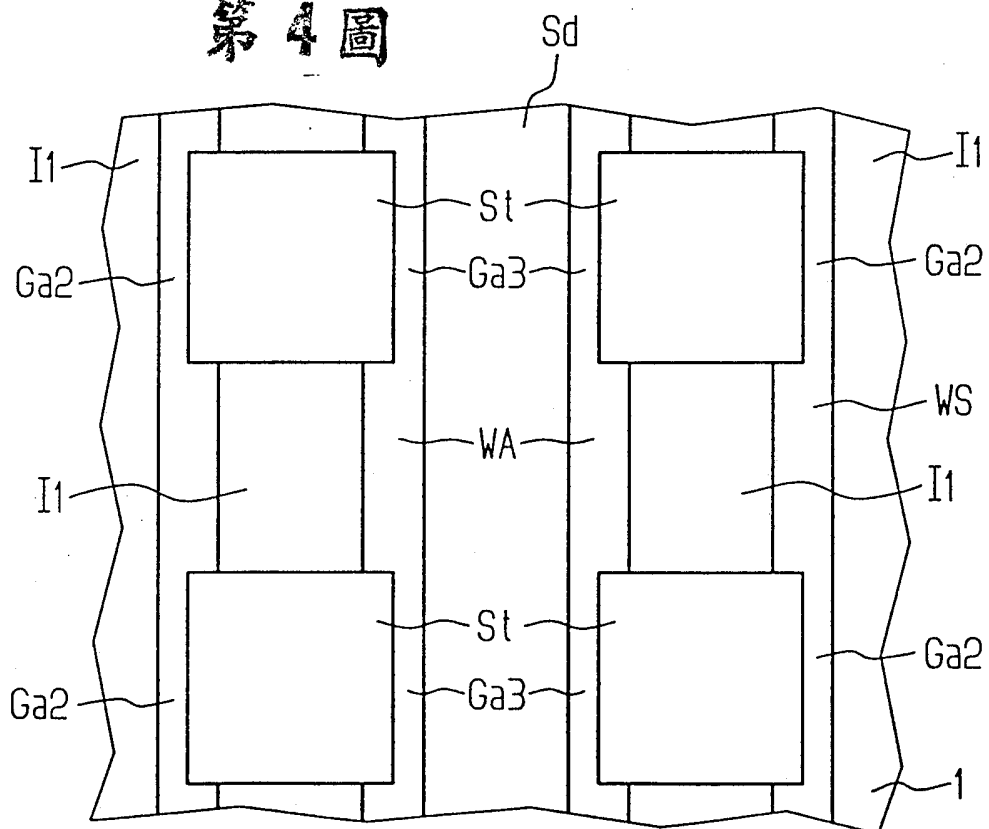
第 2 圖



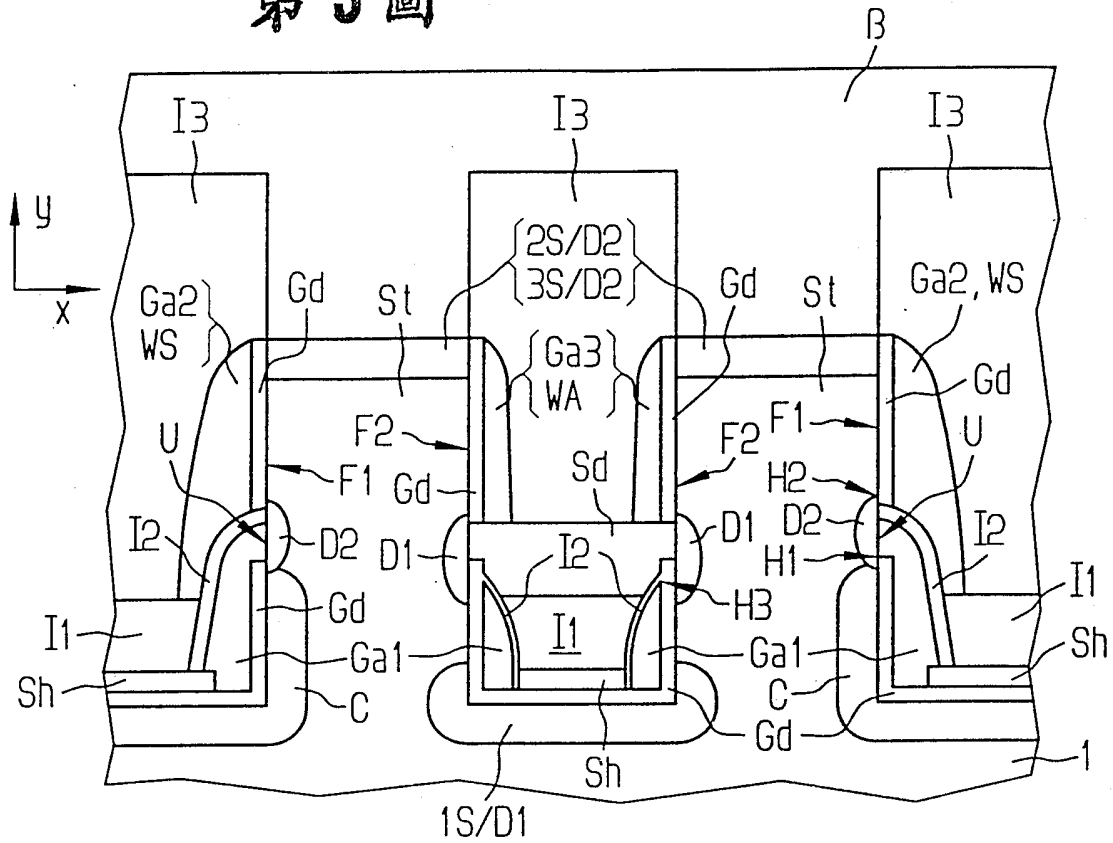
第 3 圖



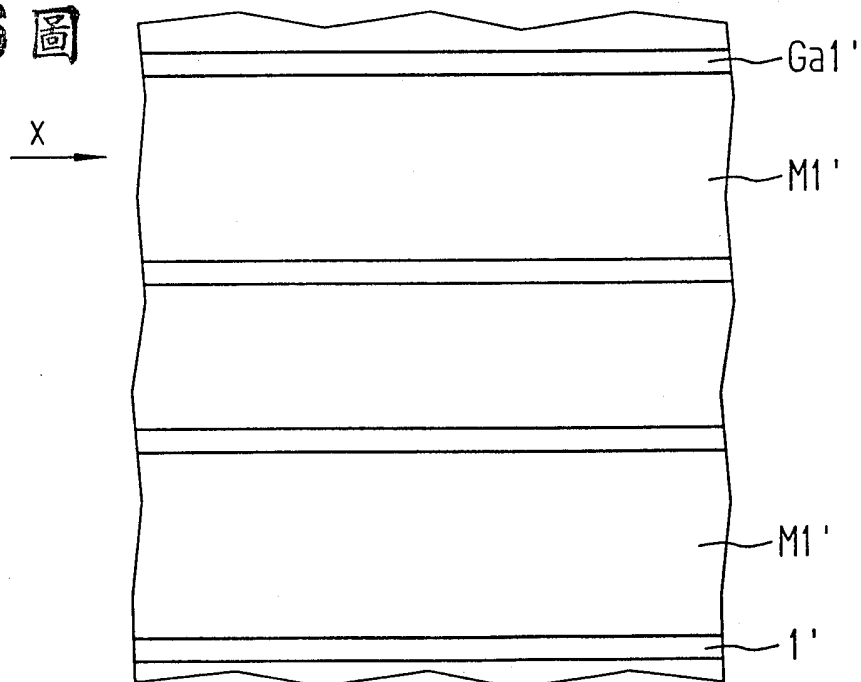
第 4 圖



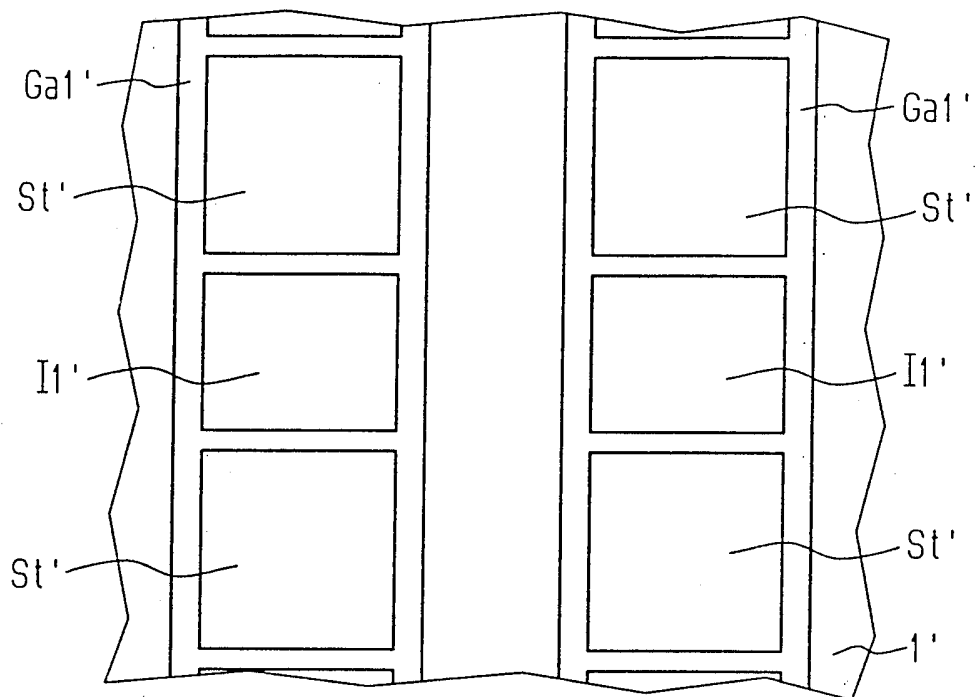
第 5 圖



第 6 圖



第 7 圖



第 8 圖

