(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 29/786
H01L 21/336

(45) 공고일자 2003년07월16일
(11) 등록번호 10-0379858
(24) 등록일자 2003년03월31일

(21) 출원번호 10-1995-0005898
(22) 출원일자 1995년03월21일

(65) 공개번호 특1995-0034848
(43) 공개일자 1995년12월28일

(30) 우선권주장 94-87799 1994년03월31일 일본(JP)

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자
다람팔고사인
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

죠나단웨스트워터
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

우스이세쓰오
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

(74) 대리인
박종길

심사관 : 김관식

(54) 박막트랜지스터의제조방법

요약

본 발명은 저온프로세스에 의해 TFT의 활성층의 poly-Si 막 전체를 수소화하여 그 저항의 저감을 도모하고, 또한 드레인 근방의 전계를 완화하여 리크전류의 저감을 도모한다.
절연성 표면의 기체(基體)(11)상에는 게이트(12)와 그것을 덮는 절연막(13)이 형성되고, 게이트(12)상을 포함하는 기체(11)상에는 절연막(13)을 개재하여 수소화를 실시한 다결정실리콘막(17)이 형성되어 있다. 또한, 게이트(12) 위쪽의 다결정실리콘막(17)상에는 산화실리콘막패턴(18)이 형성되고, 그 대략 양 외측의 다결정실리콘막(17)상에는, a-Si:H막(19), 도전형 실리콘막(20), 금속막(21)이 적층되어 있고, 그들 막으로 소스/드레인(22),(23)이 형성되어 있다. 따라서, a-Si:H막(19)이 오프세트로 된다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 실시예의 개략구성단면도.
제2도는 본 발명의 실시예의 제조공정도(1).

제3도는 본 발명의 실시예의 제조공정도(2).
제4도 및 제5도는 제3 공정의 제조공정도.
제6도는 종래예의 제조공정도.
* 도면의 주요 부분에 대한 부호의 설명
(1): 박막트랜지스터, (11): 기체, (12): 게이트, (13): 절연막, (17): 다결정실리콘막, (18): 산화실리콘막, (19): 수소를 함유하는 비정질실리콘(a-Si:H)막, (20): 도전형 실리콘막, (21): 금속막, (22): 소스/드레인, (23): 소스 · 드레인, (31): 비정질실리콘막, (32): 산화실리콘막, (41): 비정절실리콘막, (42): 수소이온, (43): 도전형 불순물이온.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 및 그 제조방법에 관한 것이다.
근년, 다결정실리콘(이하, poly-Si 라고 함)막을 사용한 박막트랜지스터, 이 른바 poly-Si TFT (Thin Film Transistor)가 활성회로소자로서 LCD, SRAM 등에 사용되고 있다. 특히 레이저결정화처리를 행한 poly-Si 막을 활성층에 사용하여 TFT를 형성하는 방법에는 각종의 보고가 있다.
레이저결정화처리를 이용하는 방법은 저코스트의 유리기판상에 저온프로세스에 의해 TFT를 형성할 수 있다. 엑시머레이저광을 사용하여 비정질실리콘층을 결정화하는 방법에서는 결정립(結晶粒)은 10 nm 정도로 밖에 성장하지 않으므로, 결정입계가 많아진다. 그래서, 수소화처리에 의해 결정입계에 존재하는 주요한 결함인 덩글링본드를 수소로 치환함으로써 이 덩글링본드를 제거한다.
그 종래예에 대하여 제6도의 제조공정도에 따라서 설명한다.
제6도의 (1)에 나타낸 바와 같이, 유리기판(111)상에는 게이트(112)가 배설되어 있다. 또한, 유리기판(111)상에는 게이트(112)를 덮는 상태로 양극(陽極)산화층(113), 보호막(114) 및 게이트절연막(15)이 차례로 형성되어 있다.
먼저, 화학적 기상성장(氣相成長)(이하 CVD라고 함)법에 의해 상기 게이트절연막(115)상에 n 형 불순물을 함유하는 비정질실리콘막(116)을 성막한다.
이어서, 엑시머레이저광을 사용한 레이저결정화법에 의해 비정질실리콘막(116)을 결정화하여 poly-Si 막(117)을 생성한다.
이어서, CVD 법에 의해 상기 poly-Si 막(117)상에 산화실리콘막 (118)을 성막한다.
그 후, 제6도의 (2)에 나타낸 바와 같이, 리소그라피기술과 에칭에 의해 상기 산화실리콘막(118)을 패터닝하고, 게이트(112)의 위쪽의 상기 poly-Si막(117)상 에 산화실리콘막(118)으로 이루어지는 에칭정지패턴(119)을 형성한다.
이어서, 제6도의 (3)에 나타낸 바와 같이, CVD 법에 의해 상기 에칭정지패턴(119)을 덮는 상태로 n형 불순물을 함유하는 실리콘막(120)과 금속막(121)을 퇴적한다.
그 후, 제6도의 (4)에 나타낸 바와 같이, 리소그라피기술과 에칭에 의해 상기 금속막(121)과 상기 실리콘막(120)으로 상기 게이트(112)의 위쪽 양측에 소스/드레인(122),(123)을 형성한다.
이어서, 플라즈마수소화처리에 의해 상기 에칭정지패턴(119)을 통하여, 게이트(112)의 위쪽에 있어서의 poly-Si 막(117)의 계면에 수소(도시하지 않음)를 도입한다. 그리고, 덩글링본드를 수소로 치환하여 제거한다.
상기와 같이 하여, TFT (Thin Film Transistor)(101)는 형성된다.
그러나, 상기 제조방법에 의해 형성된 TFT 에서는, 수소는 에칭정지패턴을 통해서만 poly-Si 막에 공급된다. 그러므로, poly-Si 막의 전체에 수소를 공급하는 것은 곤란하므로, 그 저항은 높아진다.
또, 소스/드레인영역의 활성화어닐처리를 고온으로 행할 필요가 있다.
또한, 드레인 근방에 전계가 집중하기 쉬우므로 리크전류가 많다.
본 발명을 캐리어이동특성과 리크전류특성이 우수한 박막트랜지스터 및 그 제조방법을 제공하는 것을 목적으로 한다.
본 발명은 상기 목적을 달성하기 위하여 이루어진 박막트랜지스터 및 그 제조방법이다.
박막트랜지스터는 다음과 같은 구성을 이룬다.
즉, 최소한 표면이 절연성을 가지는 기체(基體)상에는 게이트와 그것을 덮는 게이트절연막을 포함하는 절연막이 형성되어 있다. 그리고, 게이트상을 포함하는 기체상에는 절연막을 개재하여 수소화를 실시한 다결정실리콘막이 형성되어 있다. 또한, 게이트 위쪽의 다걸정실리콘막상에는 산화실리콘막패턴이 형성되어 있다. 그리고, 그 패턴의 대략 양 외측의 다결정실리콘막상에는 수소를 함유하는 비정질실리콘막, 도전형 실리콘막 및 금속막이 순차 적층되어 있고, 그들 막에 의해 소스/드레인이 형성되어 있다.
박막트랜지스터의 제조방법으로서는, 제1 공정에서, 절연성 표면의 기체상의 게이트를 덮는 상태로 하여 최소한 게이트절연막을 포함하는 절연막을 형성한 후, 그 상면측에 다결정실리콘막을 형성한다. 제2 공정에서, 다결정실리콘막상에 산화실리콘막을 성막한 후, 패터닝하여 게이트 위쪽에 산화실리콘막패턴을 형성한다. 제3 공정에서, 산화실리콘막패턴을 덮는 상태로 하여 다결정실리콘막상에 수소를 함유하는 비정질실리콘막 도전형 실리콘막 및 금속막을 순차 형성한다. 제4 공정에서, 열처리에 의해 비정질실리콘막중의 수소를 다결정실리콘막에 도입하여, 도전형 실리콘막중

의 도전성 불순물을 활성화한다. 그리고, 제5 공정에서, 금속막과 도전형 실리콘막과 비정질 실리콘막을 패터닝하여 소스/드레인을 형성한다.
또, 제3 공정에서, 산화실리콘막패턴을 덮는 상태로 하여 다결정실리콘막상에 비정질실리콘막을 성막한 후, 이온도핑에 의해 비정질실리콘막중에 수소이온을 주입하고, 그 표층에 도전형 불순물이온을 주입한 후, 금속막을 형성한다.
또, 이온도핑의 대신에 플라즈마도핑에 의해 비정질실리콘막중에 수소이온을 도입하는 동시에 도전형 불순물이온을 도입하고, 그 후 금속막을 형성해도 된다.
상기 구성의 박막트랜지스터에서는, 소스/드레인이 비정질실리콘막과 도전형 실리콘막과 금속막으로 형성되어 있으므로, 비정질실리콘막이 오프세트로 된다. 따라서, 박막트랜지스터는 오프세트구조로 되므로, 드레인 근방의 전계완화에 의해 리크전류가 작아진다.
또한, 게이트상에 절연막을 개재하여 수소화한 다결정실리콘막이 형성되어 있으므로, 다결정실리콘막의 덩글링본드는 수소에 의해 치환되어 제거된다. 그러므로, 다결정실리콘막으로 형성되는 채널영역의 캐리어이동도가 높아진다.
상기 박막트랜지스터의 제조방법에서는, 다결정실리콘막상에 형성한 산화실리콘패턴을 덮는 상태로 다결정실리콘막상에 수소를 함유하는 비정질실리콘막, 도전형 실리콘막 및 금속막을 차례로 성막하고, 그 후 비정질실리콘막중의 수소를 다결정실리콘막에 확산함으로써, 다결정실리콘막은 전역에 걸쳐서 수소화된다. 그러므로, 소스/드레인의 저항이 낮아진다.
상기 제3 공정에서, 산화실리콘막패턴을 덮는 상태로 하여 다결정실리콘막상에 비정질실리콘막을 성막한 후, 이온도핑에 의해 비정질실리콘막중에 수소이온을 주입하는 방법에서는, 비정질실리콘막중에 수소이온을 다량으로 함유시키는 것이 가능하게 된다.
한편, 플라즈마도핑에 의해 비정질실리콘막중에 도전형 불순물이온을 도입하는 방법에서는, 비정질실리콘막의 표층에 도전형 불순물이온을 도입하는 것이 용이 하게 된다.
또, 상기 방법에서는, 비정질실리콘막중에 수소이온과 함께 도전형 불순물이온이 도입됨으로써, 400℃ 이하의 저온 어닐처리로 도전형 불순물이온이 활성화된다. 따라서, 저온화 프로세스가 실현된다. 또한, 도전형 실리콘막의 성막을 행할 필요가 없어지므로, 성막공정을 생략할 수 있다.
본 발명의 박막트랜지스터의 일실시예에 대하여 제1도의 개략구성단면도에 따라서 설명한다.
도면에 나타낸 바와 같이, 최소한 표면이 절연성을 가지는 기체(基體)(11)상의 일부분에는 게이트(12)가 형성되어 있다. 상기 기체(11)는, 예를 들면 유리기판으로 이루어진다. 또, 게이트(12)는, 예를 들면 몰리브덴(Mo), 탄탈(Ta), 크롬(Cr), 동(Cu), 티탄(Ti), 알루미늄(Al) 중의 1종의 금속 또는 그들 금속의 복수종으로 형성한 합금으로 이루어진다. 예를 들면 몰리브덴탄탈(MoTa)로 이루어진다.
상기 기체(11)상에는 게이트(12)를 덮는 상태로 복수층의 절연막(13)이 형성되어 있다. 이 복수층의 절연막(13)은 게이트(12)의 표층을 양극(陽極)산화하여 이루어지는 산화막(14)과, 기체(11)를 보호하는 것으로 그것을 덮는 상태로 성막한 질화실리콘막(15)과, 그 상면에 성막한 산화실리콘으로 이루어지는 게이트절연막(16)으로 형성되어 있다. 상기 산화막(14)은 플라즈마산화한 것이라도 된다.
또한, 상기 게이트절연막(16)의 상면에는 다결정실리콘막(17)이 성막되어 있 다. 이 다결정실리콘막(17)은, 예를 들면 비정질실리콘막을 레이저결정화법에 의해 다결정화한 것으로 이루어진다.
그리고, 게이트(12)의 위쪽의 다결정실리콘막(17)상에는, 산화실리콘막패턴(18)이 형성되어 있다. 이 산화실리콘막패턴(18)은 후술하는 소스/드레인을 형성할 때의 에칭 정지층으로 되는 것이고, 또한 수소이온을 통과시키는 재료로 형성된다.
상기 산화실리콘막패턴(18)의 대략 양 외측에 있어서의 다결정실리콘막(17)상에는, 수소를 함유하는 비정질실리콘(이하 a-Si:H라고 함)막(19)과 도전형 실리콘막(20)과 금속막(21)과를 적층한 소스/드레인(22),(23)이 형성되어 있다. 또한, 상기 소스/드레인(22),(23) 및 그 사이를 덮는 상태로 질화실리콘으로 이루어지는 패시베이션막(24)이 형성되어 있다.
상기와 같이, 박막트랜지스터(1)가 구성되어 있다.
상기 구성의 박막트랜지스터(1)에서는, 게이트(12)상에 절연막(13)을 개재하여 수소화한 다결정실리콘막(17)이 형성되어 있으므로, 다결정실리콘막(17)의 계면에 존재하는 덩글링본드는 수소에 의해 치환되어 제거된다. 그러므로, 채널영역의 캐리어이동도가 높아진다.
또한, 소스/그레인(22),(23)이 a-Si:H막(19)과 도전형 실리콘막(20)과 금속막(21)으로 형성되어 있으므로, 상기 a-Si:H막(19)이 오프세트로 된다. 따라서, 박막트랜지스터(1)는 오프세트구조로 되므로, 드레인으로서 작용하는 소스/드레인(22) (또는 23) 근방의 전계가 완화되어서, 리크전류가 작아진다.
다음에, 상기 박막트랜지스터(1)의 제조방법에 대하여 제2도, 제3도의 제조공정도(1),(2)에 따라서 설명한다.
그리고, 도면에서는 상기 제1도에서 설명한 것과 동일한 구성부품에는 동일 부호를 붙여서 설명한다.
제2도의 (1)에 나타낸 바와 같이, 최소한 표면이 절연성을 가지는 기체(11)로서, 예를 들면 유리기판상에는, 몰리브덴탄탈(MoTa)로 이루어지는 게이트(12)가 형성되어 있다. 그 게이트(12)는 몰리브덴(Mo), 탄탈(Ta), 크롬(Cr), 동(Cu), 티탄(Ti), 알루미늄(Al) 등의 1종의 금속 또는 그들 금속의 합금으로 형성하는 것도 가능하다.
그리고, 상기 게이트(12)를 덮는 상태로 복수층의 절연막(13)이 형성되어 있다. 이 복수층의 절연막(13)은, 예를 들면 게이트(12)의 표층을 양극산화한 산화막(14)과, 그것을 덮는 상태로 성막한 질화실리콘의 보호막(15)과, 그 상면에 성막한 산화실리콘의 게이트절연막(16)으로 형성되어 있다.
그리고 제1 공정에서, 예를 들면 화학적 기상성장(氣相成長)(이하 CVD라고 함)법으로 대표되는 성막기술에 의해 비정질실리콘막(31)을 성막한다. 그 후, 레이저결정화법에 의해 상기 비정질실리콘막(31)에 엑시머레이저광을 조사(照射)하여 레이저결정화 처리를 행하여, 비정질실리콘막(31)을 다결정실리콘막(17)으로 개질(改質)한다.

이어서 제2도의 (2)에 나타낸 제2 공정을 행한다. 이 공정에서는, CVD법, 증착법, 스퍼터법 등의 성막기술에 의해 다결정실리콘막(17)상에 산화실리콘막(32)을 성막한다.
그 후, 리소그라피기술과 에칭에 의해 산화실리콘막(32)의 2점쇄선으로 나타낸 부분을 제거하고, 게이트(12)의 위쪽의 다결정실리콘막(17)상에 남긴 산화실리콘막(32)으로 산화실리콘막패턴(18)을 형성한다.
여기서는 산화실리콘막패턴(18)을 형성하였으나. 예를 들면 수소를 통과시키는 재료이면 다른 재료를 사용해도 상관없다.
이어서 제2도의 (3)에 나타낸 제3 공정을 행한다. 이 공정에서는, 예를 들면 CVD법, 여기서는 250℃ 이하의 성막온도에서의 PECVD 법에 의해 산화실리콘막패턴(18)을 덮는 상태로 하여 다결정실리콘막(17)상에 수소를 함유하는 비정질실리콘(이하 a-Si:H 라고 함)막(19)을 성막한다.
이어서, CVD법, 증착법, 스퍼터법 등의 성막기술에 의해 a-Si:H막(19)상에 도전형 실리콘막(20)을 성막한다. 이 도전형 실리콘막(20)은 n형 또는 p형의 불순물을 함유하는 실리콘막으로 이루어진다.
그 후, CVD법, 증착법, 스퍼터법 등의 성막기술에 의해 도전형 실리콘막(20)상에 금속막(21)을 형성한다.
그 후, 제3도의 (4)에 나타낸 제4 공정을 행한다. 이 공정에서는, 열처리에 의해 a-Si:H막(19)중의 수소를 다결정실리콘막(17)에 확산하여, 그 다결정실리콘막(17)을 수소화한다. 그와 동시에, 도전형 실리콘막(20)중의 도전성 불순물을 활성화한다. 상기 열처리는 400℃ 이하의 온도에서 행한다. 예를 들면 375℃ 에서 열처리를 행한다.
그리고, 제3도의 (5)에 나타낸 제5 공정을 행한다. 이 공정에서는, 리소그라피기술과 에칭에 의해, 금속막(21)과 도전형 실리콘막(20)과 a-Si:H막(19)온 패터닝하여, 산화실리콘막패턴(18)의 대략 양 외측에 a-Si:H막(19)과 도전형 실리콘막(20)과 금속막(21)으로 이루어지는 소스/드레인(22),(23)을 형성한다.
또한, CVD 법에 의해 상기 산화실리콘막패턴(18)과 소스/드레인(22),(23)을 덮는 상태로 패시베이션막(24)을 질화실리콘으로 성막한다.
상기와 같이, 박막트랜지스터(1)는 제조된다.
상기 박막트랜지스터의 제조방법에서는, 다결정실리콘막(17)상에 산화실리콘막패턴(18)을 형성하고, 또한 산화실리콘막패턴(18)을 덮는 상태로 다결정실리콘막(17)상에 a-Si:H막(19), 도전형 실리콘막(20) 및 금속막(21)의 순으로 성막한 후, a-Si:H막(19)중의 수소를 다결정실리콘막(17)에 확산함으로써, 다결정실리콘막(17)은 전역에 걸쳐서 수소화된다. 일반적으로, 수소는 산화실리콘중을 양호하게 통과하는 것이 알려져 있다. 따라서, a-Si:H막(19)중의 수소는 산화실리콘막패턴(18)을 통과한다. 그러므로, 산화실리콘막패턴(18)에 덮여 있는 부분의 다결정실리콘막(17)에도 수소가 도입되므로, 그 부분의 결정입계가 해소하여 저항이 내려간다.
그리고, a-Si:H막을 사용하여 다결정실리콘막(17)에 수소를 확산하는 방법은 종래의 수소를 함유하는 질화실리콘막을 사용하여 다결정실리콘막에 수소를 확산하는 방법에도 응용할 수 있다.
즉, 수소를 함유하는 질화실리콘막의 대신에 a-Si:H막을 사용하여,수소를 확 산한 후, a-Si:H막을 제거한다. 그리고, 패시베이션막으로서의 질화실리콘막을 결정(結晶)하면 된다.
다음에, 상기 제조방법에서의 제3 공정을 다음과 같이 행하는 것도 가능하다. 그것을 제4도의 제조공정도에 따라서 설명한다.
그리고 제1도 제3도에서 설명한 것과 동일한 구성부품에는 동일 부호를 붙여서 설명한다.
제4도의 (1)에 나타낸 바와 같이, 산화실리콘막패턴(18)을 덮는 상태로 하여 다결정실리콘막(17)상에 비정질실리콘막(41)을 성막한다.
그 후, 제4도의 (2)에 나타낸 바와 같이, 이온도핑기술, 예를 들면 이온주입법에 의해 비정질실리콘막(41)중에 수소이온(42)을 주입한다. 그와 동시에, 그 비정질실리콘막(41)의 표층에 도전형 불순물이온(43)을 주입한다. 이 도전형 불순물이온(43)으로서는, n형 불순물로는 인이온(P^+), 비소이온(As^+) 또는 안티몬이온(Sb^+)이 대표적이고, 예를 들면 p형 불순물로는 붕소이온(B^+)이 대표적이다. 그리고, 도전형 불순물이온(43)은 1 keV 5 keV 정도의 낮은 에너지로 타입한다.
그리고, 제4도의 (3)에 나타낸 바와 같이, CVD법, 증착법, 스퍼터법 등의 성막기술에 의해 비정질실리콘막(41)의 상면에 금속막(21)을 형성한다.
또, 상기 제3 공정의 제조방법에서는, 이온도핑기술에 의해 비정질실리콘막(41)중에 수소이온(42)을 주입함으로써, 비정질실리콘막(41)중에는 최소한 질화실리콘막과 동일 정도의 수소이온(42)을 함유시키는 것이 가능하게 된다.
또, 비정질실리콘막(41)중에는 수소이온(42)과 도전형 불순물이온(43)이 주입됨으로써, 그 활성화 어닐처리를 400℃ 이하의 온도에서 행하는 것이 가능하게 된다. 따라서, 저온화 프로세스가 실현된다.
또한, 도전형 실리콘막을 성막할 필요가 없으므로, 그 성막공정을 생략할 수 있다.
다음에, 상기 제2도, 제3도에서 설명한 제조방법의 제3 공정은 다음과 같이도 행할 수 있다. 그것을 제5도의 제조공정도에 따라서 설명한다.
그리고 상기 제4도에서 설명한 것과 동일한 구성부품에는 동일 부호를 붙여서 설명한다.
제5도의 (1)에 나타낸 바와 같이, 산화실리콘막패턴(18)을 덮는 상태로 하여 다결정실리콘막(17)상에 비정질실리콘막(41)을 성막한다.
그 후, 제5도의 (2)에 나타낸 바와 같이, 플라즈마도핑에 의해 비정질실리콘막(41)중에 수소이온(42)을 주입하는 동시에, 그 비정질실리콘막(41)의 표층에 도전형 불순물이온(43)을 주입한다.
그리고 제5도의 (3)에 나타낸 바와 같이, CVD법, 증착법, 스퍼터법 등의 성막기술에 의해 비정질실리콘막(41)의 상면에 금속막(21)을 형성한다.
상기 제5도에 따라서 설명한 제3 공정의 제조방법에서는, 플라즈마도핑에 의해 비정질실리콘막(41)중에 수소이온(42)을 도입하는 동시에 도전형 불순물이온(43)을 도입함으로씨, 비정질실리콘막(41)의 표층에 도전형 불순물이온(43)

을 도입하는 것이 용이하게 된다.
또, 상기와 마찬가지로, 비정질실리콘막(41)중에는 수소이온(42)과 도전형 불순물이온(43)이 주입됨으로써, 그 활성화 어닐처리를 400℃ 이하의 온도에서 행하는 것이 가능하게 된다. 따라서, 저온화 프로세스가 실현된다.
또한, 도전형 실리콘막을 성막할 필요가 없으므로, 그 성막공정을 생략할 수 있다.
이상, 설명한 바와 같이 청구항 1의 발명에 의하면, 소스/드레인이 비정질실리콘막과 도전형 실리콘막과 금속막으로 형성되어 있으므로, 비정질실리콘막이 오프세트로 된다. 따라서, 박막트랜지스터는 오프세트구조로 되므로, 오프전류를 저감할 수 있고, 드레인 근방의 전계완화에 의해 리크전류를 작게 할 수 있다.
또한, 게이트상에 절연막을 개재하여 수소화한 다결정실리콘막이 형성되어 있으므로, 다결정실리콘막의 덩글링본드는 수소에 의해 치환하여 제거할 수 있다. 그러므로, 채널영역의 캐리어이동도의 향상을 도모할 수 있다.
청구항 2의 발명에 의하면, 다결정실리콘막상에 수소를 함유하는 비정질실리콘막을 성막하고, 그 후 비정질실리콘막중의 수소를 다결정실리콘막에 주입함으로써, 다결정실리콘막은 전역에 걸쳐서 수소화된다. 그러므로, 소스/드레인의 저항이 내려간다.
청구항 3의 발명에 의하면, 이온도핑에 의해 비정질실리콘막중에 수소이온을 주입하므로, 비정질실리콘막중에 수소이온을 다량으로 함유시키는 것이 가능하게 된다. 따라서, 다결정실리콘막의 수소화를 용이하게 또한 충분하게 행할 수 있다. 따라서, 다결정실리콘막의 덩글링본드는 제거할 수 있으므로, 채널영역의 캐리어의 이동도의 향상을 도모할 수 있다.
청구항 4의 발명에 의하면, 플라즈마도핑에 의해 비정질실리콘막중에 도전형 불순물이온을 도입하므로, 도전형 불순물이온은 비정질실리콘막의 표층에 용이하게 도입할 수 있다. 따라서, 비정질실리콘막의 하층은 도전형 불순물이온이 확산되지 않으므, 그 영역은 오프세트로서 기능한다.
청구항 3 및 청구항 4의 발명에 의하면, 비정질실리콘막중에 수소이온과 도전형 불순물이온이 도입되므로, 400℃ 이하의 저온어닐처리로 도전형 불순물이온의 활성화가 가능하게 된다. 따라서, 저온화 프로세스를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

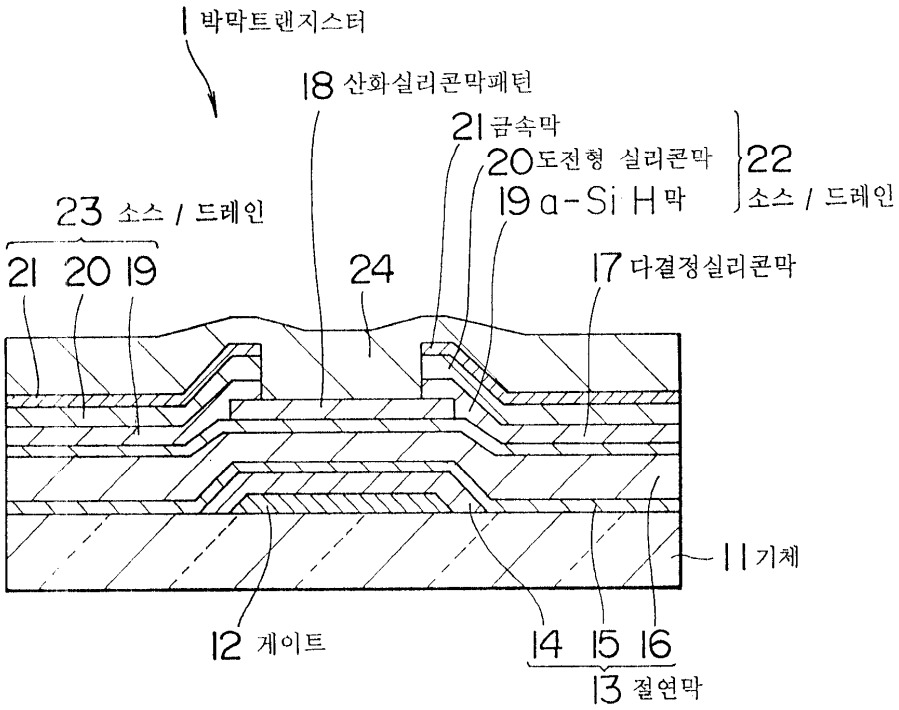
적어도 표면이 절연성을 갖는 기체 상에 형성된 게이트를 피복한 상태로 적어도 게이트 절연막을 포함한 절연막을 형성한 후, 상기 절연막의 상면측에 다결정 실리콘막을 형성하는 제1 단계,
상기 다결정 실리콘막 위에 산화 실리콘막을 형성한 후, 상기 산화실리콘막을 패터닝하여 상기 게이트 상측의 상기 다결정 실리콘막 위에 산화 실리콘막 패턴을 형성하는 제2 단계,
상기산화 실리콘막 패턴을 피복한 상태로 하여, 상기 다결정 실리콘막 위에 비정질 실리콘막을 성막한 후, 이온 도핑에 의해 상기 비정질 실리콘막 중에 수소 이온을 주입함과 함께 상기 비정질 실리콘막의 상층에 도전형 불순물 이온을 주입한 후 상기 금속막을 형성하는 제3 단계,
열처리에 의해, 상기 비정질 실리콘막 중의 수소를 상기 다결정 실리콘막에 도입함과 함께, 상기 비정질 실리콘막 중의 도전성 불순물을 활성화하는 제4 단계, 그리고
상기 금속막과 상기 비정질 실리콘막을 패터닝하여 소스/드레인을 형성하는 제5 단계
를 포함하는 박막트랜지스터의 제조방법.

청구항 2.

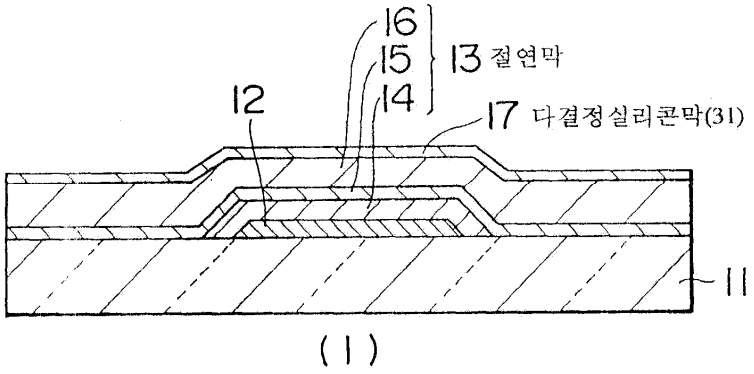
적어도 표면이 절연성을 갖는 기체 상에 형성된 게이트를 피복한 상태로 적 어도 게이트 절연막을 포함한 절연막을 형성한 후, 상기 절연막의 상면측에 다결정 실리콘막을 형성하는 제1 단계,
상기 다결정 실리콘막 위에 산화 실리콘막을 형성한 후, 상기 산화실리콘막을 패터닝하여 상기 게이트 상측의 상기 다결정 실리콘막 위에 산화 실리콘막 패턴을 형성하는 제2 단계,
상기 산화 실리콘막 패턴을 피복한 상태로 하여, 상기 다결정 실리콘막 상에 비정질 실리콘막을 성막한 후, 플라즈마 도핑에 의해 상기 비정질실리콘막 중에 수소 이온과 도전형 불순물 이온을 도입한 후 상기 금속막을 형성하는 제3 단계,
열처리에 의해, 상기 비정질 실리콘막 중의 수소를 상기 다결정 실리콘막에 도입함과 함께, 상기 비정질 실리콘막 중의 도전성 불순물을 활성화하는 제4 단계, 그리고
상기 금속막과 상기 비정질실리콘막을 패터닝하여 소스/드레인을 형성하는 제5 단계
를 포함하는 박막트랜지스터의 제조방법.

도면

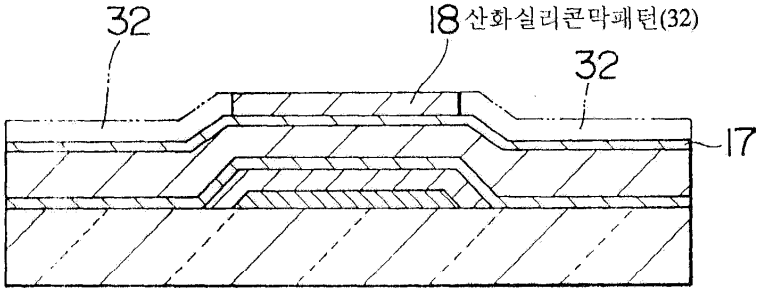
도면1


1 박막트랜지스터
18 산화실리콘막패턴
21 금속막
20 도전형 실리콘막
19 a-Si H 막
22 소스 / 드레인
23 소스 / 드레인
21 20 19
24
17 다결정실리콘막
11 기체
12 게이트
14 15 16
13 절연막

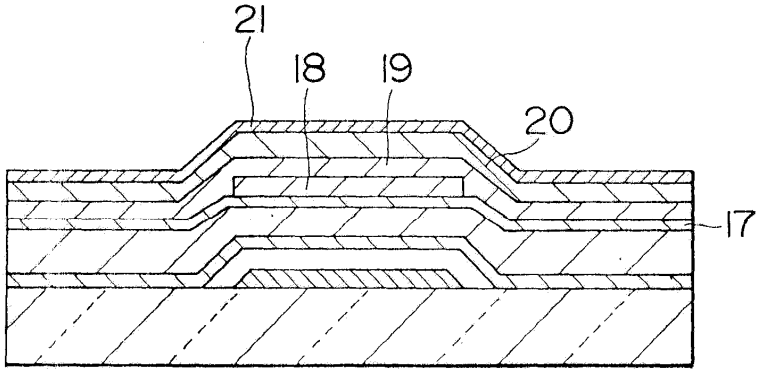
도면2


16
15
14
13 절연막
12
17 다결정실리콘막(31)
11

(1)

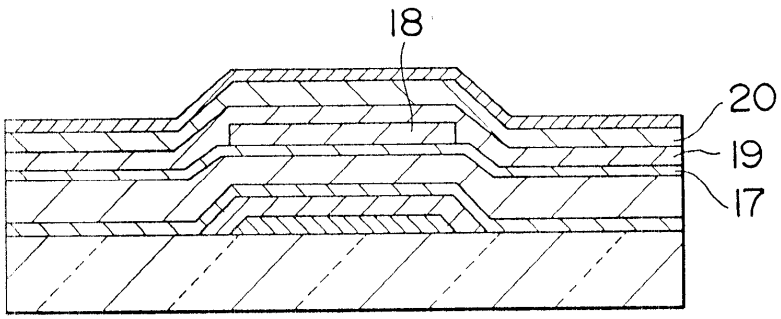

32
18 산화실리콘막패턴(32)
32
17

(2)

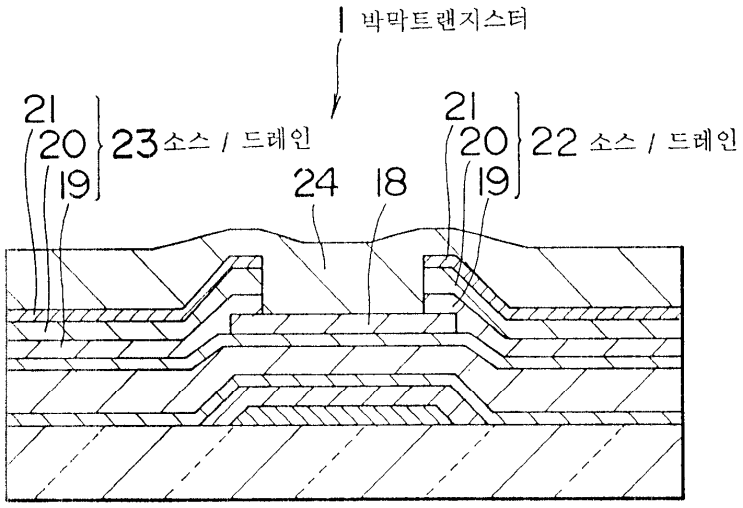

21
18
19
20
17

(3)

도면3

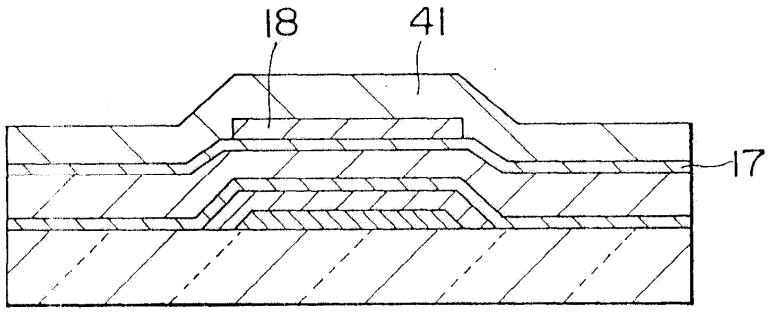


(4)

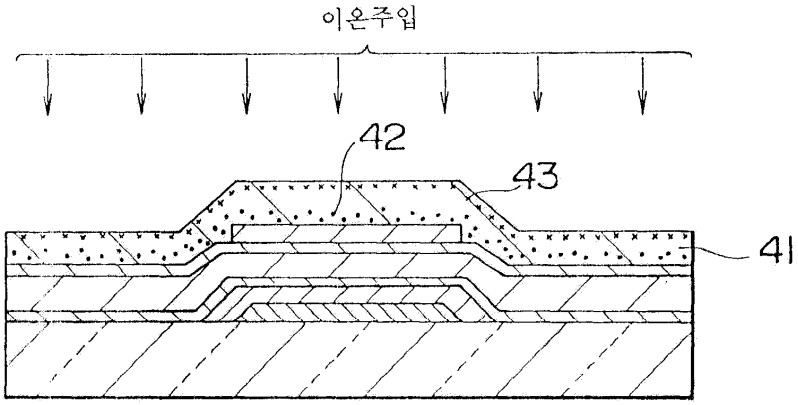


(5)

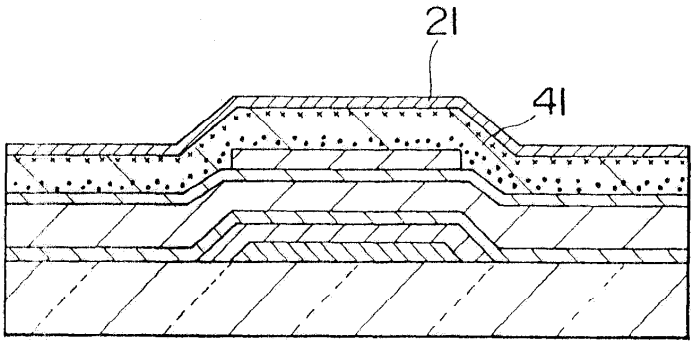
도면4



(1)

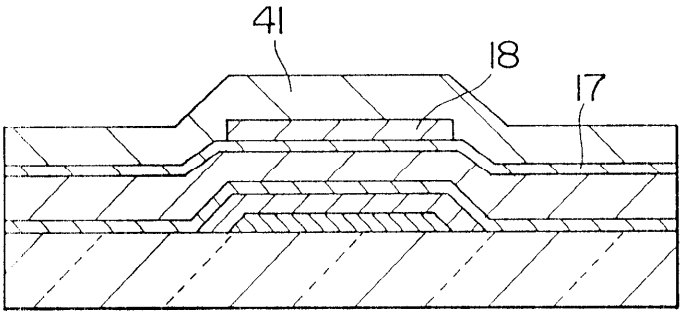


(2)

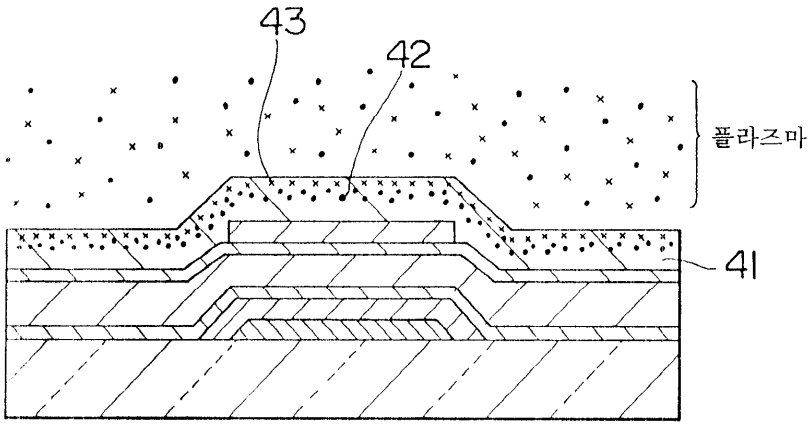


(3)

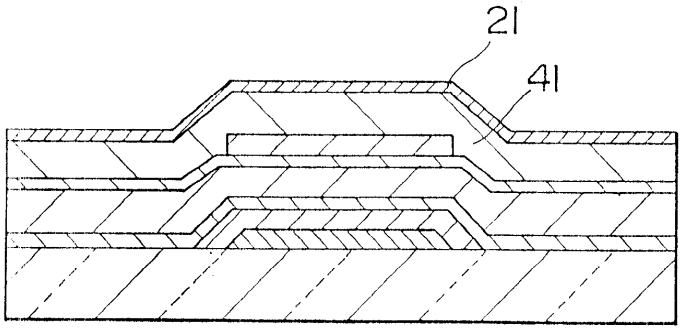
도면5



(1)

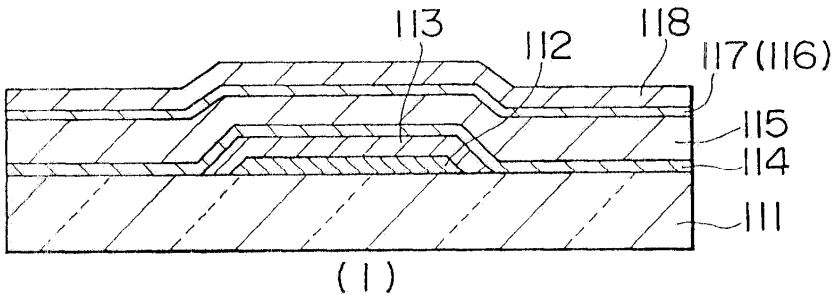


(2)

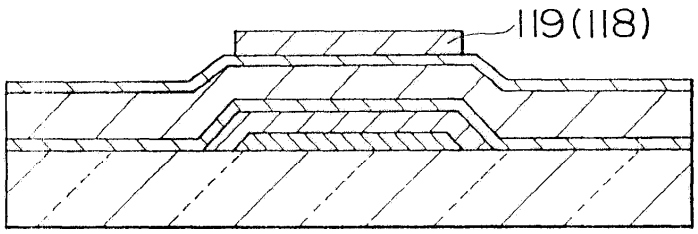


(3)

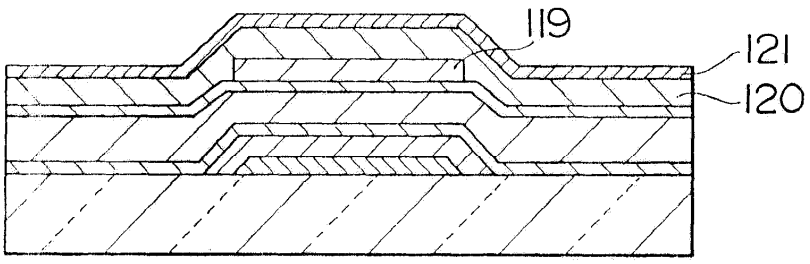
도면6


113
112
118
117(116)
115
114
111

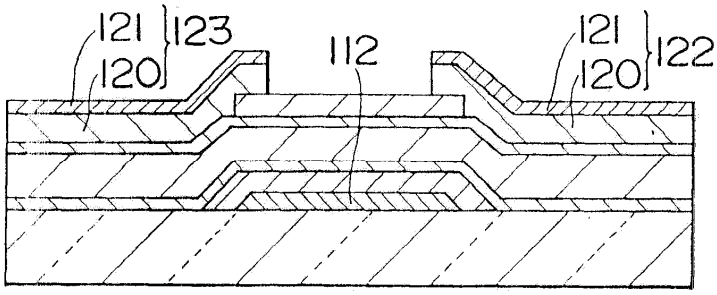
(1)


119(118)

(2)


119
121
120

(3)


121
123
120
112
121
122
120

(4)