

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5810921号
(P5810921)

(45) 発行日 平成27年11月11日(2015.11.11)

(24) 登録日 平成27年10月2日(2015.10.2)

(51) Int. Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/768 (2006.01)	HO 1 L 27/14 D
HO 1 L 23/522 (2006.01)	HO 1 L 23/12 5 O 1 P
HO 1 L 27/14 (2006.01)	HO 1 L 21/302 1 O 5 A
HO 1 L 23/12 (2006.01)	

請求項の数 2 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2012-1155 (P2012-1155)
 (22) 出願日 平成24年1月6日(2012.1.6)
 (65) 公開番号 特開2013-140916 (P2013-140916A)
 (43) 公開日 平成25年7月18日(2013.7.18)
 審査請求日 平成26年12月16日(2014.12.16)

(73) 特許権者 000003193
 凸版印刷株式会社
 東京都台東区台東1丁目5番1号
 (72) 発明者 林 健太
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 (72) 発明者 山本 克己
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 (72) 発明者 中村 真
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 (72) 発明者 秋山 直之
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の第1面側に形成した集積回路と前記集積回路に電気接続するI/Oパッドを有する半導体装置の製造方法であって、

前記半導体基板の第1面と反対側の面を第2の面とし、

(1) 前記半導体基板の第2の面側に、開口を有するドライエッチング用レジストのパターンを形成する工程と、

(2) 前記ドライエッチング用レジストをマスクとしてドライエッチング装置でRIEモードでドライエッチングすることで、前記第2の面側から前記半導体基板の厚み方向の所定の位置までの第1の穴を形成し、該第1の穴の前記第2の面側の開口の直径を前記ドライエッチング用レジストの開口よりも大きくし、穴径が穴の底部に向けて細くなるテーパ状の穴の壁面を形成する工程と、

(3) 前記ドライエッチング用レジストをマスクとしてドライエッチング装置でボッシュモードでドライエッチングすることで、前記第1の穴の底部から前記I/Oパッドに達する、前記ドライエッチング用レジストの開口と同じ径の円筒状の壁面を有する第2の穴を形成する工程と、

(4) 前記第1の穴と前記第2の穴で構成される2段構成の貫通孔の壁面及び前記第2の面に、化学気相蒸着法で無機の絶縁膜を形成する工程と、

(5) 前記絶縁膜の全面をドライエッチングすることで前記2段構成の貫通孔の壁面及び前記第2の面に前記絶縁膜を残しつつ前記I/Oパッド上の前記絶縁膜を除去する工程と

、
 (6) 前記 I/O パッドと前記 2 段構成の貫通孔の壁面に金属膜で貫通電極を形成し、前記貫通電極に接続する前記第 2 の面の配線パターンを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、ソルダーレジストを印刷する工程を有し、該ソルダーレジストにより前記第 1 の穴を充填することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、低コストで製造でき、かつ、接続信頼性の高い貫通電極を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、CCD や CMOS の半導体装置から成る固体撮像装置をカメラに装着して、デジタルカメラやビデオカメラとして使われることが多く、携帯電話に付設するカメラ機能としても固体撮像装置とレンズ系からなるカメラモジュールが内蔵されるようになってきた。これらの用途に対して、小型・軽量・薄型でかつ高解像度の固体撮像装置がさらに求められている。例えば、1000 万画素に及ぶ解像画素数を小型の固体撮像素子で実現するために、各画素の大きさを数 μm 四方程度に微細化することも行われている。

20

【0003】

従来の固体撮像装置は、特許文献 1 のように、シリコン基板などの半導体基板の表面に片面露光プロセスにより集積回路の固体撮像素子とその回路パターンを作製する。そして、その半導体基板の表面側にガラス基板 20 を貼り合わせ、その半導体基板を裏面から研磨して基板を薄くした上で、その半導体基板に貫通孔（スルー・シリコン・ビア：以下、TSV と略称する）を加工して、その TSV の内壁に導電物質を形成して貫通電極を形成し、半導体基板の表面に形成した固体撮像素子にて得られる画像情報の電気信号を貫通電極を介して半導体基板の裏面に導いて、その半導体基板の裏面に形成した BGA（ボール・グリッド・アレイ）方式の接続端子 16 を通じて、外部回路へ電気接続する構造を製造していた。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2011 - 003863 号公報

【特許文献 2】特開 2007 - 053149 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

そのように、シリコン基板などの半導体基板に半導体素子を形成するには、素子形成面の片面露光プロセスによるが、半導体チップを多層積層するためには、貫通孔の壁面に絶縁膜を介して導体層を形成して成る貫通電極が必要となる。その貫通孔は通常プラズマを使用したドライエッチング法により形成されるが、エッチング深さは、通常の半導体プロセスの数倍以上、例えば 20 ~ 500 μm となり、その分エッチング時間も長くなる。そのため、半導体基板に形成された半導体素子へのプラズマの影響が大きくなる。長時間プラズマに暴露されると、半導体基板表面の温度が上昇したり、プラズマの電界により半導体素子に不良が生じたりして問題である。

40

【0006】

また、半導体基板の裏面まで貫通孔を形成する時間を短くするために、半導体基板の裏面を CMP（ケミカルメカニカルポリッシング）やエッチングで削って厚さを薄くするが

50

、裏面を削るには時間がかかり製造コストが高くなる問題があった。

【 0 0 0 7 】

この貫通孔を低コストで形成するために、特許文献2のように、穴のドライエッチング加工用の開口を有するドライエッチング用フォトレジストを形成し、その開口よりも外側まで半導体基板を加工する等方エッチングを行ってテーパ状の第1の穴を形成する。その次に、異方性エッチングを行って、テーパ状の第1の穴の底面から半導体基板の下側のI/Oパッド12の位置の絶縁膜まで、ドライエッチング用フォトレジストの開口の径で垂直な円筒状の壁面を有する第2の孔を形成することが考えられる。こうして2段構成の貫通孔の下穴をI/Oパッド12の位置の絶縁膜まで形成することが考えられる。

【 0 0 0 8 】

特許文献2の方法では、

(1) 2段構成の貫通孔の下穴の壁面と底面に、絶縁膜を形成し、その絶縁膜上にエッチングレジスト用のA1膜を形成する。

(2) 更に、そのエッチングレジスト用のA1膜上に、2段構成の貫通孔の底部に開口を有するエッチングレジストのパターンを形成する。

(3) 次に、そのエッチングレジストの開口部に露出したA1膜をエッチング液でエッチングする。

(4) 次に、そのエッチングレジストを除去する。

(5) 次に、2段構成の貫通孔の底部に開口を有するA1膜をエッチングの保護膜として、その開口部分に露出した絶縁膜をドライエッチングにより除去する。

ここまでの工程で、I/Oパッド12まで達する2段構成の貫通孔を製造する。

(6) 次にA1膜を除去する。

(7) 次に、I/Oパッド12に接続する2段構成の貫通孔の壁面に導体を形成する。

【 0 0 0 9 】

特許個文献2の方法では、こうして貫通電極を形成していた。しかし、特許文献2の方法では、以上のように、貫通電極の製造に多くの工程を必要とするので、製造コストが高い問題があった。また、複雑な製造工程が貫通電極の歩留まりを低下させ貫通電極の信頼性を低くする問題があった。

【 0 0 1 0 】

本発明は、上記の問題点に鑑みて提案するものであり、本発明が解決しようとする課題は、低コストな製造方法で製造でき、品質が高く信頼性が高い貫通電極を形成した半導体装置を得ることにある。

【課題を解決するための手段】

【 0 0 1 5 】

上記の課題を解決するための本発明は、

半導体基板の第1面側に形成した集積回路と前記集積回路に電気接続するI/Oパッドを有する半導体装置の製造方法であって、

前記半導体基板の第1面と反対側の面を第2の面とし、

(1) 前記半導体基板の第2の面側に、開口を有するドライエッチング用レジストのパターンを形成する工程と、

(2) 前記ドライエッチング用レジストをマスクとしてドライエッチング装置でRIEモードでドライエッチングすることで、前記第2の面側から前記半導体基板の厚み方向の所定の位置までの第1の穴を形成し、該第1の穴の前記第2の面側の開口の直径を前記ドライエッチング用レジストの開口よりも大きくし、穴径が穴の底部に向けて細くなるテーパ状の穴の壁面を形成する工程と、

(3) 前記ドライエッチング用レジストをマスクとしてドライエッチング装置でボッシュモードでドライエッチングすることで、前記第1の穴の底部から前記I/Oパッドに達する、前記ドライエッチング用レジストの開口と同じ径の円筒状の壁面を有する第2の穴を形成する工程と、

(4) 前記第1の穴と前記第2の穴で構成される2段構成の貫通孔の壁面及び前記第2の

10

20

30

40

50

面に、化学気相蒸着法で無機の絶縁膜を形成する工程と、
 (5) 前記絶縁膜の全面をドライエッチングすることで前記2段構成の貫通孔の壁面及び前記第2の面に前記絶縁膜を残しつつ前記I/Oパッド上の前記絶縁膜を除去する工程と、
 (6) 前記I/Oパッドと前記2段構成の貫通孔の壁面に金属膜で貫通電極を形成し、前記貫通電極に接続する前記第2の面の配線パターンを形成する工程とを有することを特徴とする半導体装置の製造方法である。

【0016】

また、本発明は、上記の半導体装置の製造方法であって、ソルダーレジストを印刷する工程を有し、該ソルダーレジストにより前記第1の穴を充填することを特徴とする半導体装置の製造方法である。

10

【発明の効果】

【0017】

本発明によれば、半導体基板10に、テーパ状の第1の穴13aと垂直な円筒状の壁面を有する第2の穴13bとから成る2段構成の貫通孔13を形成することで、その2段構成の貫通孔13に、化学気相蒸着法で、壁面及び底部まで均一な高品質の無機の絶縁膜14Aが成膜される効果がある。

【0018】

また、その絶縁膜14Aの全面をドライエッチングすることで2段構成の貫通孔13の壁面及び半導体基板10の第2の面に絶縁膜14を残しつつI/Oパッド12上の絶縁膜14Aを除去した構造が低コストで形成でき、かつ、I/Oパッド12と2段構成の貫通孔13の壁面に金属膜で均一な高品質の貫通電極15が形成できる効果がある。こうして、低コストな製造方法で製造できる、品質が良く信頼性が高い貫通電極15を形成した半導体装置が得られる効果がある。

20

【図面の簡単な説明】

【0019】

【図1】本発明の第1の実施形態による半導体装置の概略構造を示す模式断面図である。

【図2】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その1)。

【図3】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その2)。

30

【図4】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その3)。

【図5】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その4)。

【図6】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その5)。

【図7】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その6)。

【図8】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その7)。

40

【図9】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その8)。

【図10】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その9)。

【図11】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その10)。

【図12】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(その11)。

【図13】本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である

50

(その12)。

【図14】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その1)。

【図15】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その2)。

【図16】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その3)。

【図17】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その4)。

【図18】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その5)。

10

【図19】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その6)。

【図20】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その7)。

【図21】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その8)。

【図22】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その9)。

【図23】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その10)。

20

【図24】本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(その11)。

【発明を実施するための形態】

【0020】

以下に添付図面を参照して、本発明の実施形態にかかる半導体装置を詳細に説明する。

【0021】

<第1の実施形態>

以下、本発明の第1の実施形態に係る固体撮像装置の半導体装置を、図面を用いて詳細に説明する。図1は、本実施形態による半導体装置100の概略構造を示す模式断面図である。なお、図1では、半導体基板10の面に垂直な面で切断した半導体装置100の断面図を示す。

30

【0022】

図1のように、半導体装置100は、固体撮像素子の集積回路11を形成した半導体基板10と、半導体基板10に形成された集積回路11の固体撮像素子の受光面(以下、これを第1面とする)側に配設されたガラス基板20と、半導体装置100とガラス基板20との間に所定の空間(キャビティ32)を形成するためのスペーサであるキャビティダム30を備える。半導体基板10における集積回路11が形成された面と反対側の面(以下、これを第2面とする)には、外部接続端子40として、半田ボールが実装されている。

40

【0023】

半導体基板10には、例えばシリコン(111)基板を半導体基板10Aとして、半導体基板10Aの厚さを100 μ m以下に薄くした半導体基板10を用いる。半導体基板10の第1面側に形成する集積回路11は、例えばCMOS(Complementary Metal Oxide Semiconductor)センサやCCD(Charge Coupled Device)センサやフォトダイオードなどの固体撮像素子を形成した集積回路11である。そして、半導体基板10の第1面側には、集積回路11の、絶縁層12b上に形成した配線12aのパターンの一部を用いてI/Oパッド12を形成する。

【0024】

50

半導体基板 10 には、その第 2 面側から第 1 面まで貫通して I/O パッド 12 に達する 2 段構成の貫通孔 13 を形成する。その 2 段構成の貫通孔 13 の側壁には絶縁膜 14 を形成し、その絶縁膜 14 の壁面に金属で形成した貫通電極 15 を形成する。貫通電極 15 は、I/O パッド 12 と半導体基板 10 の第 2 面の配線パターン 41 とを電気接続する。すなわち、貫通電極 15 が、半導体基板 10 の配線を I/O パッド 12 から第 2 面側の配線パターン 41 まで引き出す。

【0025】

そして、半導体基板 10 の配線パターン 41 が形成された第 2 面側を保護する絶縁樹脂のソルダーレジスト 42 を形成し、ソルダーレジスト 42 の開口 43 に露出した配線パターン 41 上に半田ボールを形成することで外部接続端子 40 を形成する。

10

【0026】

半導体基板 10 の 2 段構成の貫通孔 13 は、第 2 面側に広い開口部分を有しテーパ状に穴径が細くなる第 1 の穴 13 a を有するが、形状がテーパ状であるので、第 1 の穴 13 a 全体がソルダーレジスト 42 で充填できる効果がある。

【0027】

集積回路 11 は、例えば CMOS センサやフォトダイオードで集積回路 11 を形成する場合、CMOS センサやフォトダイオードなどの半導体素子から成る固体撮像素子の 1 つの画素を半導体基板 10 の第 1 面に 2 次元アレイ状に複数配列した構成を形成する。

【0028】

そして、半導体基板 10 の第 1 面側の集積回路 11 の固体撮像素子の画素が形成された領域には、各画素に応じた RGB のカラーフィルタやパッシベーション層を含むカラーフィルタ層 50 を形成する。

20

【0029】

なお、カラーフィルタ層 50 の部分には、半導体基板 10 の第 1 面における集積回路 11 の固体撮像素子が形成されていない領域を覆う遮光膜も形成することができる。そして、カラーフィルタ層 50 の表面に、集積回路 11 の各固体撮像素子と対応する箇所に集光用のマイクロレンズアレイ 51 を形成する。

【0030】

更に、透明なガラス基板 20 上に、その半導体基板 10 のカラーフィルタ層 50 とマイクロレンズアレイ 51 の周辺を囲むスペーサとなるキャピティダム 30 を形成する。そして、そのガラス基板 20 のキャピティダム 30 を半導体基板 10 の第 1 面に接着する。そうすることで、透明なガラス基板 20 で半導体基板 10 の第 1 面のマイクロレンズアレイ 51 の下側を覆い、マイクロレンズアレイ 51 の側面をキャピティダム 30 で覆う。そうして、半導体基板 10 の集積回路 11 とカラーフィルタ層 50 とマイクロレンズアレイ 51 の全方向をガラス基板 20 とキャピティダム 30 とで塞いだキャピティ 32 を形成する。

30

【0031】

半導体基板 10 の第 1 面側には、集積回路 11 の配線 12 a の一部を用いて I/O パッド 12 が形成される。I/O パッド 12 のパターンを含む集積回路 11 の配線 12 a は、例えばアルミニウム (Al) 膜で形成することができる。ただし、集積回路 11 の配線 12 a は、これに限定されず、銅 (Cu) 膜やチタニウム (Ti) 膜や他の金属膜または合金膜もしくはそれらの積層膜など、種々の導電体膜を用いることが可能である。

40

【0032】

更に、半導体基板 10 の第 1 面に形成された集積回路 11 の配線 12 a のパターンの一部で形成した I/O パッド 12 から、貫通電極 15 によって半導体基板 10 の第 2 面側まで配線を引き出す。その貫通電極 15 の配線を半導体基板 10 の第 2 面に形成した配線パターン 41 と外部接続端子 40 に接続する。

【0033】

貫通電極 15 は、半導体基板 10 を第 2 面側から貫通して第 1 面の I/O パッド 12 に達する 2 段構成の貫通孔 13 (コンタクトホールともいう) を用いて形成する。すなわち

50

、2段構成の貫通孔13の壁面に絶縁膜14を形成し、その絶縁膜14上に金属膜で貫通電極15を形成する。

【0034】

2段構成の貫通孔13内の壁面に形成する絶縁膜14は、貫通電極15と半導体基板10との直接接触を防止する。また、絶縁膜14は、半導体基板10の第2面上にも延在し、その上に第2面側の配線パターン41を形成することで、配線パターン41と半導体基板10との直接接触を防止する。

【0035】

この貫通電極15の金属膜を形成する際に第2面の配線パターン41の導電層も一緒に形成する。また、貫通電極15は、2段構成の貫通孔13の底に露出しているI/Oパッド12に電氣的に接続させる。

10

【0036】

貫通電極15と配線パターン41とは、同一の金属の導電層で形成する。貫通電極15及び配線パターン41を形成する導電層は、例えば、Al膜で形成することもでき、あるいは、TiとCuとの積層膜を下地層としたCu膜で導電層を形成することもできる。導電層の膜厚は、例えば5μm程度とすることができる。

【0037】

配線パターン41を形成した半導体基板10の第2面側には、絶縁性のソルダーレジスト42を形成しておく。ソルダーレジスト42は、例えば感光性を備えたエポキシ系の絶縁樹脂を用いて形成することができる。そして、ソルダーレジスト42には、外部接続端子40の半田ボールが選択的にマウントされる開口43を形成する。その開口43に、液状の半田をセルフアラインさせて半田ボールをボールマウントして外部接続端子40を形成する。

20

【0038】

この、ソルダーレジスト42は半導体基板10を熱から保護する。また、ソルダーレジスト42は2段構成の貫通孔13の第2面側に開口したテーパ状の第1の穴13aを充填する。それにより、ソルダーレジスト42のその充填部分がアンカーとなって第2面にソルダーレジスト42を強固に固定する効果がある。これにより、ソルダーレジスト42の第2面への密着信頼性を高くできる効果がある。

【0039】

30

(製造方法)

次に、本実施形態による半導体装置100の製造方法を、図面と共に詳細に説明する。図2～図13は、本実施形態による半導体装置100の製造方法を示すプロセス図である。なお、本実施形態による半導体装置100の製造方法では、1つのウエハに対して複数の半導体装置100を作り込む、いわゆるW-CSP(Wafer Level Chip Size Package)技術を用いるが、以下では、説明の簡略化のため、1つのチップ(半導体装置100)に着目する。

【0040】

(工程1)

本実施形態では、まず、直径20cm、30cm、もしくは他のサイズのシリコンウエハの半導体基板10Aの表面(第1面)に多数の固体撮像素子から成る集積回路11を形成する。また、集積回路11の絶縁層12b上に形成した配線12aのパターンの一部でI/Oパッド12を形成する。

40

【0041】

そのように、半導体基板10Aの第1面側に集積回路11を形成した後に、図2の断面図のように、第1面の固体撮像素子上に各画素に対応させて色分解用のカラーフィルタ層50と集光用のマイクロレンズアレイ51を順次形成する。なお、図2における半導体基板10Aの第1面の集積回路11の配線12aの一部のI/Oパッド12は、その上に貫通電極15を形成する基礎にする導体パターンである。

【0042】

50

(工程2)

次に、図3のように、透明なガラス基板20上に、半導体基板10Aのカラーフィルタ層50とマイクロレンズアレイ51の周辺を囲むスペーサとするキャビティダム30を形成する。

【0043】

キャビティダム30の材料としては、接着性に富む樹脂膜であって、熱硬化性のポリイミド、エポキシ樹脂、もしくはアクリルウレタン系の感光性樹脂を利用できる。その感光性樹脂をガラス基板20に塗布後、露光・現像工程を有するフォトリソグラフィ法により、図3のように、ガラス基板20上に、半導体基板10のカラーフィルタとマイクロレンズを取り囲む位置の所望のパターンで、50~100 μ m程度の厚さのキャビティダム30を形成する。

10

【0044】

(工程3)

続いて、図4のように、そのキャビティダム30を半導体基板10の第1面に接着することで、透明なガラス基板20で半導体基板10の第1面のマイクロレンズアレイ51の下側を覆う。それにより、図5のように、半導体基板10とガラス基板20とキャビティダム30で全方向を塞がれたキャビティ32を形成する。こうして、ガラス基板20とマイクロレンズアレイ51との間にキャビティ32の空隙を確保することで、各マイクロレンズの集光効果が損なわれることを防止できる。

【0045】

20

(工程4)

次に、図5のように、半導体基板10Aを第2面側から薄型化する。この薄型化には、例えば研削とCMP(ケミカルメカニカルポリッシング)とウェットエッチングとを必要に応じて組み合わせることで行うことができる。また、薄型化後の半導体基板10の膜厚は、略50~100 μ m以下とすることが好ましい。これにより、半導体装置100の剛性を維持しつつさらなる小型化および薄型化が可能になる。

【0046】

(貫通電極(TSV)の形成)

(工程5)

次に、図6のように、薄型化された例えば厚さが100 μ mの半導体基板10の第2面にフォトリソグラフィにて厚さ10 μ mのドライエッチング用フォトレジスト60を形成する。このドライエッチング用フォトレジスト60は、半導体基板10の表面にノボラック系のポジ型の感光性のドライエッチング用フォトレジスト60をスピンコーターにて最終的に10 μ m厚となる厚みに塗布してオープンにて加熱(130)乾燥する。そのドライエッチング用フォトレジスト60を露光装置で露光し現像することで、I/Oパッド12と対応する位置の2段構成の貫通孔13を形成する領域に直径20 μ mの開口61を持つパターンに形成する。

30

【0047】

(工程6)

その後、ドライエッチング装置にて、SF₆(6フッ化硫黄)ガスを主成分とするO₂との混合ガスを用いて、ドライエッチング用フォトレジスト60をマスクとして、半導体基板10を第2面側からRIE(Reactive Ion Etching)モードで5分間ドライエッチングを行う。

40

【0048】

これにより、図7のように、半導体基板10の第2面側に、ドライエッチング用フォトレジスト60の直径20 μ mの開口61の下に、その開口61の直径よりも大きい直径50 μ mの開口を有し、第1面側に向かうにつれて直径が小さくなるテーパ状で、深さが50 μ mの第1の穴13aを形成する。

【0049】

(工程7)

50

次に、SF₆によるエッチングとCF₈(パーフルオロシクロブタン)による側壁の保護膜形成を交互に行うボッシュ方式のドライエッチングを行う。このボッシュモードのドライエッチングは、コイル電圧2500Wにて、エッチングステップ6秒、保護膜形成であるパッシベーションステップ2秒を交互に繰り返し、I/Oパッド12に達するまで行う。

【0050】

このボッシュモードのドライエッチングにより、図8に示すように、先に形成したテーパ状の第1の穴13aの底から半導体基板10と絶縁層12bを貫通して第1面側のI/Oパッド12に達する50μmの深さの第2の穴13bを形成する。この第2の穴13bは、ドライエッチング用フォトレジスト60の開口61の直径と同じ大きさの20μmの直径で垂直な円筒状の壁面を有する穴に形成される。

10

【0051】

以上により、先ず、半導体基板10の第2面側から、開口径が50μmで、第2面側から第1面側に、テーパ状に直径が細くなる第1の穴13aを形成し、更に、その第1の穴13aの底部からI/Oパッド12に達する直径20μmで垂直な円筒状の壁面を有する第2の穴13bを形成する。こうして厚さ100μmの半導体基板10を貫通してI/Oパッド12に達する、第1の穴13aと第2の穴13bとから成る2段構成の貫通孔13を形成する。図8のように、2段構成の貫通孔13の断面形状はワイングラス(あるいはカクテルグラス)形状に形成する。

【0052】

2段構成の貫通孔13の上部は壁面がテーパ状に上から下に行くにつれて直径がテーパ状に細くなる第1の穴13aで構成されているが、そのテーパ状の壁面が2段構成の貫通孔13への絶縁膜14Aの成膜プロセス及び、その上への貫通電極15の成膜プロセスに適している効果がある。

20

【0053】

また、2段構成の貫通孔13の第1の穴13aの底部から下部のI/Oパッド12に達する第2の穴13bの壁面が垂直な円筒状で穴径が一定であり、半導体基板10の厚さが変わっても、2段構成の貫通孔13の下部の孔の開口径が第2の穴13bの穴径のままで変わらない。この構造が、2段構成の貫通孔13の第1の穴13aの底部からI/Oパッド12に至る壁面への安定した絶縁膜14Aの成膜プロセス及び、その上への貫通電極15の成膜プロセスに適している効果がある。

30

【0054】

(工程8)

次に、表層のドライエッチング用フォトレジスト60を、アッシング装置でO₂ガスを用いて剥離する。

(工程9)

次に、図9のように、シリコンの半導体基板10の第2面と2段構成の貫通孔13の壁面に絶縁膜14Aを成膜する。絶縁膜14Aは、シリコン酸化膜(SiO₂)やシリコン窒化膜(SiN)などの無機絶縁膜で形成する。

【0055】

無機の絶縁膜14Aを形成するために、CVD(Chemical Vapor Deposition)などを用いて絶縁膜14Aを形成することができる。例えば、プラズマCVD装置を用いて化学気相蒸着法でSiO₂による絶縁膜14Aを成膜する場合は、材料ガスに、正珪酸四エチルSi(OC₂H₅)₄、TEOS(Tetraethoxysilane)などを用いてSiO₂による絶縁膜14Aを成膜することができる。

40

【0056】

実験の結果、プラズマCVD装置を用いて化学気相蒸着法で無機のSiO₂の絶縁膜14Aを形成すると、2段構成の貫通孔13の壁面及び2段構成の貫通孔13底部まで均一な絶縁膜14Aが成膜された。均一な高品質の膜が成膜できるのは、2段構成の貫通孔13がテーパ状の第1の穴13aと垂直な円筒状の壁面を有する第2の穴13bとの複合体

50

であることの効果である。

【0057】

その絶縁膜14Aの各部での厚さは、2段構成の貫通孔13の第1の穴13aの開口部近傍でのSiO₂の絶縁膜14Aは膜厚が1.5μmに形成された。膜形成が難しいとされる2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面には0.6μmの膜厚の絶縁膜14Aが形成された。そして、2段構成の貫通孔13の第2の穴13bの底のI/Oパッド12上には0.5μmの膜厚の絶縁膜14Aが形成された。

【0058】

(工程10)

次いで、図10のように、レジストマスクは使用せずに、酸化膜のドライエッチング装置にて、SF₆ガスを主成分とするC₄F₈ガスとの混合ガスを用いて、半導体基板10の全面に渡ってエッチングを行い、2段構成の貫通孔13の穴底部の0.5μmのSiO₂膜を除去して穴底のI/Oパッド12を露出させるまでエッチングを行う。

【0059】

この工程を実験した結果、2段構成の貫通孔13の穴底部の0.5μmのSiO₂膜を除去して穴底のI/Oパッド12を露出させた場合に、2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面には、0.5μmの膜厚の絶縁膜14が残った。そして、2段構成の貫通孔13の第1の穴13aの開口部近傍には膜厚が0.7μmの絶縁膜14が残り、半導体基板10の上面にも膜厚が0.7μmの絶縁膜14が残った。

【0060】

すなわち、レジストマスクを使用しないで全面ドライエッチング処理によって、2段構成の貫通孔13の穴底部のI/Oパッド12を露出させつつ、2段構成の貫通孔13の側壁に絶縁膜14を残し、半導体基板10の第2面にも絶縁膜14を残すことができる。このように、レジストマスクを使用しない製造方法で、2段構成の貫通孔13の穴底部のI/Oパッド12のみを露出させようとして絶縁膜14Aをドライエッチングで除去し、それ以外の2段構成の貫通孔13の壁面と半導体基板10の第2面上とに絶縁膜14を残すことができる。

【0061】

このように、本実施形態では、2段構成の貫通孔13をテーパ状の第1の穴13aと垂直な円筒状の壁面を有する第2の穴13bとの複合体にすることで、レジストマスクを使用しない絶縁膜14Aの全面エッチング処理による低コストな手法で、2段構成の貫通孔13の穴底部のI/Oパッド12を絶縁膜14から露出させた構造を形成できる効果がある。

【0062】

レジストマスクを使用しない絶縁膜14Aの全面エッチング処理による低コストな手法で、2段構成の貫通孔13の穴底部のI/Oパッド12を絶縁膜14から露出させることができるのは、2段構成の貫通孔13を構成するテーパ状の第1の穴13aと垂直な円柱状の第2の穴とが以下の構成を持つからである。

【0063】

まず、2段構成の貫通孔13を構成する第2の穴13bが、直径20μm程度の垂直な円柱状であるが、その深さが直径の4倍以下(第2の穴13bの直径が18μmの場合に第2の穴13bの深さが70μm以下)で比較的浅いため、工程9で化学気相蒸着法で絶縁膜14Aを形成すると、第2の穴13bの壁面に均一な絶縁膜14Aが比較的厚く成膜されるからである。

【0064】

次に、本実施形態で、2段構成の貫通孔13を構成する第1の穴13aの開口の直径が50μmで深さが50μmで、その底部の直径が30μmある場合は、テーパ状の壁面の傾きは $\arctan(50/10) = 79$ 度ある。2段構成の貫通孔13を構成する第1の穴13aのテーパ状の壁面の傾きが80度以下の場合に、絶縁膜14Aを成膜するための化学気相蒸着法の材料ガスが第1の穴13a内を妨害されずに自由に流通して第2の穴

10

20

30

40

50

13bにまで達することができる効果がある。

【0065】

また、第1の穴13aのテーパ状の壁面の傾きは60度以上あることが望ましい。その理由は、第1の穴13aを半導体基板10の厚さの半分程度の深さまで形成する場合に、第1の穴の開口の直径を、(第1の穴13aの底部の直径)+(半導体基板10の厚さ/2)よりも小さくして、貫通電極15の開口の直径を半導体基板10の厚さよりも小さくすることが望ましいからである。

【0066】

以上の理由により、第1の穴13aのテーパ状の壁面の傾きは60度以上80度以下の傾きが望ましい。なお、テーパ状の壁面の傾きは、半導体基板10のエッチングのプロセス条件を調整することで制御することができる。

10

【0067】

(工程11)

次に、スパッタリング装置を使用し、図11のように、半導体基板10の第2面と2段構成の貫通孔13の内壁と底面にA1層による金属膜を堆積して貫通電極15を形成する。貫通電極15は、シリコン基板の半導体基板10の表裏を電氣的に導通するためのスルー・シリコン・ビア(TSV)である。

【0068】

実験の結果、2段構成の貫通孔13の上部の第1の穴13aのテーパ形状の壁面、2段構成の貫通孔13の下部の第2の穴13bの垂直な円筒状の壁面、及び2段構成の貫通孔13の底までA1層による金属膜が均一に成膜されて貫通電極15が形成できた。そして、2段構成の貫通孔13の上端の開口部近傍でのA1層の膜厚は6 μ m、一番膜が付きにくい2段構成の貫通孔13の下部の第2の穴13bの垂直な円筒状の壁面に0.2 μ m、2段構成の貫通孔13の孔底のI/Oパッド12の上に0.3 μ mの膜厚のA1の金属層が形成できた。

20

【0069】

このように、2段構成の貫通孔13をテーパ状の第1の穴13aと垂直な円筒状の壁面を有する第2の穴13bとの複合体にすることで、真空成膜方式により2段構成の貫通孔13の内壁面に均一な高品質の貫通電極15を形成することができる効果がある。

【0070】

また、本実施形態では、金属層を成膜するために、スパッタ法に限られず、CVD法の真空成膜方式を用いても、2段構成の貫通孔13の壁面に欠陥を生じることなく良好に金属層を成膜することができる効果がある。

30

【0071】

(工程12)

次に、半導体基板10の第2面側を覆う金属層の上にフォトリソグラフィにてフォトレジストを形成する。次に、このフォトレジストで保護された金属層以外のパターンをエッチングして除去することで、半導体基板10の第2面に配線パターン41を形成する。

【0072】

(工程13)

次に、配線パターン41が形成された半導体基板10の第2面側に溶剤レジストの溶液を塗布する。次に、この溶剤レジストを乾燥し、次にフォトリソグラフィ工程およびエッチング工程にてパターンングする。それにより、図12に示すように、外部接続端子40の半田ボールをマウントする箇所に開口43が形成された溶剤レジスト42を形成する。

40

【0073】

半導体基板10の第2面側には、広い開口部分を有しテーパ状に穴径が細くなる第1の穴13aを有するが、形状がテーパ状であるので、第1の穴13a全体が溶剤レジスト42で充填できる効果がある。

【0074】

50

(工程14)

次に、既存のボールマウント装置を用いることで、図13に示すように、ソルダーレジスト42の開口43に露出した配線パターン上に半田ボールを搭載して外部接続端子40を形成する。

【0075】

(工程15)

次に、例えばダイヤモンドカッターやレーザー光を用いて半導体基板10をスクライプ領域に沿ってダイシングすることで、シリコンの半導体基板10に2次元アレイ状に形成された半導体装置100を個片化する。

【0076】

以上のように、本実施形態による半導体装置100は、第1面に半導体素子としての集積回路11が形成された半導体基板10に、その第2面から第1面のI/Oパッド12に達する、テーパ状の第1の穴13aと円筒状の壁面を有する第2の穴13bからなる2段構成の貫通孔13を形成する。それにより、その2段構成の貫通孔13に高品質の絶縁膜14と高品質の金属層の貫通電極15(TSV)が形成でき、集積回路11の配線と第2面側の配線パターン41とを高品質の貫通電極15で電気接続した半導体装置100が得られる効果がある。

【0077】

なお、この第1の穴13aと第2の穴13bの深さは必ずしも同じ深さに形成しなくても良く、半導体基板10の厚み方向の所定の位置まで第1の穴13aを形成し、その下に第2の穴13bを形成することで、本発明の効果が得られる。

【0078】

<第2の実施形態>

第2の実施形態は、固体撮像装置以外の半導体装置を製造する点で第1の実施形態と相違する。また、第2の実施形態では、金属層に銅を用いて貫通電極15(TSV)及び配線パターン41を形成する。

【0079】

(製造方法)

以下で、第2の実施形態の半導体装置の製造方法を、図面を参照して説明する。

【0080】

(工程1)

本実施形態では、まず、図14の断面図のように、シリコンウェハの半導体基板10Aの表面に集積回路11と、その集積回路11の絶縁層12b上に形成した配線12aの一部を用いてI/Oパッド12を形成する。

【0081】

(工程2)

次に、図15のように、半導体基板10Aに支持基板12を貼り付けて一体構造を形成する。こうすることで、この一体構造の剛性を高め、半導体基板10Aをハンドリングしやすくし、半導体基板10Aの厚みを10 μ m~50 μ m程度に薄くする構造を形成する加工の加工精度や歩留まりを向上させる。

【0082】

すなわち、図15のように、先ず、シリコンの半導体基板10Aの表面の集積回路11とI/Oパッド12を覆うシリコン窒化膜等のパッシベーション膜33を形成し、さらにこのパッシベーション膜33上に、接着層34を塗布し、半導体基板10Aに接着層34を介して支持基板12を貼り合わせる。支持基板12は、石英やガラス、シリコンウェハ等を用いることができる。

【0083】

接着層34は、素子面電極4や半導体素子や層間絶縁膜を保護する機能も有している。接着層34は、薄膜化した半導体基板10の裏面加工をした後に半導体基板10と支持基板12とを引き剥がすことができる剥離可能な材質を用いる。すなわち、接着層34には

10

20

30

40

50

、例えば、熱可塑性の接着剤を用いる。熱可塑性の接着剤は、加熱により軟化させて、貼り合わせ、引き剥がしを行うことができる。

【0084】

また、支持基板12に石英やガラスなどの透明な材料を用い、接着層34には紫外線硬化樹脂を用いて半導体基板10に支持基板12を張り合わせることができる。この場合に支持基板12から半導体基板10を剥離する方法は、レーザーによる貼り合わせ面の局所加熱や、全体の加熱によって引き剥がすことができる。

【0085】

(工程3)

次に、図16のように、半導体基板10Aの裏面を削ることで厚さを薄くする。半導体基板10Aの裏面を削る方法としては、研削、研磨等があるが、特に、ドライポリッシュやエッチング、あるいはCMP(ケミカルメカニカルポリッシング)を実施することが好ましい。こうして削ることで、半導体基板10の厚さを100 μ m以下、望ましくは50 μ m以下の厚さに形成する。また、半導体基板10を多数積層した半導体装置の厚みを薄くするためには、半導体基板10の厚みは30 μ m以下に薄くする方が良い。

10

【0086】

(貫通電極(TSV)の形成)

次に、以下の工程4から工程11により金属層に銅を用いた貫通電極(TSV)15及び配線パターン41を形成する。

【0087】

20

(工程4)

次に、図17のように、薄型化された例えば厚さが100 μ mの半導体基板10の第2面にフォトリソグラフィにて厚さ10 μ mのドライエッチング用フォトレジスト60を形成する。そのドライエッチング用フォトレジスト60を露光装置で露光し現像することで、I/Oパッド12と対応する位置の2段構成の貫通孔13を形成する領域に直径20 μ mの開口61を持つパターンに形成する。

【0088】

(工程5)

その後、ドライエッチング装置にて、SF₆(6フッ化硫黄)ガスを主成分とするO₂との混合ガスを用いて、ドライエッチング用フォトレジスト60をマスクとして、半導体基板10を第2面側からRIEモードで5分間ドライエッチングを行う。

30

【0089】

これにより、図18のように、半導体基板10の第2面側に、ドライエッチング用フォトレジスト60の直径20 μ mの開口61の下に、その開口61の直径よりも大きい直径50 μ mの開口を有し、第1面側に向かうにつれて直径が小さくなるテーパ状で、深さが50 μ mの第1の穴13aを形成する。

【0090】

(工程6)

次に、SF₆によるエッチングとC₄F₈(パーフルオロシクロブタン)による側壁の保護膜形成を交互に行うボッシュ方式のドライエッチングを行う。このボッシュモードのドライエッチングにより、図19のように、先に形成したテーパ状の第1の穴13aの底から、シリコンの半導体基板10と絶縁層12bを貫通して半導体基板10の絶縁層12bの底のI/Oパッド12に達する50 μ mの深さの第2の穴13bを形成する。この第2の穴13bは、ドライエッチング用フォトレジスト60の開口61の直径と同じ大きさの20 μ mの直径で垂直な円筒状の壁面を有する穴に形成される。

40

【0091】

以上により、先ず、半導体基板10の第2面側から、開口径が50 μ mで、第2面側から第1面側に、テーパ状に直径が細くなる第1の穴13aが形成され、更に、その第1の穴13aの底部からI/Oパッド12に達する直径20 μ mで垂直な円筒状の壁面を有する第2の穴13bが形成される。こうして厚さ100 μ mの半導体基板10を貫通してI

50

ノパッド12に達する、第1の穴13aと第2の穴13bとから成る2段構成の貫通孔13が形成される。図8のように、2段構成の貫通孔13の断面形状はワイングラス（あるいはカクテルグラス）形状に形成される。

【0092】

このように、本実施形態では、第1の実施形態と同様に、2段構成の貫通孔13の上部は壁面がテーパ状に上から下に行くにつれて直径がテーパ状に細くなる第1の穴13aで構成されているが、そのテーパ状の壁面が2段構成の貫通孔13への絶縁膜14Aの成膜プロセス及び、その上への貫通電極15の成膜プロセスに適している効果がある。

【0093】

また、2段構成の貫通孔13の第1の穴13aの底部から下部のI/Oパッド12に達する第2の穴13bの壁面が垂直な円筒状で穴径が一定であり、半導体基板10の厚さが変わっても、2段構成の貫通孔13の下部の孔の開口径が第2の穴13bの穴径のままで変わらない。この構造が、2段構成の貫通孔13の第1の穴13aの底部からI/Oパッド12に至る第2の穴13bの壁面への安定した絶縁膜14Aの成膜プロセス及び、その上への貫通電極15の成膜プロセスに適している効果がある。

【0094】

（工程7）

次に、表層のドライエッチング用フォトリソグ60を、アッシング装置でO₂ガスを用いて剥離する。

（工程8）

次に、図20のように、シリコンの半導体基板10の第2面と2段構成の貫通孔13の壁面に絶縁膜14Aを成膜する。絶縁膜14Aは、シリコン酸化膜（SiO₂）やシリコン窒化膜（SiN）などの無機絶縁膜で形成する。

【0095】

無機の絶縁膜14Aを形成するために、CVDなどを用いて絶縁膜14Aを形成する。プラズマCVD装置を用いて化学気相蒸着法で無機のSiO₂の絶縁膜14Aを形成すると、2段構成の貫通孔13の壁面及び2段構成の貫通孔13底部まで均一な絶縁膜14Aが成膜される。均一な高品質の膜が成膜できるのは、2段構成の貫通孔13がテーパ状の第1の穴13aと垂直な円筒状の壁面を有する第2の穴13bとの複合体であることの効果である。

【0096】

その絶縁膜14Aの各部での厚さは、2段構成の貫通孔13の第1の穴13aの開口部近傍でのSiO₂の絶縁膜14Aは膜厚が1.5μmに形成される。2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面には0.6μmの膜厚の絶縁膜14Aが形成される。そして、2段構成の貫通孔13の第2の穴13bの底のI/Oパッド12上には0.5μmの膜厚の絶縁膜14Aが形成される。

【0097】

（工程9）

次いで、レジストマスクは使用せずに、酸化膜エッチング装置にて、SF₆ガスを主成分とするC₄F₈ガスとの混合ガスを用いて、半導体基板10の全面に渡ってエッチングを行う。図21のように、2段構成の貫通孔13の穴底部の0.5μmのSiO₂膜を除去して穴底にI/Oパッド12を露出させるまでエッチングを行う。これにより、2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面には、0.5μmの膜厚が残り、2段構成の貫通孔13の第1の穴13aの開口部近傍の膜厚は、0.7μm、半導体基板10の上面の膜厚も0.7μm残すことができる。

【0098】

すなわち、レジストマスクを使用しない全面エッチング処理によって、2段構成の貫通孔13の穴底部のI/Oパッド12を露出させつつ、2段構成の貫通孔13の側壁に絶縁膜14を残し、半導体基板10の第2面にも絶縁膜14を残すことができる。このように、レジストマスクを使用しない製造方法で、2段構成の貫通孔13の穴底部のI/Oパッ

10

20

30

40

50

ド12のみを露出させようとして絶縁膜14Aをエッチングで除去し、それ以外の2段構成の貫通孔13の壁面と半導体基板10の第2面上とに絶縁膜14を残すことができる。

【0099】

(工程10)

次に、スパッタリング装置を使用し、図22のように、半導体基板10の第2面と2段構成の貫通孔13の内壁に、チタンナイトライド(TiN)またはタンタルナイトライド(TaN)などの拡散防止層を成膜する。あるいは、この拡散防止層をCVD法で成膜しても良い。

【0100】

(工程11)

次に、スパッタリング法で銅のシード層を形成し、電解めっき法により銅を厚く形成して導電層を形成する。なお、銅のシード層形成はスパッタリング法に代えて、無電解銅めっきで行っても良い。このような工程を経て、金属層として銅を使った貫通電極15を形成する。貫通電極15は、シリコンの半導体基板10の表裏を電気的に導通するためのスルー・シリコン・ビア(TSV)である。

【0101】

このように、真空成膜方式により2段構成の貫通孔13の内壁面に拡散防止層を成膜した上で、銅の金属層を形成して、均一な高品質の貫通電極15を形成できる。これにより、2段構成の貫通孔13の底部まで欠陥を生じることなく成膜することができる。

【0102】

(工程12)

次に、半導体基板10の第2面側を覆う金属層の上にフォトリソグラフィにてフォトレジストを形成する。次に、このフォトレジストで保護された金属層以外のパターンをエッチングして除去することで、図23のように、半導体基板10の第2面に配線パターン41を形成する。

【0103】

(工程13)

次に、図24のように、支持基板12から半導体基板10を引き剥がす。すなわち、接着層34に熱可塑性の接着剤を用いた場合は、加熱により熱可塑性の接着剤を軟化させて、支持基板12から半導体基板10の引き剥がしを行う。また、紫外線硬化樹脂の接着層34を使って、張り合わせた場合は、レーザーによる貼り合わせ面の局所加熱や、全体の加熱によって支持基板12から半導体基板10を引き剥がす。

【実施例】

【0104】

以下、本発明で2段構成の貫通孔13を形成する実施例を説明する。

<実施例1>

まず、第2の実施形態の工程1から工程3の処理により、図17のように、薄型化された厚さが80 μ mの半導体基板10を形成した。

【0105】

(工程1)

そうして薄型化された厚さが80 μ mの半導体基板10の第2面にフォトリソグラフィにて厚さ10 μ mのドライエッチング用フォトレジスト60を形成した。このドライエッチング用フォトレジスト60は、I/Oパッド12と対応する位置の2段構成の貫通孔13を形成する領域に直径20 μ mの開口61を持つパターンに形成した。

【0106】

(工程2)

その後、ドライエッチング装置を用いて、開口61を有するドライエッチング用フォトレジスト60をマスクとして、厚さ80 μ mの半導体基板10の第2面側から、SF₆(6フッ化硫黄)ガスの流量を100sccmとし、O₂ガスの流量を250sccmとして、コイル電圧を2600WにしたRIE(Reactive Ion Etching

10

20

30

40

50

)モードで、6分間ドライエッチングを行った。

【0107】

これにより、図18のように、半導体基板10の第2面側に、ドライエッチング用フォトレジスト60の直径20 μ mの開口61の下に、その開口61の直径よりも大きい直径60 μ mの開口を有し、第1面側に向かうにつれて直径が小さくなるテーパ状で、深さが45 μ mの第1の穴13aが形成された。

【0108】

(工程3)

次に、ドライエッチング装置で、SF₆ガスの流量を250sccmにしてコイル電圧を2000Wにて2.5秒のエッチングステップを行い、次に、C₄F₈(パーフルオロシクロブタン)の流量を250sccmにしてコイル電圧を2000Wにて1秒間、側壁の保護膜形成を行うパッシベーションステップを行い、両ステップを交互に行うサイクルを繰り返した。このボッシュ方式のドライエッチングのサイクルを70回、4分5秒間行った。

10

【0109】

これにより、図19に示すように、先に形成したテーパ状の第1の穴13aの底から半導体基板10の第1面側のI/Oパッド12に達する35 μ mの深さの第2の穴13bが形成された。そして、この第2の穴13bは、ドライエッチング用フォトレジスト60の開口61の直径と同じ大きさの20 μ mの直径で垂直な円筒状の壁面を有する穴に形成された。

20

【0110】

以上により、先ず、半導体基板10の第2面側から、開口径が60 μ mで、第2面側から第1面側に、テーパ状に直径が細くなる第1の穴13aが45 μ mの深さで形成された。そして、その第1の穴13aの底部からI/Oパッド12に達する深さが35 μ mで直径が20 μ mで垂直な円筒状の壁面を有する第2の穴13bが形成された。

【0111】

こうして厚さ80 μ mの半導体基板10を貫通してI/Oパッド12に達する、第1の穴13aと第2の穴13bとから成る2段構成の貫通孔13が形成された。図19のように、2段構成の貫通孔13の断面形状はワイングラス(あるいはカクテルグラス)形状に形成された。

30

【0112】

(工程4)

次に、表層のドライエッチング用フォトレジスト60を、アッシング装置でO₂ガスを用いて剥離した。

(工程5)

次に、図20のように、プラズマCVD装置を用いて、材料ガスに、TEOS(Tetraethoxysilane)を用いた化学気相蒸着法で、半導体基板10の第2面と2段構成の貫通孔13の壁面に、無機のSiO₂の絶縁膜14Aを成膜した。

【0113】

その結果、2段構成の貫通孔13の壁面及び2段構成の貫通孔13底部までSiO₂の均一な絶縁膜14Aが成膜された。その絶縁膜14Aの各部分での厚さは、2段構成の貫通孔13の第1の穴13aの開口部近傍で膜厚が1.5 μ mに形成され、2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面には0.6 μ mの膜厚の絶縁膜14Aが形成された。そして、2段構成の貫通孔13の第2の穴13bの底のI/Oパッド12上には0.5 μ mの膜厚の絶縁膜14Aが形成された。

40

【0114】

(工程6)

次いで、図21のように、レジストマスクは使用せずに、酸化膜のドライエッチング装置にて、SF₆ガスを主成分とするC₄F₈ガスとの混合ガスを用いて、半導体基板10の全面に渡ってエッチングを行い、2段構成の貫通孔13の穴底部の0.5 μ mのSiO

50

2 膜を除去して穴底の I / O パッド 1 2 が露出されるまでエッチングを行った。

【 0 1 1 5 】

この結果、2 段構成の貫通孔 1 3 の第 2 の穴 1 3 b の垂直な円筒状の壁面には、0 . 5 μm の膜厚の絶縁膜 1 4 が残り、2 段構成の貫通孔 1 3 の第 1 の穴 1 3 a の開口部近傍には膜厚が 0 . 7 μm の絶縁膜 1 4 が残り、半導体基板 1 0 の上面にも膜厚が 0 . 7 μm の絶縁膜 1 4 が残った。

【 0 1 1 6 】

すなわち、レジストマスクを使用しない全面エッチング処理によって、2 段構成の貫通孔 1 3 の穴底部の I / O パッド 1 2 を露出させつつ、2 段構成の貫通孔 1 3 の側壁に絶縁膜 1 4 を残し、半導体基板 1 0 の第 2 面にも絶縁膜 1 4 を残すことができた。このように、レジストマスクを使用しない製造方法で、2 段構成の貫通孔 1 3 の穴底部の I / O パッド 1 2 のみを露出させようとして絶縁膜 1 4 A をエッチングで除去し、それ以外の 2 段構成の貫通孔 1 3 の壁面と半導体基板 1 0 の第 2 面上とに絶縁膜 1 4 を残すことができた。

【 0 1 1 7 】

(工程 7)

次に、スパッタリング装置を使用し、図 2 2 のように、半導体基板 1 0 の第 2 面と 2 段構成の貫通孔 1 3 の内壁と底面に A 1 層による金属膜を堆積して貫通電極 (T S V) 1 5 を形成した。

【 0 1 1 8 】

その結果、A 1 層による金属膜が、2 段構成の貫通孔 1 3 の上部の第 1 の穴 1 3 a のテーパ形状の壁面、2 段構成の貫通孔 1 3 の下部の第 2 の穴 1 3 b の垂直な円筒の壁面、及び 2 段構成の貫通孔 1 3 の底まで均一に成膜されて貫通電極 1 5 が形成できた。そして、A 1 層の金属膜の各部分の厚さは、2 段構成の貫通孔 1 3 の上端の第 1 の穴 1 3 a の開口部近傍で 6 μm 、2 段構成の貫通孔 1 3 の下部の第 2 の穴 1 3 b の垂直な円筒状の壁面で 0 . 2 μm 、2 段構成の貫通孔 1 3 の孔底の I / O パッド 1 2 の上では 0 . 3 μm の膜厚の A 1 層の金属層が形成できた。

【 0 1 1 9 】

< 実施例 2 >

第 2 の実施形態の工程 1 から工程 3 の処理により、図 1 7 のように、薄型化された厚さが 9 0 μm の半導体基板 1 0 を形成した。

【 0 1 2 0 】

(工程 1)

そうして薄型化された厚さが 9 0 μm の半導体基板 1 0 の第 2 面にフォトリソグラフィにて厚さ 1 0 μm のドライエッチング用フォトレジスト 6 0 を形成した。このドライエッチング用フォトレジスト 6 0 は、I / O パッド 1 2 と対応する位置の 2 段構成の貫通孔 1 3 を形成する領域に直径 2 0 μm の開口 6 1 を持つパターンに形成した。

【 0 1 2 1 】

(工程 2)

その後、実施例 1 と同様にして、開口 6 1 を有するドライエッチング用フォトレジスト 6 0 をマスクとして、厚さ 9 0 μm の半導体基板 1 0 の第 2 面側から、R I E モードでドライエッチングを行い、図 1 8 のように、半導体基板 1 0 の第 2 面側に、直径 6 0 μm の開口を有するテーパ状で深さが 4 5 μm の第 1 の穴 1 3 a を形成した。

【 0 1 2 2 】

(工程 3)

次に、ドライエッチング装置で、S F ₆ ガスの流量を 2 5 0 s c c m にしてコイル電圧を 2 0 0 0 W にて 2 . 5 秒のエッチングステップを行い、次に、C ₄ F ₈ (パーフルオロシクロブタン) の流量を 2 5 0 s c c m にしてコイル電圧を 2 0 0 0 W にて 1 秒間、側壁の保護膜形成を行うパッシベーションステップを行い、両ステップを交互に行うサイクルを繰り返した。このボッシュ方式のドライエッチングのサイクルを 9 0 回、5 分 1 5 秒間行った。

10

20

30

40

50

【 0 1 2 3 】

これにより、図 1 9 に示すように、先に形成したテーパ状の第 1 の穴 1 3 a の底から半導体基板 1 0 の第 1 面側の I / O パッド 1 2 に達する 4 5 μm の深さの第 2 の穴 1 3 b が形成された。そして、この第 2 の穴 1 3 b は、ドライエッチング用フォトリソグ 6 0 の開口 6 1 の直径と同じ大きさの 2 0 μm の直径で垂直な円筒状の壁面を有する穴に形成された。

【 0 1 2 4 】

以上により、先ず、半導体基板 1 0 の第 2 面側から、開口径が 6 0 μm で、第 2 面側から第 1 面側に、テーパ状に直径が細くなる第 1 の穴 1 3 a が 4 5 μm の深さで形成された。そして、その第 1 の穴 1 3 a の底部から I / O パッド 1 2 に達する深さが 4 5 μm で直径が 2 0 μm で垂直な円筒状の壁面を有する第 2 の穴 1 3 b が形成された。こうして厚さ 9 0 μm の半導体基板 1 0 を貫通して I / O パッド 1 2 に達する、第 1 の穴 1 3 a と第 2 の穴 1 3 b とから成る 2 段構成の貫通孔 1 3 が形成された。図 1 9 のように、2 段構成の貫通孔 1 3 の断面形状はワイングラス（あるいはカクテルグラス）形状に形成された。

10

【 0 1 2 5 】

(工程 4)

次に、実施例 1 と同様にして、表層のドライエッチング用フォトリソグ 6 0 を、アッシング装置で O_2 ガスを用いて剥離した。

【 0 1 2 6 】

(工程 5)

次に、実施例 1 と同様にして、図 2 0 のように、化学気相蒸着法で、半導体基板 1 0 の第 2 面と 2 段構成の貫通孔 1 3 の壁面に、無機の SiO_2 の絶縁膜 1 4 A を成膜した。

20

【 0 1 2 7 】

その結果、2 段構成の貫通孔 1 3 の壁面及び 2 段構成の貫通孔 1 3 底部まで SiO_2 の均一な絶縁膜 1 4 A が成膜された。その絶縁膜 1 4 A の各部分での厚さは、2 段構成の貫通孔 1 3 の第 1 の穴 1 3 a の開口部近傍で膜厚が 1 . 5 μm に形成され、2 段構成の貫通孔 1 3 の第 2 の穴 1 3 b の垂直な円筒状の壁面には 0 . 6 μm の膜厚の絶縁膜 1 4 A が形成された。そして、2 段構成の貫通孔 1 3 の第 2 の穴 1 3 b の底の I / O パッド 1 2 上には 0 . 5 μm の膜厚の絶縁膜 1 4 A が形成された。

【 0 1 2 8 】

(工程 6)

次に、実施例 1 と同様にして、図 2 1 のように、レジストマスクは使用せずに、酸化膜のドライエッチング装置にて、 SF_6 ガスを主成分とする C_4F_8 ガスとの混合ガスを用いて、半導体基板 1 0 の全面に渡ってエッチングを行い、2 段構成の貫通孔 1 3 の穴底部の 0 . 5 μm の SiO_2 膜を除去して穴底の I / O パッド 1 2 が露出されるまでエッチングを行った。

30

【 0 1 2 9 】

この結果、2 段構成の貫通孔 1 3 の第 2 の穴 1 3 b の垂直な円筒状の壁面には、0 . 5 μm の膜厚の絶縁膜 1 4 が残り、2 段構成の貫通孔 1 3 の第 1 の穴 1 3 a の開口部近傍には膜厚が 0 . 7 μm の絶縁膜 1 4 が残り、半導体基板 1 0 の上面にも膜厚が 0 . 7 μm の絶縁膜 1 4 が残った。

40

【 0 1 3 0 】

(工程 7)

次に、スパッタリング装置を使用し、図 2 2 のように、半導体基板 1 0 の第 2 面と 2 段構成の貫通孔 1 3 の内壁に、チタンナイトライド (TiN) の拡散防止層を成膜した。

【 0 1 3 1 】

(工程 8)

次に、スパッタリング法で銅のシード層を形成した。

(工程 9)

次に、電解めっき法により銅を厚く形成して導電層を形成して貫通電極 (TSV) 1 5

50

を形成した。

【0132】

その結果、銅層による金属膜が、2段構成の貫通孔13の上部の第1の穴13aのテーパ形状の壁面、2段構成の貫通孔13の下部の第2の穴13bの垂直な円筒状の壁面、及び2段構成の貫通孔13の底まで均一に成膜されて貫通電極15が形成できた。

【0133】

なお、本発明は、以上の実施例及び実施形態で説明した構成に限定されない。例えば、以上の実施形態では、2段構成の貫通孔13を形成する際に、半導体基板10の第2面側からRIEモードでエッチングしてテーパ状の第1の穴13aを形成し、次にその第1の穴13aの底部からボッシュモードで垂直な円筒状の壁面を有する第2の穴13bを形成した。しかし、本発明はこの手順に限定されるものではなく、以下の手順で2段構成の貫通孔13を形成することもできる。

10

【0134】

例えば、本発明は、開口61を有するドライエッチング用フォトリソグ60をマスクとして半導体基板10の第2面側からI/Oパッド12の近くまでボッシュモードで直径20μmの垂直な円筒状の壁面を有する穴を形成して、次に、RIEモードで第2面側にドライエッチング用フォトリソグ60の開口61よりも大きな直径を有する第1の穴13aを形成することでウィングラス状の形を有する2段構成の貫通孔13を形成することもできる。

【0135】

また、第1の実施形態では、2段構成の貫通孔13の絶縁膜14上にアルミニウム層をスパッタリングで成膜して貫通電極15を形成し、第2の実施形態では、2段構成の貫通孔13の絶縁膜14上にスパッタリングで拡散防止層を形成した上で銅をめっきすることで貫通電極15を形成したが、第1の実施形態と第2の実施形態の貫通電極15の導電層を成膜する金属は適宜入れ替えて用いることができる。また、貫通電極15の導電層を成膜する金属は適宜、Alや銅以外の金属を用いることもできる。

20

【0136】

また、本発明の半導体装置の2段構成の貫通孔13の形は、その軸に垂直な断面形状は、円形又は楕円形状、あるいは、四角形状に形成することができる。

【0137】

また、本発明で用いるドライエッチング用フォトリソグ60は、フォトリソグに限定されず、電子線で描画することができるレジスト、あるいは、その他の手段で開口61を形成することができるドライエッチング用レジストを用いることが可能である。

30

【0138】

また、本発明の半導体装置の半導体基板10の材料はシリコン基板に限られず、他の材料の半導体基板10に対しても、本発明の実施形態と同様な形の2段構成の貫通孔13をI/Oパッド12上に形成して、その内壁面に化学気相蒸着法で絶縁膜14Aの層を形成して、それを全面ドライエッチングすることで2段構成の貫通孔13の壁面に絶縁膜14を残しつつI/Oパッド12上の絶縁膜14Aを除去した構造が形成でき。その2段構成の貫通孔13には、容易に均一な金属膜による高品質な貫通電極15を形成できる効果がある。

40

【符号の説明】

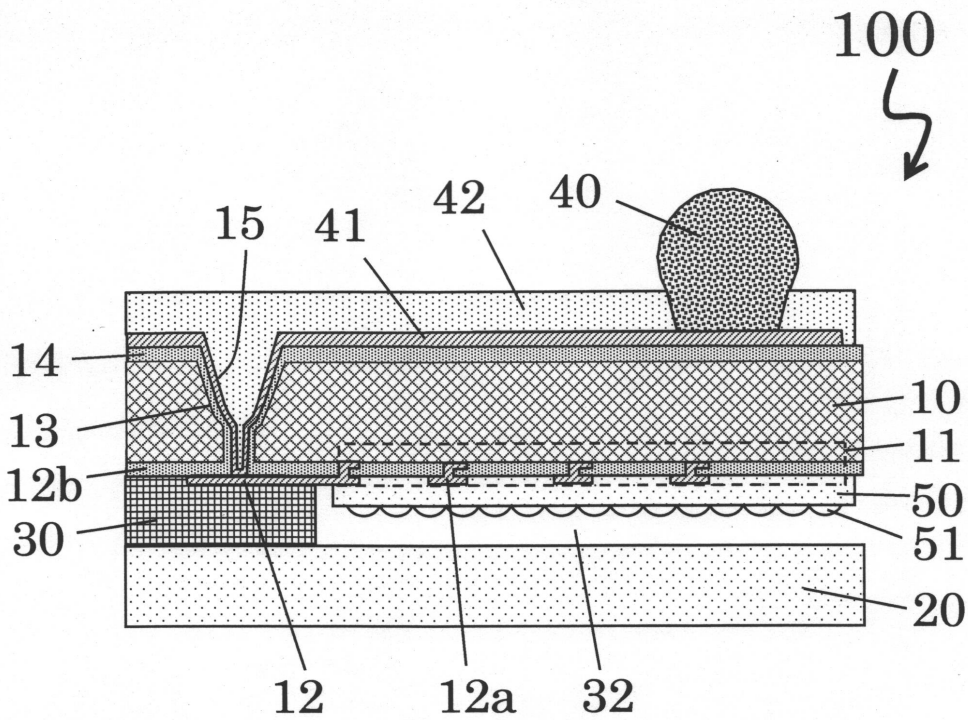
【0139】

- 100・・・半導体装置
- 10、10A・・・半導体基板
- 11・・・集積回路
- 12・・・I/Oパッド
- 12a・・・(集積回路の)配線
- 12b・・・絶縁層
- 13・・・2段構成の貫通孔

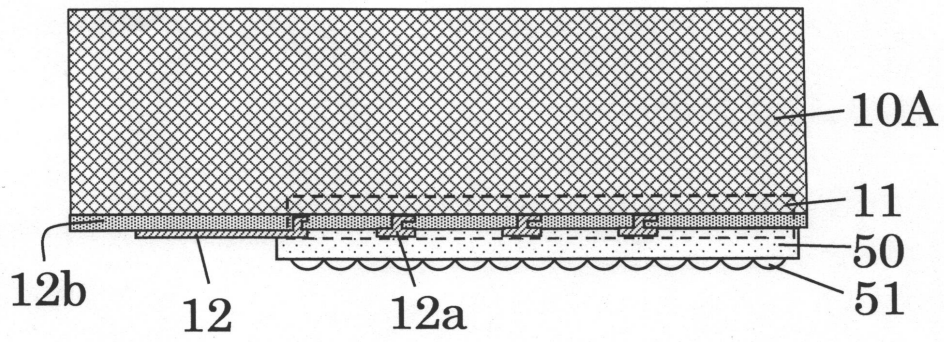
50

- 13 a . . . 第1の穴
- 13 b . . . 第2の穴
- 14、14 A . . . 絶縁膜
- 15 . . . 貫通電極、
- 20 . . . ガラス基板
- 30 . . . キャビティダム
- 32 . . . キャビティ
- 33 . . . パッシベーション膜
- 34 . . . 接着層
- 40 . . . 外部接続端子
- 41 . . . 配線パターン
- 42 . . . ソルダーレジスト
- 43 . . . 開口
- 50 . . . カラーフィルタ層
- 51 . . . マイクロレンズアレイ
- 60 . . . ドライエッチング用フォトリソ
- 61 . . . 開口

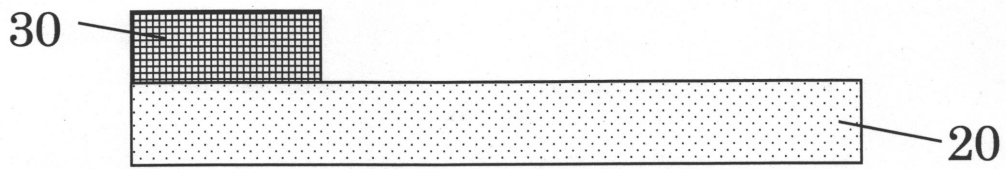
【図1】



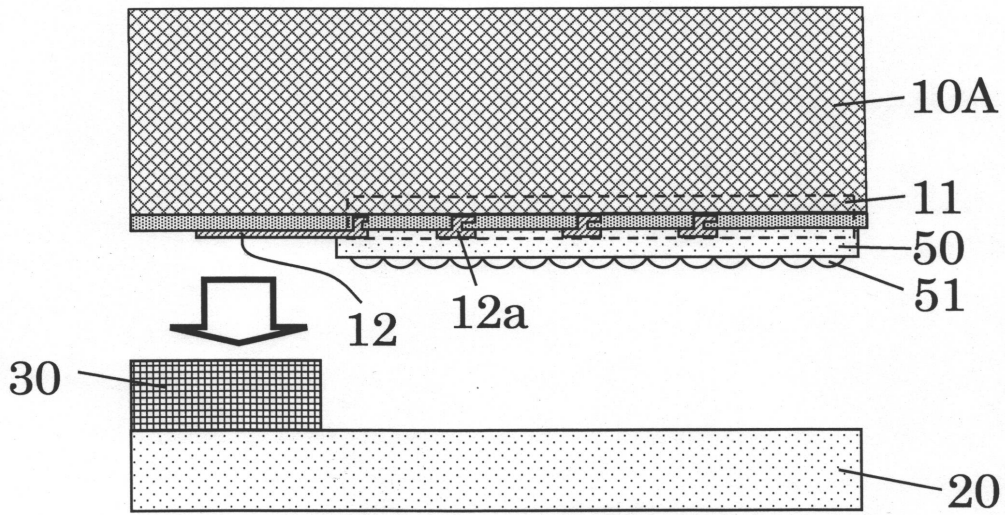
【図2】



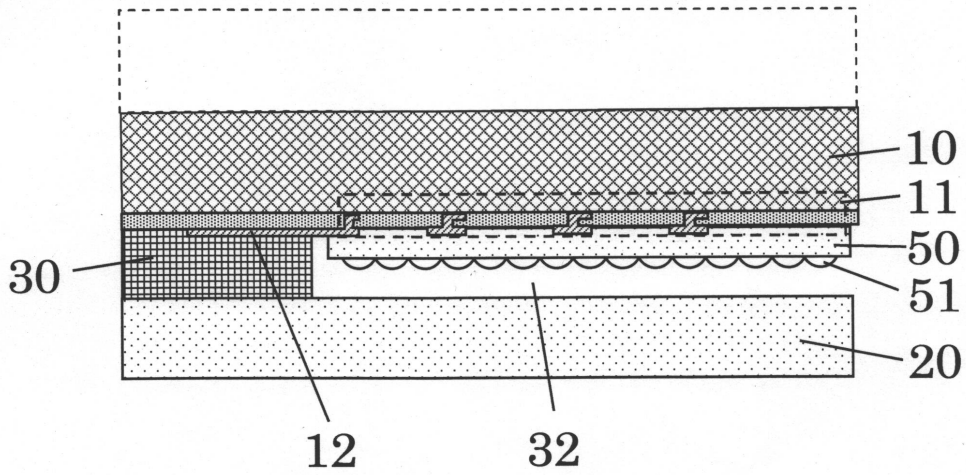
【図3】



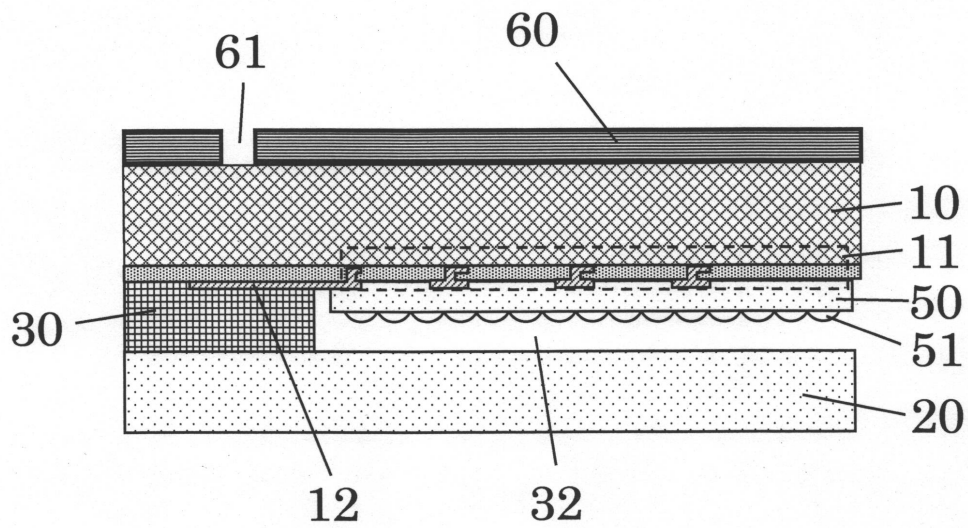
【図4】



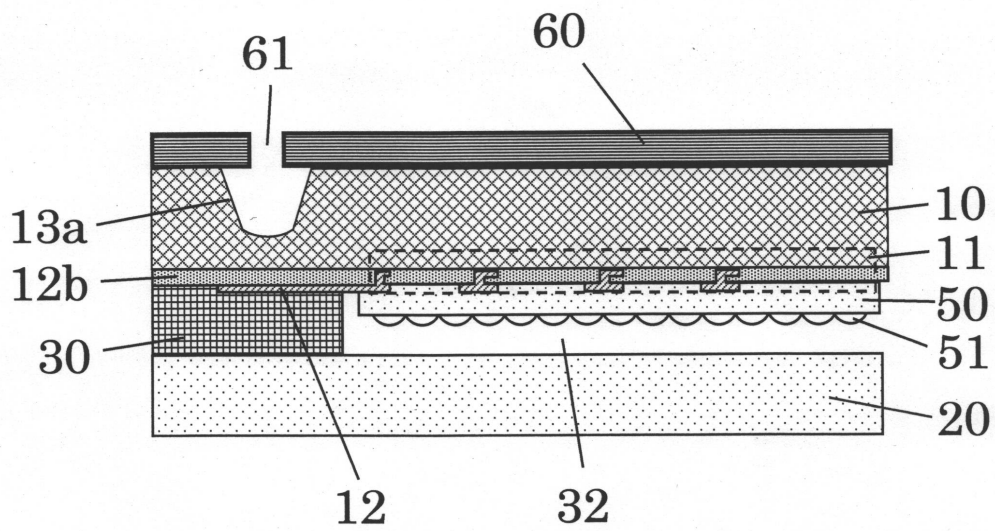
【図5】



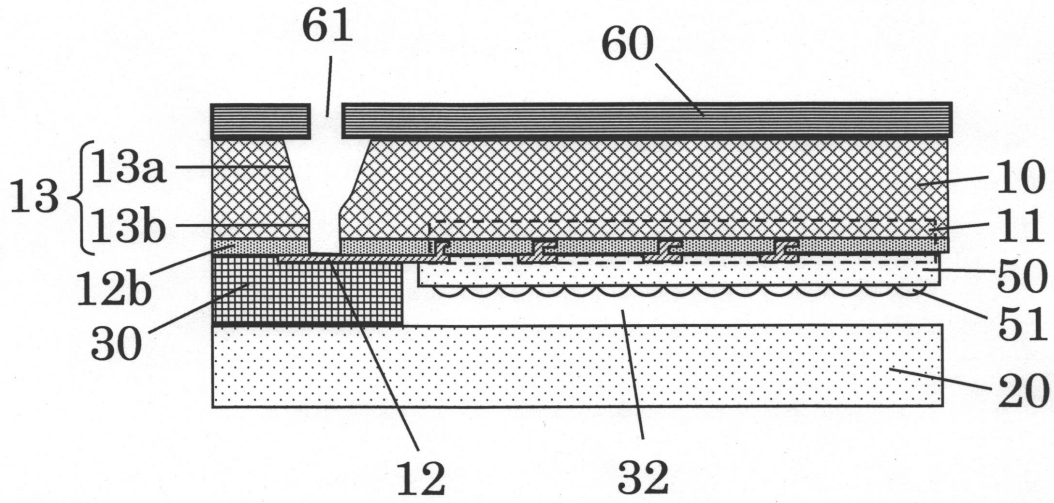
【図6】



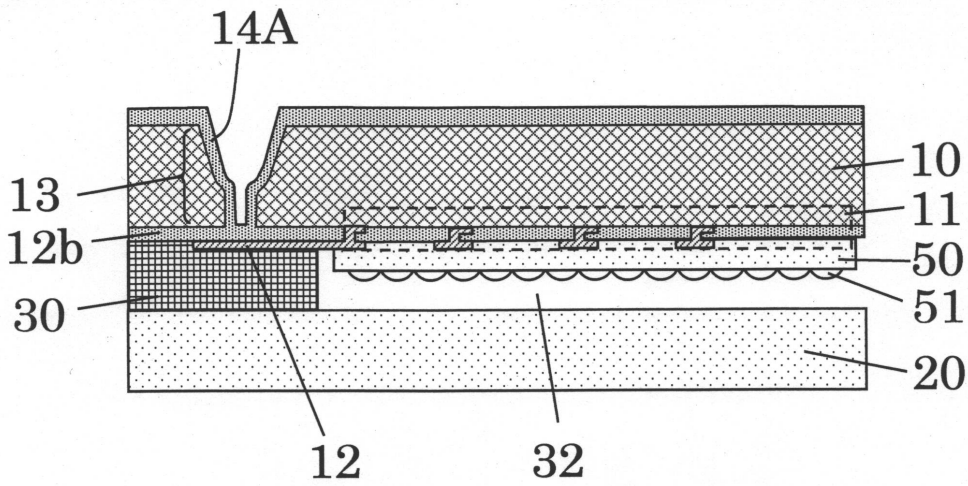
【図7】



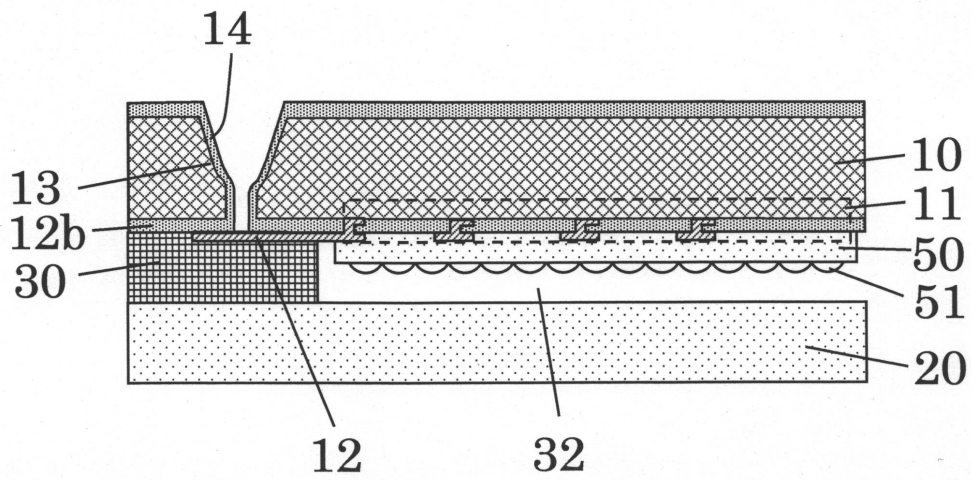
【図8】



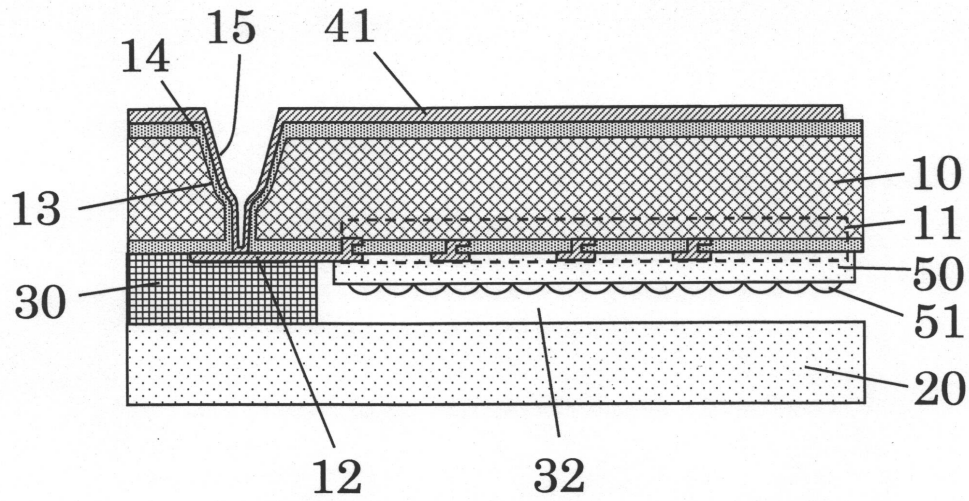
【図9】



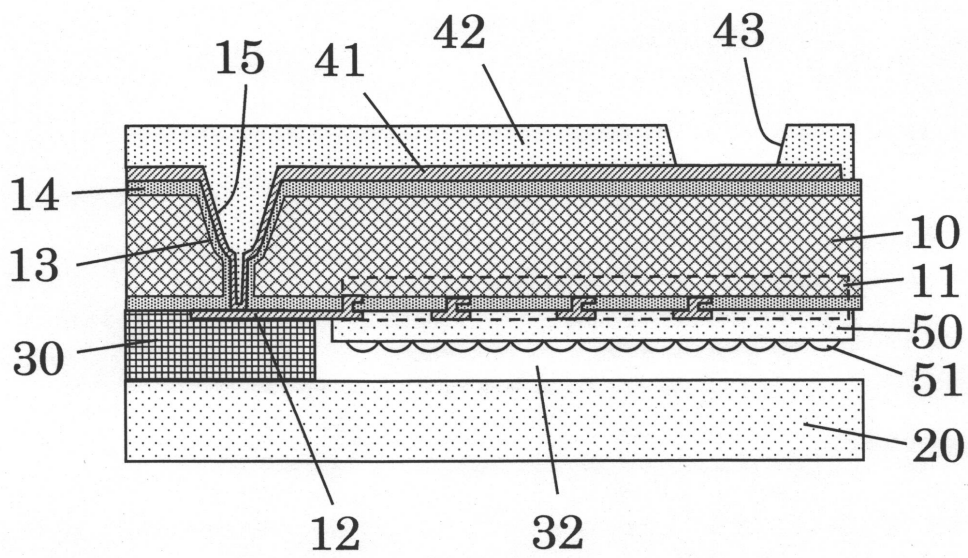
【図10】



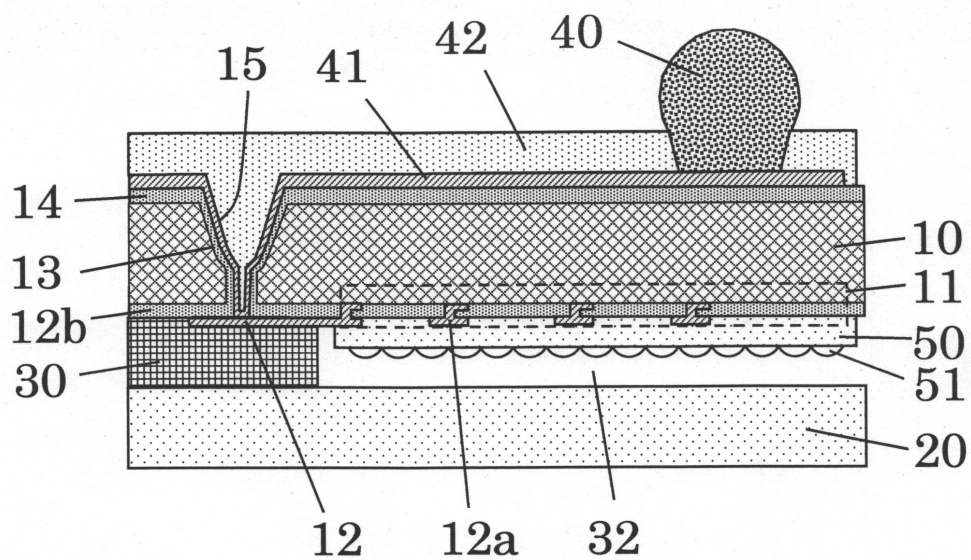
【図11】



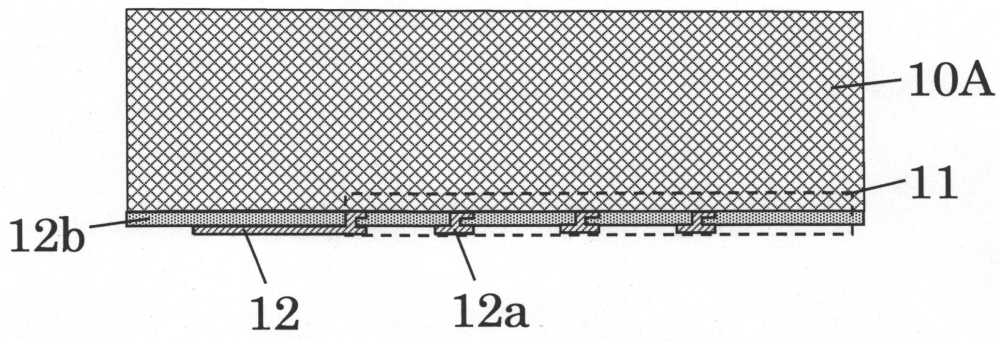
【図12】



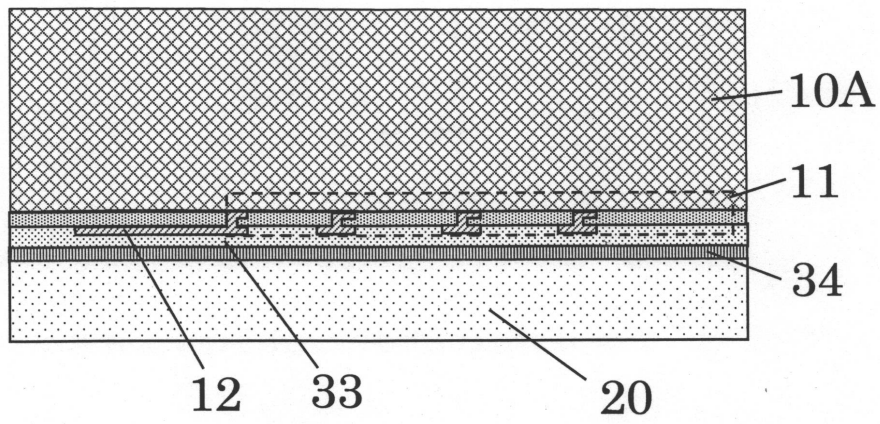
【図13】



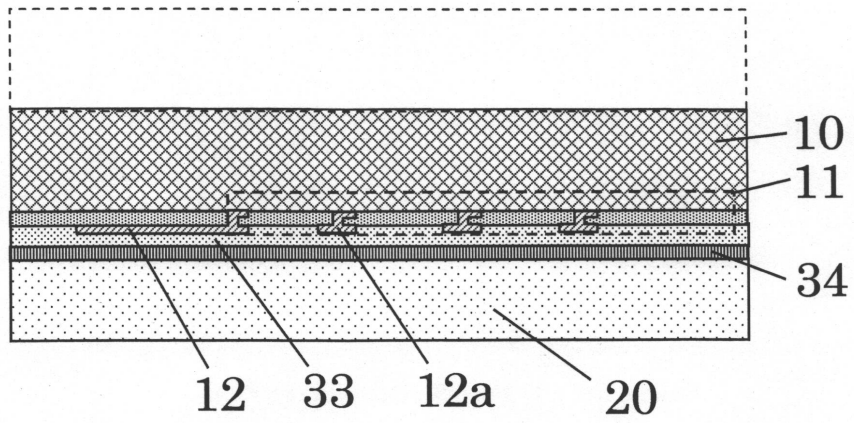
【図14】



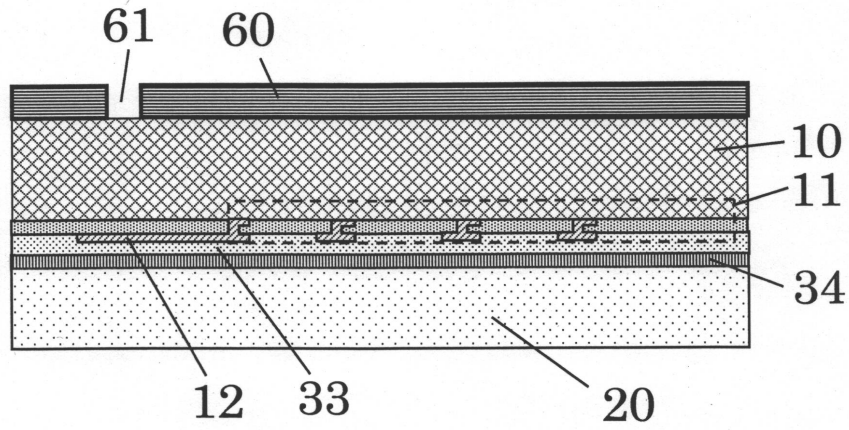
【図15】



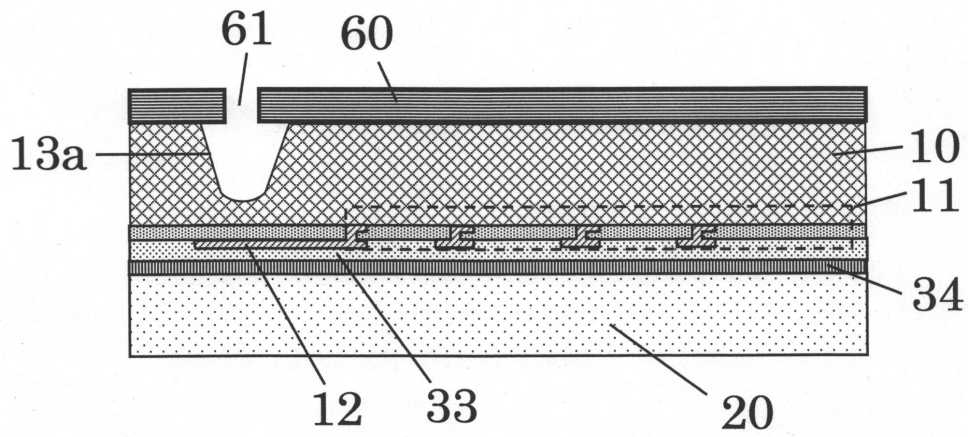
【図16】



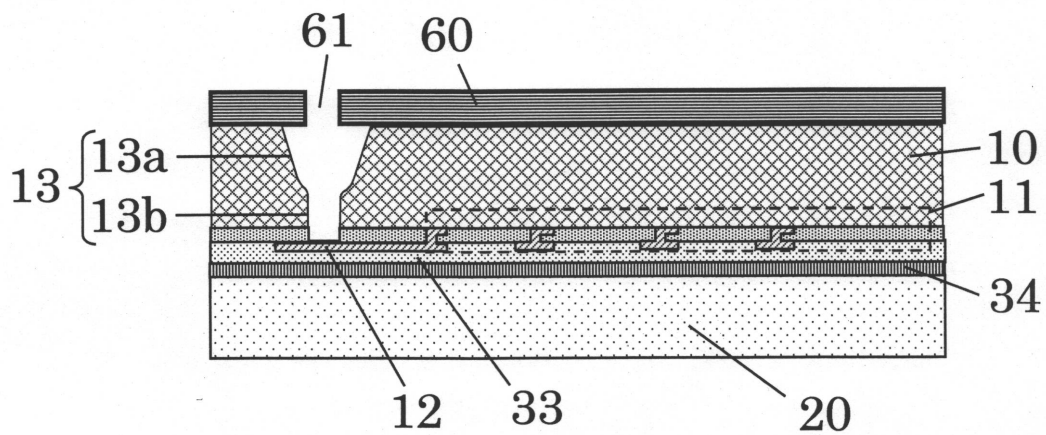
【図17】



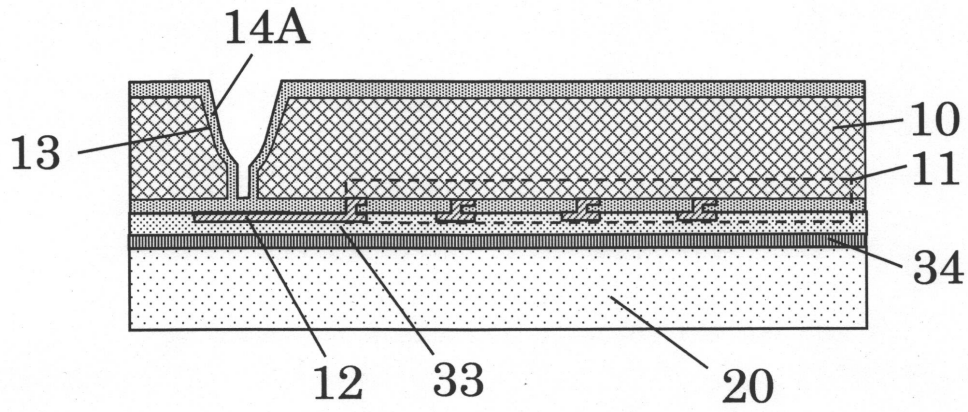
【図18】



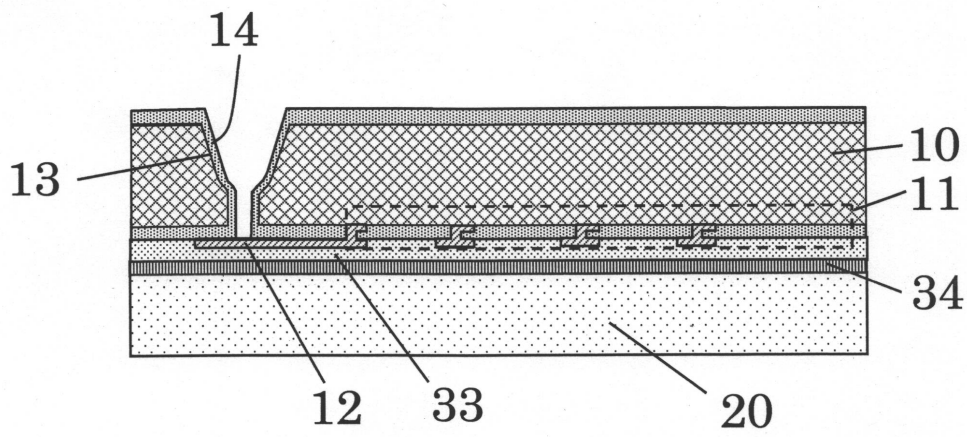
【図19】



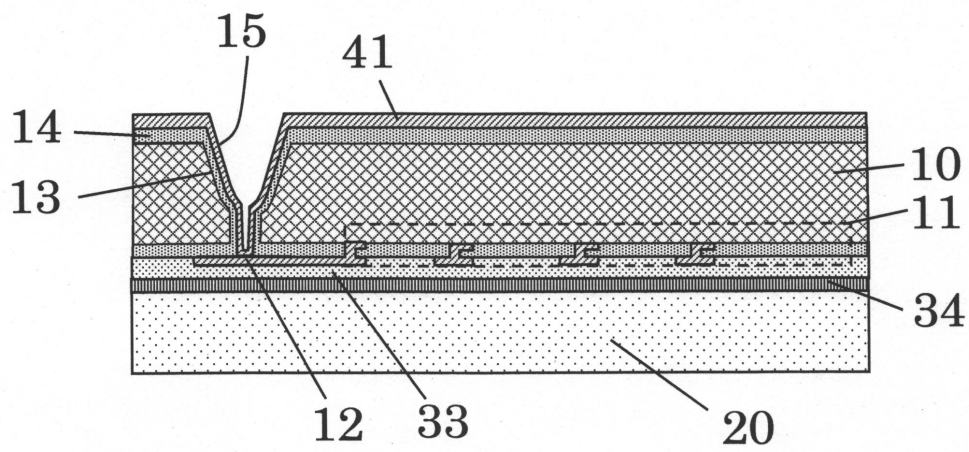
【図20】



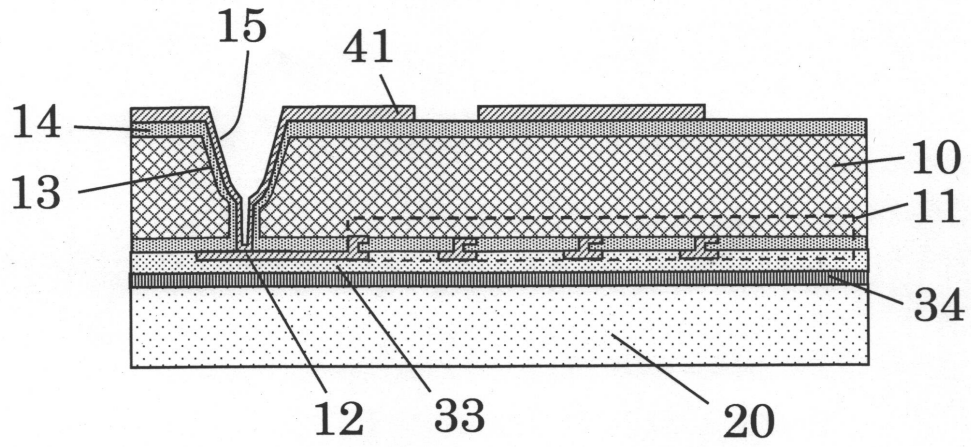
【図21】



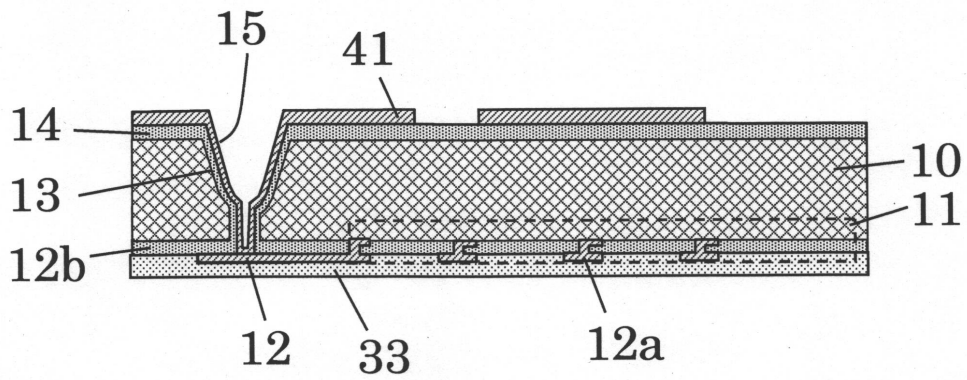
【図22】



【図23】



【図24】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/3065 (2006.01)

(72)発明者 田口 恭輔
東京都台東区台東1丁目5番1号 凸版印刷株式会社内

審査官 河合 俊英

(56)参考文献 特開2008-288309(JP,A)

特開2003-318178(JP,A)

特開2011-003863(JP,A)

特表2003-503855(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/3205

H 0 1 L 21/3065

H 0 1 L 21/768

H 0 1 L 23/12

H 0 1 L 23/522

H 0 1 L 27/14