

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/108

(45) 공고일자 1999년 10월 15일
(11) 등록번호 10-0226591
(24) 등록일자 1999년 07월 28일

(21) 출원번호	10-1994-0022882	(65) 공개번호	특 1995-0010090
(22) 출원일자	1994년 09월 12일	(43) 공개일자	1995년 04월 26일
(30) 우선권 주장	93-229956 1993년 09월 16일		일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이쵸
일본국 가나가와켄 가와사키시 사이와이구 호리가와쵸 72반지
(72) 발명자 이바준이치로
일본국 가나가와켄 가와사키시 사이와이구 고무가이 도시바정 1번지 가부시끼
가이샤 도시바 연구개발 센터내
고야마유스케
일본국 가나가와켄 가와사키시 사이와이구 고무가이 도시바정 1번지 가부시끼
가이샤 도시바 연구개발 센터내
(74) 대리인 김윤배, 이범일

심사관 : 신양환

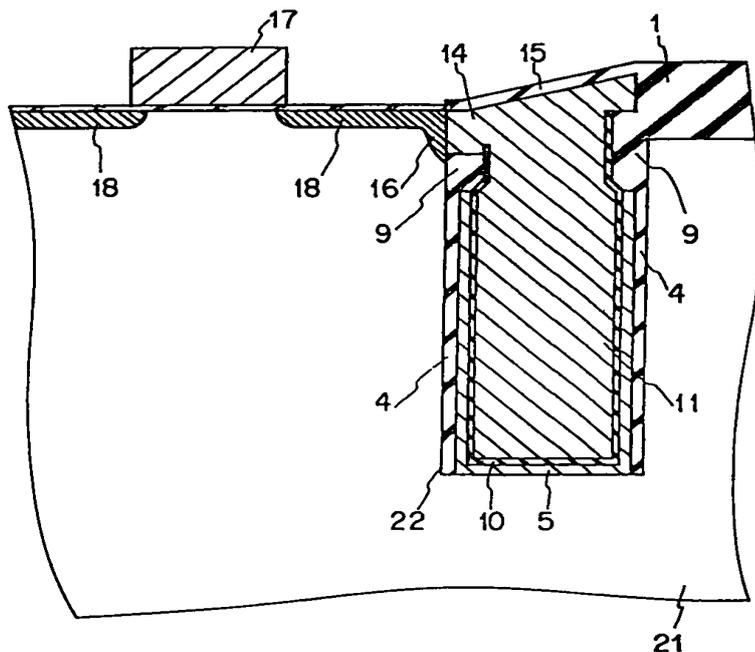
(54) 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치캐패시터 및 그 제조방법과 트렌치캐패시터를 갖
춘 다이나믹 랜덤 액세스 메모리셀의 제조방법

요약

본 발명은 캐패시터의 면적을 감소시키지 않고 접합누설전류를 저감하기 위한 것으로, 접합누설의 근본으
로 되는 부분 아래쪽의 절연체층을 트렌치 안쪽으로 튀어 나오도록 두껍게 형성하여, 그 부분에서의 트렌
치 바깥쪽에 따른 반전을 차단하기 위한 것이다.

이를 위해 본 발명은, 기판 표면의 트랜지스터의 도전영역(18)에 연결되도록 형성된 트렌치(22)와 트렌치
(22)의 안쪽에 그 상연부가 도전영역(18)보다 아래쪽에 위치하는 캐패시터전극(5), 적어도 캐패시터전극
의 상연부로 부터 도전영역(18)에 이르기까지의 부분에서 트렌치의 내경을 좁히도록 안쪽으로 튀어 나와
두껍게 형성된 절연체층(9), 캐패시터전극(5)면을 덮는 캐패시터 절연막(10) 및, 캐패시터 절연막에 접촉
하며 트렌치를 충전하는 캐패시터전극(11, 14)을 구비하여 구성된 것을 특징으로 한다.

대표도



명세서

부(上緣部 ; 위쪽 가장자리 부분)가 상기 도전영역보다 아래쪽에 위치하는 제1캐패시터 전극, 적어도 상기 제1캐패시터전극의 상연부로부터 상기 도전 영역에 이르기까지의 부분에서 트렌치의 내경을 좁히도록 안쪽으로 튀어 나와 두껍게 형성된 절연체층, 상기 제1캐패시터전극면을 덮는 캐패시터절연막, 이 캐패시터절연막에 접촉하며 상기 트렌치를 충전하는 제2캐패시터전극을 구비한 것을 특징으로 한다.

또, 본 발명의 반도체장치의 제조방법은, 반도체기판에 있어서 그 벽면이 가산화층(可酸化層)으로 되는 트렌치를 형성하는 공정과, 상기 트렌치 연부(緣部 ; 가장자리 부분)부근의 얇은 부분을 제외하고 트렌치의 내벽을 절연체로 피복하는 공정, 상기 트렌치의 얇은 부분에 있어서 노출된 가산화층을 산화시킴으로써 선택적으로 트렌치의 안쪽으로 튀어 나오는 두꺼운 절연체층을 형성하는 공정을 구비하여 이루어진 것을 특징으로 한다.

[작용]

본 발명에서는, 접합누설의 근본으로 되는 부분인 제1캐패시터전극의 상연부로부터 상기 도전영역에 이르는 위치까지의 절연체층을 트렌치 내벽을 향해 튀어 나오도록 두껍게 형성하여, 그 부분에서 트렌치의 바깥쪽에 따른 반전이 연속하지 않도록 하고 있다.

[실시예]

이하, 도면을 참조하여 본 발명을 실시예에 의거 상세히 설명한다.

제1도 ~ 제5도는 제1실시예를 나타내는 DRAM에서의 쉬스 플레이트형 트렌치 캐패시터의 제조방법을 공정 순으로 나타낸 단면도이다. 우선, 제1도에 나타낸 바와 같이, SiN막(3)을 마스크로 하여 필드산화막(1)에 인접하여 실리콘기판(21)의 표면으로부터 깊이 5 μ m, 구멍지름 0.5 μ m의 트렌치(22)를 형성한다. 다음에는 트렌치 내벽에 20nm의 SiO₂막(4)을 고온열산화에 의해 피복한다. 그리고, 이방성 에칭기술을 이용하여 트렌치 바닥부분의 SiO₂막(4)을 선택적으로 에칭한다.

다음에는 50nm의 폴리실리콘막(5), 12nm의 SiN막(6) 및 50nm의 SiO₂막(7)을 CVD법에 의해 순서대로 퇴적시킨다. 한쪽의 캐패시터전극으로 되는 폴리실리콘막(5)은 성막시 또는 성막후에 고농도의 인을 도핑한다. 다음에는 트렌치의 바닥으로부터 3 μ m까지 매립한 레지스트(8)를 마스크로 하여 버퍼 HF 수용액에 의해 노출되어 있는 SiO₂막(7)을 박리한다.

다음에는 제2도에 나타낸 바와 같이, 레지스트(8)를 제거하고, 제1도에 나타낸 SiO₂막(7)을 마스크로 하여 노출된 SiN막(6)을 열H₃PO₄ 수용액에 의해 박리한다. 다음에는 고온열산화에 의해 SiN막의 박리후에 노출된 부분의 폴리실리콘막(5)을 산화시켜 재질을 바꾸어 버린다. 이로써 50nm의 SiO₂막(9)이 형성된다.

다음에는 열H₃PO₄ 수용액에 의해 나머지 SiN막(6)을 박리한다. 폴리실리콘막(5)으로의 도핑은 여기에서 행해도 좋다. 다음에는 10nm의 SiN막(10)을 CVD법을 이용하여 퇴적시킨다. 그리고 고온열산화에 의해 SiN막(10)의 표면을 얇게 산화시킨다. 이로써 양질의 캐패시터 절연막을 형성할 수 있다. 혹은, SiO₂막(9)을 형성한 후, SiN막(6)을 박리하지 않고 그대로 캐패시터 절연막으로 사용해도 좋다.

다음에는 400nm의 폴리실리콘막(11)을 CVD법을 이용하여 피복한다. 여기에서 폴리실리콘막(11)은 트렌치 내를 완전히 충전한 형태로 되어 다른쪽 캐패시터전극으로 된다. 또, 폴리실리콘막(11)으로의 인의 확산을 폴리실리콘막(5)과 마찬가지로 행한다. 다음에는 트렌치 바닥으로부터 기판 표면으로 4 μ m까지 폴리실리콘막(11)이 남도록 등방성 드라이 에칭기술을 이용하여 선택적으로 폴리실리콘막을 에칭한다. 다음에는 고온열산화로 폴리실리콘막(11)의 표면을 10nm 산화시켜 SiO₂막(12)을 형성한다.

다음에는 제3도에 나타낸 바와 같이, 등방성 드라이 에칭기술을 이용하여 노출되어 있던 SiN막(10)을 선택적으로 박리한다. 다음에는 이방성 에칭기술을 이용하여 SiO₂막(9)을 폴리실리콘막(11)의 윗면에 이르기까지 선택적으로 박리한다. 여기에서 SiO₂막(12)은 SiO₂막(9)과 동시에 박리된다.

다음에는 제4도에 나타낸 바와 같이, 레지스트(13)를 도포하고, 리소그래피기술을 이용하여 트렌치 부분이 노출되도록 개공하며, 버퍼 HF 수용액을 이용하여 측벽의 산화막(4)을 박리한다.

다음에는 제5도에 나타낸 바와 같이, 레지스트(13)를 박리하고, 고농도로 도핑한 폴리실리콘막(14)을 트렌치내에 충전시키며, 등방성 드라이 에칭 기술을 이용하여 폴리실리콘막(14)을 SiN막(3)의 하단까지 선택적으로 박리한다. 다음에는 열산화기술을 이용하여 폴리실리콘막(14)의 윗면을 산화시켜 30nm의 SiO₂막(15)을 형성한다. 여기에서, 폴리실리콘막(14)에 도핑한 인 또는 비소를 기판방향으로 확산시켜 확산층(16)을 형성한다. 다음에는 등방성 드라이 에칭기술을 이용하여 SiN막(3)을 선택적으로 박리한다. 그후는 주지의 기술에 의해 DRAM의 메모리셀을 형성한다. 즉, SiO₂막(15)상에 게이트전극(17)을 선택적으로 형성하고, 한쪽 영역이 확산층(16)과 접하는 소스, 드레인영역(18)을 형성한다.

상기 실시예의 방법에 의하면, 접합누설의 근본으로 되는 폴리실리콘막(14)과 기판(21)이 확산층(16)에 의해 연결되는 부분의 바로 아래쪽 근방, 즉 캐패시터전극으로 되는 폴리실리콘막(5)의 상연부로부터 확산층(16)에 이르기까지의 SiO₂막(9)을 트렌치 아래쪽에 이어지는 SiO₂막(4)보다 두껍게 형성함으로써, 그 부분에서 트렌치의 바깥쪽에 따른 반전층이 형성되기 어렵게 된다. 즉, 폴리실리콘막(14)(또는 11)에 주어진 전위의 영향으로 트렌치의 바깥쪽에 따른 반전층이 확산층(16)으로부터 연속해 버리는 것을 두껍게 형성된 SiO₂막(9)으로 방지한다. 게다가, 구조적으로는 SiO₂막(9)이 두껍게 형성되어 있을 뿐이고, 그 아래쪽의 캐패시터의 실질적인 면적은 거의 변하지 않는다. 따라서, 트렌치 캐패시터의 용량을 감소시키지 않고 접합누설전류를 저감할 수 있게 된다.

제6도 ~ 제9도는 제2실시예를 나타내는 DRAM에서의 쉬스 플레이트형 트렌치 캐패시터의 제조방법을 공정 순으로 나타낸 단면도이다. 동일한 부분의 부호는 제1실시예에 준한다. 제6도에 나타낸 바와 같이, 실리

콘기판(21) 표면으로부터 깊이 $5\mu\text{m}$ 의 트렌치(23)를 형성한다. 다음에는 60nm의 폴리실리콘막(5), 12nm의 SiN막(6) 및 50nm의 SiO_2 막(7)을 CVD법에 의해 퇴적시킨다. 다음에는 트렌치의 바닥으로부터 $3\mu\text{m}$ 까지 매립한 레지스트(8)를 마스크로 하여 버퍼 HF 수용액에 의해 노출되어 있는 SiO_2 막(7)을 박리한다.

다음에는 제7도에 나타난 바와 같이, 레지스트(8)를 제거하고, SiO_2 막(7)을 마스크로 하여 노출된 SiN막(6)을 H_3PO_4 수용액에 의해 박리한다. 다음에는 버퍼 HF 수용액에 의해 SiO_2 막(7)을 박리한다. 이 때, SiO_2 막(7)이 있던 부분에만 SiN막(6)이 잔존하고 있다. 다음에는 SiN막(6)이 없는 부분에서 노출되어 있는 폴리실리콘막(5)을 고온열산화에 의해 산화시켜 50nm의 SiO_2 막(9)을 형성한다. 다음에는 H_3PO_4 수용액에 의해 SiN막(6)을 박리한다. 다음에는 고농도의 인 또는 비소를 폴리실리콘막(5)에 도핑한다. 여기에서 폴리실리콘막(5)을 통해 기판에 인 또는 비소가 확산되어 확산층(27)을 형성한다.

다음에는 제8도에 나타난 바와 같이, 10nm의 SiN막(10)을 CVD법을 이용하여 퇴적시킨다. 그리고 고온열산화에 의해 SiN막(10)의 표면을 얇게 산화시킨다. 이로써 양질의 용량절연막을 형성할 수 있다. 혹은, SiO_2 막(9)을 형성한 후에 SiN막(6)을 박리시키지 않고 그대로 용량절연막으로 사용해도 좋다. 다음에는 400nm의 폴리실리콘막(11)을 감압 CVD법을 이용하여 피복한다. 여기에서 폴리실리콘막(11)은 트렌치내를 완전히 충전한 형태로 된다. 또, 폴리실리콘막(11)으로의 인의 확산을 폴리실리콘막(5)과 마찬가지로 행한다. 다음에는 트렌치 바닥으로부터 기판의 표면으로 $4.5\mu\text{m}$ 까지 폴리실리콘막(11)이 남도록 등방성 에칭기술을 이용하여 선택적으로 폴리실리콘막을 에칭한다. 다음에는 고온열산화로 폴리실리콘막(11)의 표면을 10nm 산화시켜 SiO_2 막(12)을 형성한다.

그 후는 제1실시예와 마찬가지로의 프로세스로 DRAM의 메모리셀을 형성할 수 있다. 제5도에 대응한 단면구조를 제9도에 나타낸다. 즉, 폴리실리콘막(14)의 트렌치내 충전, 폴리실리콘막(14)의 윗면의 산화(SiO_2 막(15))를 행하고, SiO_2 막(2)상에 게이트전극(19)을 선택적으로 형성하며, 한쪽 영역이 확산층(16)과 접하는 소스, 드레인영역(18)을 형성한다.

제10도, 제11도는 제3실시예를 나타내는 DRAM에서의 쉬스 플레이트형 트렌치 캐패시터의 제조방법을 공정순으로 나타낸 단면도이다. 동일한 부분의 부호는 제1, 제2실시예에 준한다. 우선, 제10도에 나타난 바와 같이, 실리콘기판(21)의 표면으로부터 깊이 $5\mu\text{m}$, 구멍지름 $0.5\mu\text{m}$ 의 트렌치(22)를 형성한다. 다음에는 12nm의 SiN막(6)과 50nm의 SiO_2 막(7)을 순서대로 CVD법을 이용하여 퇴적시킨다. 다음에는 트렌치 바닥으로부터 $3\mu\text{m}$ 까지 매립한 레지스트(8)를 마스크로 하여 버퍼 HF 수용액에 의해 SiO_2 막(7)을 박리한다.

다음에는 제11도에 나타난 바와 같이, 레지스트(8)를 제거하고, 제10도에 나타난 SiO_2 막(7)을 마스크로 하여 노출된 SiN막(6)을 H_3PO_4 수용액에 의해 박리한다. 다음에는 버퍼 HF 수용액에 의해 SiO_2 막(7)을 박리한다. 다음에는 고온열산화에 의해 SiN막(6)의 박리후에 노출된 부분의 실리콘기판을 산화시켜 50nm의 SiO_2 막(9)을 형성한다. 다음에는 H_3PO_4 수용액에 의해 SiN막(6)을 박리한다. 다음에는 고농도의 인 또는 비소를 기판에 도핑하여 확산층(27)을 형성한다.

다음에는 10nm의 SiN막(10)을 CVD법을 이용하여 퇴적시키고, 고온열산화에 의해 SiN막(10)의 표면을 얇게 산화시켜 양질의 용량절연막을 형성한다. 그 후, 상기 제9도와 같이, 제1실시예와 마찬가지로의 프로세스로 DRAM의 메모리셀을 형성할 수 있다.

제12도, 제13도는 제4실시예를 나타내는 DRAM에서의 쉬스 플레이트형 트렌치 캐패시터의 제조방법을 공정순으로 나타낸 단면도이다. 동일한 부분의 부호는 제1실시예에 준한다. 우선, 제12도에 나타난 바와 같이, 실리콘기판(21)의 표면으로부터 깊이 $5\mu\text{m}$, 구멍지름 $0.5\mu\text{m}$ 의 트렌치를 형성한다. 다음에는 60nm의 폴리실리콘막(5)과 12nm의 SiN막(6)을 순서대로 CVD법을 이용하여 퇴적시킨다. 폴리실리콘막(5)에는 성막시 또는 성막후에 고농도의 인 또는 비소를 도핑한다. 여기에서, 도핑한 인 또는 비소는 후의 열공정을 거침으로써 기판내로 확산된다. 다음에는 고온열산화에 의해 SiN막(6)의 표면을 산화시킨다.

다음에는 400nm의 폴리실리콘막(11)을 CAD법에 의해 형성한다. 다음에는 트렌치 바닥으로부터 $3\mu\text{m}$ 까지 폴리실리콘막(11)이 남도록 등방성 드라이 에칭기술을 이용하여 선택적으로 폴리실리콘막을 에칭한다. 다음에는 노출된 SiN막(6)을 H_3PO_4 수용액에 의해 박리한다.

다음에는 제13도에 나타난 바와 같이, SiN막(6)의 박리후에 노출된 부분의 폴리실리콘막(5)을 고온열산화에 의해 완전히 산화시켜 SiO_2 막(9)을 형성한다. 이 폴리실리콘막(5)의 산화에 의해 기판의 일부를 산화시켜도 좋다. 여기에서 폴리실리콘막(5)의 윗면이 산화되어 SiO_2 막(12)이 생긴다(도시하지 않음). 다음에는 이방성 에칭기술을 이용하여 SiO_2 막(9)을 폴리실리콘막(11)의 윗면까지 선택적으로 박리한다. 여기에서 SiO_2 막(12)은 SiO_2 와 동시에 박리된다. 그 후는 제2실시예와 마찬가지로의 프로세스로 DRAM의 메모리셀을 형성할 수 있다.

상기 제2 ~ 제4의 각 실시예에 의하면, 제1실시예와 마찬가지로의 효과를 기대할 수 있다. 즉, 트렌치 캐패시터의 용량을 감소시키지 않고 접합누설 전류를 저감할 수 있다.

한편, 특허청구의 범위의 각 구성요건에 병기한 참조부호는 본 발명의 이해를 용이하게 하기 위한 것으로, 본 발명의 기술적인 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 쉬스 플레이트형 트렌치 캐패시터구조에서, 트렌치 내벽부측의 캐패시터전극의 상연부로부터 전송트랜지스터의 도전영역에 이르기까지의 산화막을 트렌치 안쪽을 향해 돌출되도록 두껍게 형성하고, 그 부분에서 트렌치의 바깥쪽에 따른 반전이 일어나지 않도록 했으므로, 그 아래쪽의 캐패시터의 실질적인 면적은 거의 변하지 않고 접합누설전류를 저감할 수 있는 반도체장치 및

그 제조방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판과, 상기 반도체기판에 형성된 트렌치, 상기 트렌치의 상연부에 형성된 제1도전막, 그 상연부의 제1도전막을 제외하고 트렌치내에 피복된 산화저항을 갖는 재료 및, 상기 트렌치의 상연부의 제1도전막을 산화함으로써 그 표면이 트렌치의 내부로 튀어 나오도록 형성된 산화막을 구비한 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터.

청구항 2

트렌치가 형성된 제1도전형의 반도체기판(21)과, 상기 반도체기판의 표면에 상기 트렌치에 인접하도록 형성된 제2도전형의 도전영역, 상기 트렌치의 표면에 형성된 확산층(27), 상기 트렌치의 윗면에 상기 확산층의 상연부가 인접하도록 형성되고, 상기 트렌치의 표면 외부로 튀어 나온 제1주면과, 상기 트렌치의 표면 내부로 튀어 나온 제2주면을 갖춘 절연층(9), 상기 확산층을 피복하는 절연막 및, 상기 절연막상에 상기 트렌치를 매립하도록 형성된 도전층을 구비하고, 상기 확산층, 상기 절연막 및 상기 도전층에 의해 개패시터가 형성되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터.

청구항 3

반도체기판에 트렌치를 형성하는 공정과, 상기 트렌치의 상연부에 제1도전막을 형성하는 공정, 그 상연부의 제1도전막을 제외하고 트렌치내에 산화저항을 갖는 재료를 피복하는 공정 및, 상기 트렌치의 상연부의 도전막을 산화하여 상기 트렌치의 내부로 튀어 나온 절연층을 선택적으로 형성하는 공정을 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 4

제3항에 있어서, 상기 제1도전막을 형성하기 전에 상기 트렌치의 내주면상에 절연막을 형성하는 공정을 더 구비하여 이루어지고, 상기 도전막이 상기 절연막상 및 상기 트렌치의 바닥부분에 형성되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 5

반도체기판에 트렌치를 형성하는 공정과, 상기 트렌치의 측벽면상에 도전막을 형성하는 공정, 상기 트렌치의 상연부의 도전막의 일부를 제외하고 트렌치내에 산화저항을 갖는 재료를 피복하는 공정 및, 상기 트렌치의 상연부의 도전막을 산화하여 트렌치의 내부로 튀어 나온 절연층을 선택적으로 형성하는 공정을 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 6

제5항에 있어서, 상기 도전막중 산화되지 않고 남아 있는 부분에 캐패시터 절연막을 피복하는 공정과, 상기 트렌치를 상기 캐패시터 절연막을 피복하는 도전재료로 충전하는 공정을 더 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 7

제6항에 있어서, 상기 트렌치의 상연부에 인접한 기판의 일부에 DRAM의 셀트랜지스터용의 도전영역을 형성하는 공정과, 상기 절연층중 상기 트렌치의 상연부에 위치한 부분을 제거하는 공정을 더 구비하여 이루어지고, 상기 도전막이 상기 도전영역에 전기적으로 연결되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 8

제5항에 있어서, 상기 도전막을 형성하기 전에 상기 트렌치의 내부 측벽면상에 절연막을 형성하는 공정을 더 구비하여 이루어지고, 상기 도전막이 상기 절연막상 및 상기 트렌치의 바닥부분에 형성되는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 9

제5항에 있어서, 상기 절연층의 형성과 동시에, 상기 반도체기판의 상기 절연층의 근방에 위치한 부분을 산화하는 공정을 더 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 10

반도체기판에 트렌치를 형성하는 공정과, 상기 트렌치에 도전벽을 형성하는 공정, 상기 트렌치의 상부를 제외하고 상기 도전벽을 산화저항재료로 피복하는 공정, 상기 산화저항재료를 산화마스크로 하여 상기 도전벽을 산화하여 상기 트렌치의 상부에 제1절연막을 형성하는 공정, 상기 도전벽의 산화되지 않은 부분으로부터 절연분리하여 도전막을 형성하는 공정 및, 상기 도전막에 전기적으로 연결된 확산영역을 갖춘 트랜스퍼 게이트를 형성하는 공정을 구비하여 이루어지고, 상기 도전벽의 산화되지 않은 부분이 상기 트렌치 캐패시터의 제1전극을 구성하고, 상기 도전막이 상기 트렌치 캐패시터의 제2전극을 구성하는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이나믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 11

제10항에 있어서, 상기 도전막은 상기 산화저항재료에 의해 상기 도전벽의 산화되지 않은 부분으로부터 절연분리되는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 12

제10항에 있어서, 상기 도전벽을 산화한 후에 상기 산화저항 재료를 제거하는 공정과, 상기 도전막을 형성하기 전에 적어도 상기 도전벽의 산화되지 않은 부분에 캐패시터 절연막을 형성하는 공정을 더 구비하여 이루어지고, 상기 캐패시터 절연막은 상기 도전막을 상기 도전벽의 산화되지 않은 부분으로부터 절연 분리하는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 13

제12항에 있어서, 상기 캐패시터 절연막은 이산화실리콘(SiO_2)/질화실리콘(Si_3N_4)으로 구성되는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 14

제10항에 있어서, 상기 도전벽 및 상기 도전막은 각각 불순물이 도프된 폴리실리콘막인 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 15

제10항에 있어서, 상기 도전막은, 이 도전막으로부터 불순물을 바깥쪽으로 확산하여 형성한 확산층에 의해 상기 트랜스퍼 게이트의 상기 확산영역에 전기적으로 연결되는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 16

제10항에 있어서, 상기 도전벽을 형성하기 전에 상기 트렌치에 의해 노출된 상기 반도체기판의 측벽에 제2절연막을 형성하는 공정을 더 구비하여 이루어지고,

상기 도전벽이 상기 제2절연막상 및 상기 트렌치의 바닥부분의 상기 반도체기판의 표면에 형성되며,

상기 제1절연막이 상기 제2절연막 보다 두껍게 형성되는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 17

제10항에 있어서, 상기 도전벽은 상기 트렌치에 의해 노출된 상기 반도체기판 부분에 직접 형성되는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 18

제10항에 있어서, 도전막을 형성하는 공정과, 상기 트렌치내에 제1도전층을 형성하는 공정과, 상기 제1도전층을 에치백하는 공정, 상기 제1절연층의 일부를 에칭하여 상기 반도체기판을 노출시키는 공정 및, 상기 제1도전층을 상기 반도체기판의 노출된 부분에 전기적으로 연결하는 제2도전층을 형성하는 공정을 구비하고 있는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 19

반도체기판에 트렌치를 형성하는 공정과, 상기 트렌치에 도전벽을 형성하는 공정, 상기 도전벽에 산화저항재료를 형성하는 공정, 상기 산화저항재료상에 도전막을 형성하는 공정, 상기 도전막을 상기 트렌치의 높이로 에치백하는 공정, 상기 도전막의 에치백에 의해 노출된 상기 산화저항재료를 에칭하여 상기 트렌치의 상부에서 상기 도전벽의 일부를 노출시키는 공정, 상기 도전벽의 노출된 부분을 산화하여 상기 트렌치의 상부에 제1절연막을 형성하는 공정 및, 상기 도전막에 전기적으로 연결되는 확산영역을 갖춘 트랜스퍼 게이트를 형성하는 공정을 구비하여 이루어지고, 상기 도전벽의 산화되지 않은 부분이 상기 트렌치 캐패시터의 제1전극을 구성하고, 상기 도전막이 상기 트렌치 캐패시터의 제2전극을 구성하는 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 20

제19항에 있어서, 상기 도전막중 산화되지 않고 남아 있는 부분을 캐패시터 절연막으로 피복하는 공정과, 상기 트렌치를 상기 캐패시터 절연막을 피복하는 도전재료로 충전하는 공정을 더 구비하여 이루어진 것을 특징으로 하는 트렌치 캐패시터를 갖춘 다이내믹 랜덤 액세스 메모리(DRAM)셀의 제조 방법.

청구항 21

반도체기판에 트렌치를 형성하는 공정과, 상기 트렌치내에 절연막을 형성하는 공정, 상기 트렌치를 마스크층으로 충전하는 공정, 상기 트렌치의 상부에 있는 상기 마스크층 및 상기 절연막 부분을 제거하는 공정, 상기 마스크층을 제거하는 공정 및, 남아 있는 상기 절연막을 마스크로 하여 상기 트렌치의 상부에 있는 상기 반도체기판의 일부를 산화하여 산화층을 선택적으로 형성하는 공정을 구비하여 이루어진 것을 특징으로 하는 다이내믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 22

제21항에 있어서, 남아 있는 상기 절연막을 제거함으로써 상기 트렌치내에 있는 상기 반도체기판의 일부

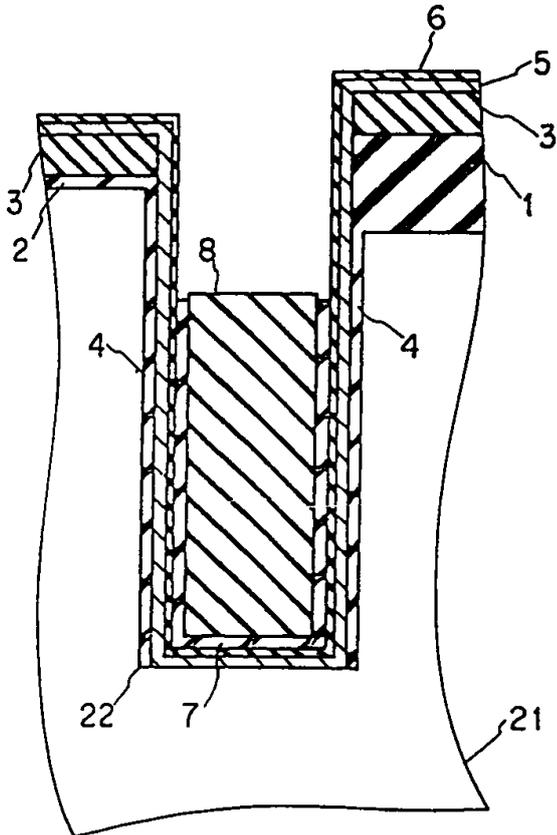
를 노출시키는 공정과, 상기 트렌치의 상기 반도체기판의 노출된 표면에 확산층을 형성하는 공정을 더 구비하여 이루어진 것을 특징으로 하는 다이내믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

청구항 23

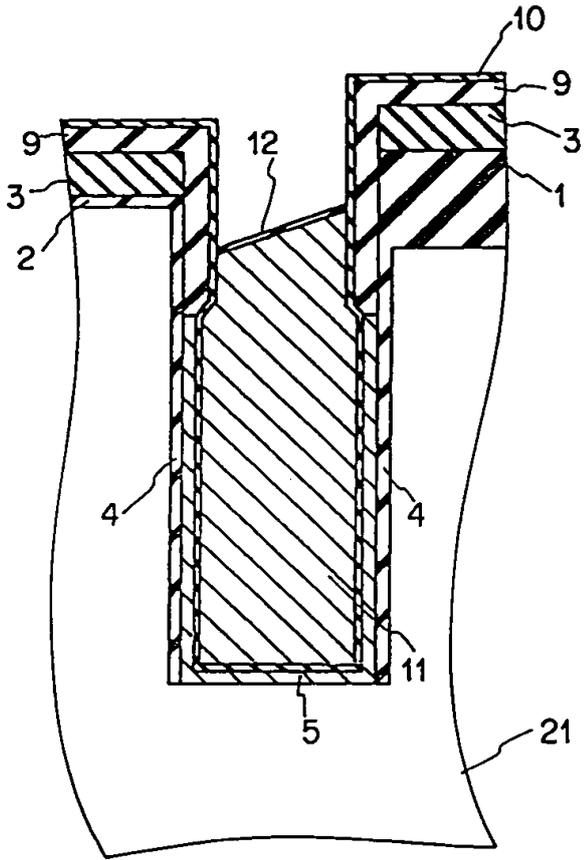
제22항에 있어서, 상기 확산층을 캐패시터 절연막으로 피복하는 공정과, 상기 트렌치를 상기 캐패시터 절연막을 피복하는 도전재료로 충전하는 공정을 더 구비하여 이루어진 것을 특징으로 하는 다이내믹 랜덤 액세스 메모리(DRAM)셀용의 트렌치 캐패시터의 제조 방법.

도면

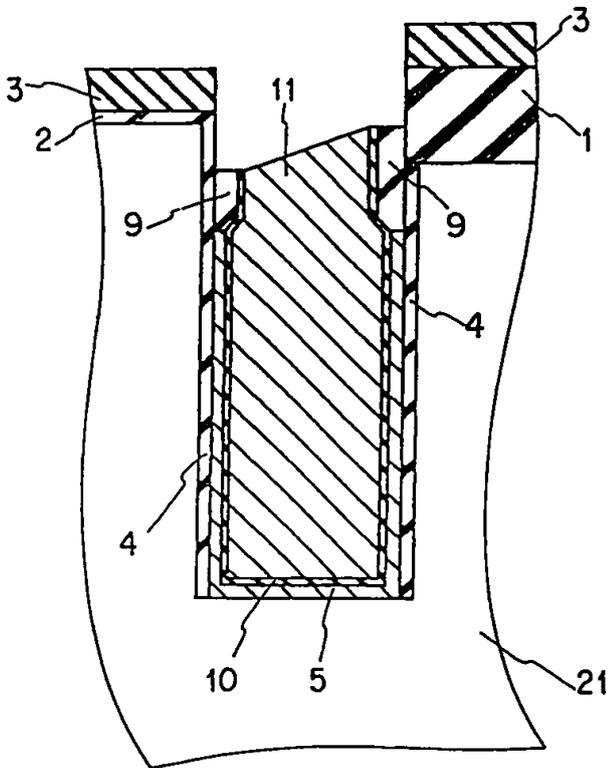
도면1



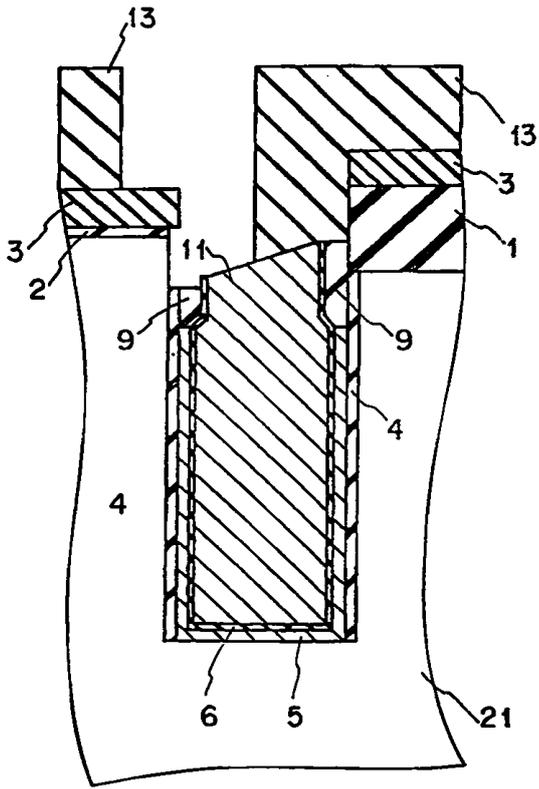
도면2



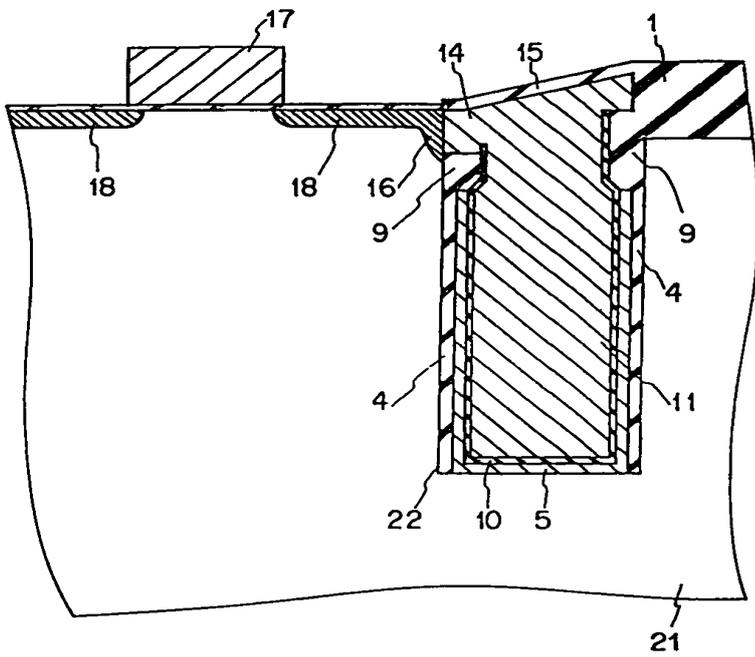
도면3



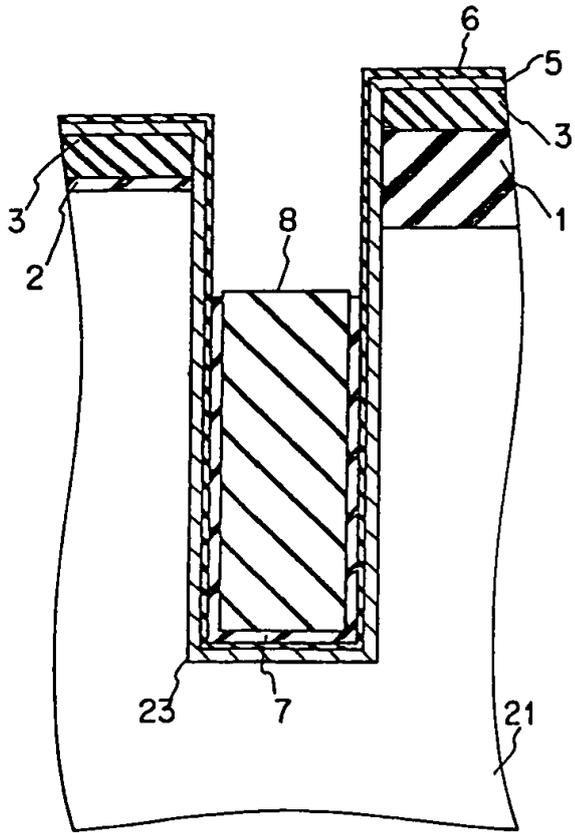
도면4



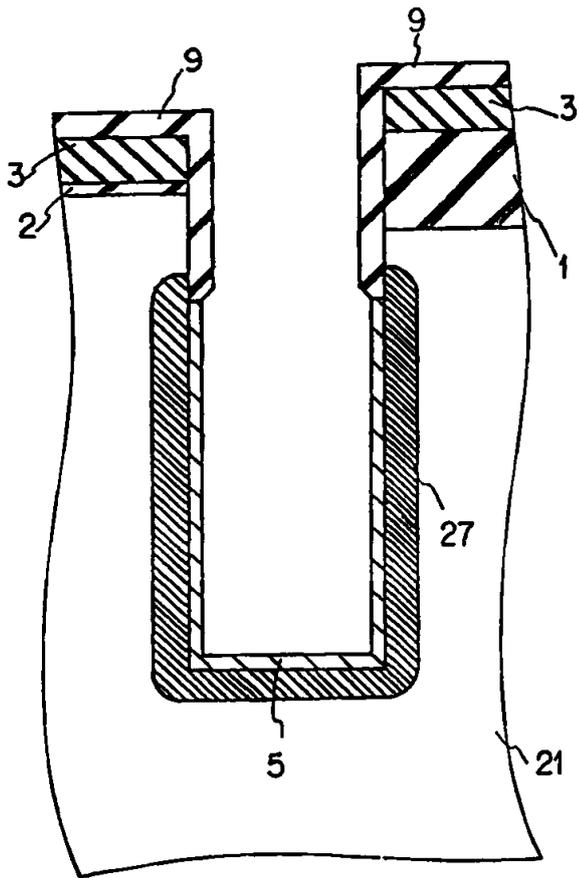
도면5



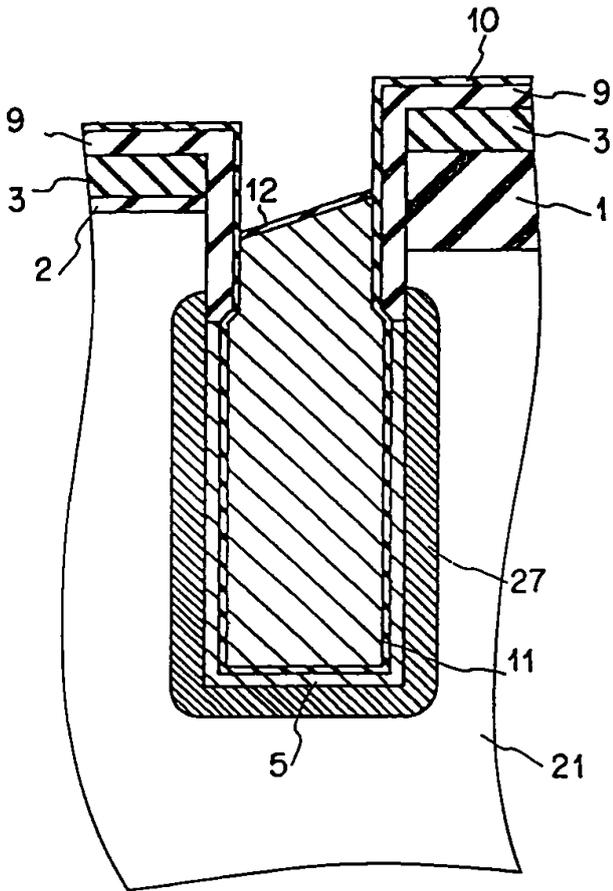
도면6



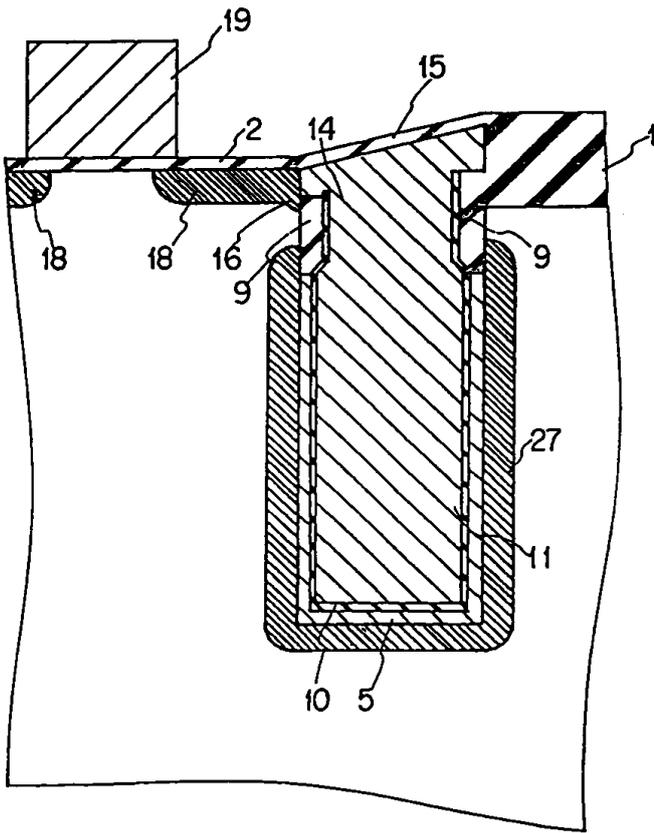
도면7



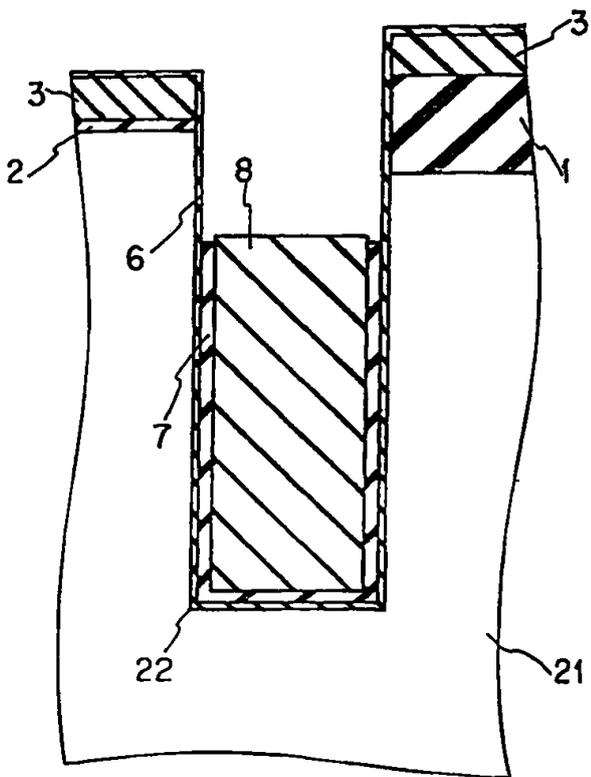
도면8



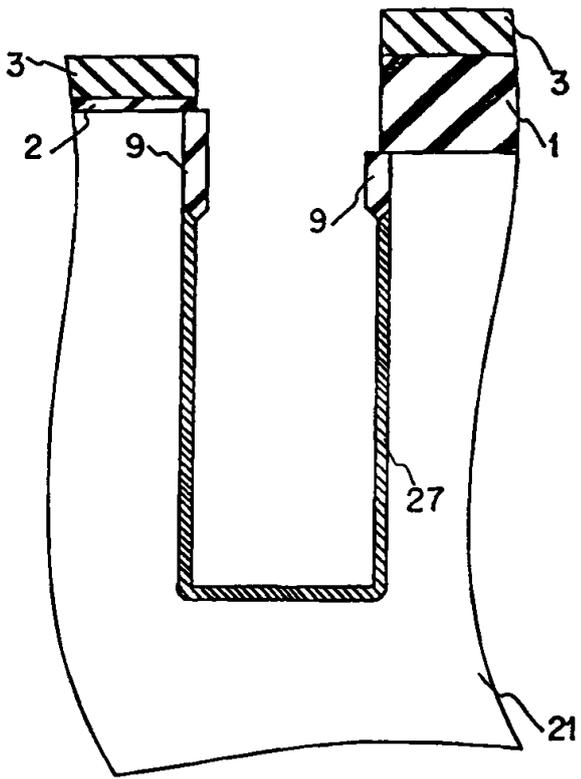
도면9



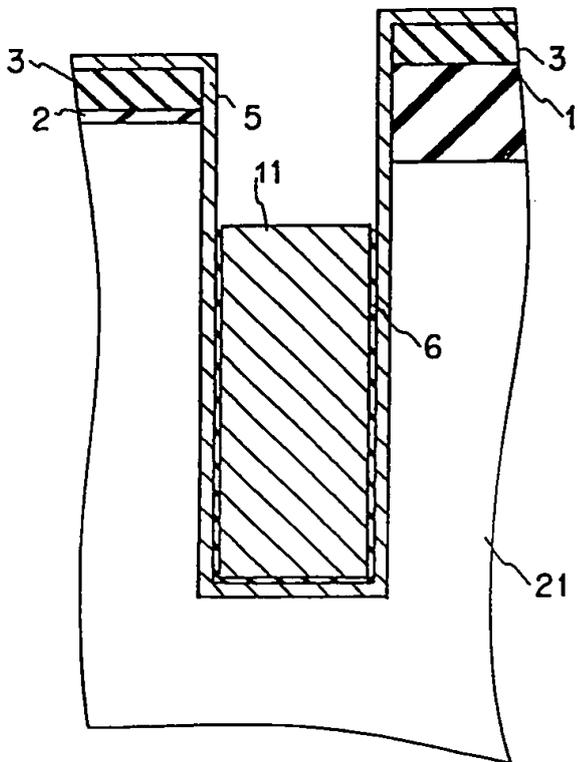
도면10



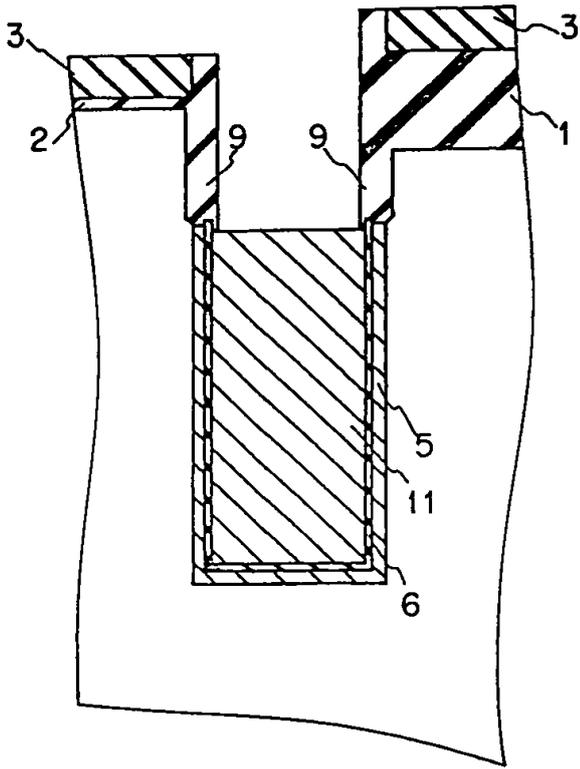
도면11



도면12



도면13



도면14

