



등록특허 10-2055337



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월12일
(11) 등록번호 10-2055337
(24) 등록일자 2019년12월06일

- (51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) *H01L 23/00* (2006.01)
H01L 23/28 (2006.01) *H01L 23/552* (2006.01)
H01L 23/66 (2006.01) *H01L 25/10* (2006.01)
H04W 4/00 (2018.01)
- (52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/28 (2013.01)
- (21) 출원번호 10-2018-7009207
- (22) 출원일자(국제) 2016년09월27일
심사청구일자 2019년02월19일
- (85) 번역문제출일자 2018년03월30일
- (65) 공개번호 10-2018-0064401
- (43) 공개일자 2018년06월14일
- (86) 국제출원번호 PCT/US2016/054021
- (87) 국제공개번호 WO 2017/058825
국제공개일자 2017년04월06일
- (30) 우선권주장
62/236,766 2015년10월02일 미국(US)
15/097,719 2016년04월13일 미국(US)
- (56) 선행기술조사문현
US20150237713 A1
WO2015099684 A1
US20030038355 A1
US20100327419 A1

- (73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
쿠마르, 라즈네쉬
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
김, 친-관
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
샤, 밀린드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤남

전체 청구항 수 : 총 33 항

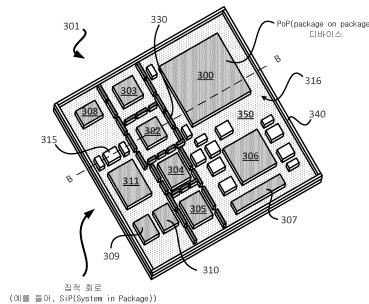
심사관 : 안경민

(54) 발명의 명칭 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스

(57) 요약

PCB(printed circuit board) 및 PoP(package on package)에 커플링되는 PoP(package on package) 디바이스를 포함하는 통합된 디바이스가 제공된다. PoP(package on package) 디바이스는 제1 전자 패키지 컴포넌트(예를 들어, 제1 다이)를 포함하는 제1 패키지 및 제1 패키지에 커플링되는 제2 패키지를 포함한다. 통합된 디바이스

(뒷면에 계속)

대 표 도 - 도3

는 제1 패키지와 제2 패키지 사이에 형성되는 제1 캡슐화 층을 포함한다. 통합된 디바이스는 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 포함한다. 통합된 디바이스는 셀룰러 기능성, WiFi(wireless fidelity) 기능성 및 Bluetooth 기능성을 제공하도록 구성된다. 일부 구현들에서, 제1 캡슐화 층은 제2 캡슐화 층과 별개이다. 일부 구현들에서, 제2 캡슐화 층은 제1 캡슐화 층을 포함한다. PoP(package on package) 디바이스는 제1 패키지와 제2 패키지 사이에 로케이팅되는 캡 컨트롤러를 포함한다.

(52) CPC특허분류

H01L 23/552 (2013.01)

H01L 23/66 (2013.01)

H01L 24/19 (2013.01)

H01L 25/105 (2013.01)

H01L 25/50 (2013.01)

H04W 4/00 (2013.01)

명세서

청구범위

청구항 1

통합된 디바이스로서,

PCB(printed circuit board);

상기 PCB(printed circuit board)에 커플링되는 PoP(package on package) 디바이스 – 상기 PoP(package on package) 디바이스는:

제1 전자 패키지 컴포넌트를 포함하는 제1 패키지;

상기 제1 전자 패키지 컴포넌트와 제2 패키지 사이에 간격이 존재하도록 상기 제1 패키지에 커플링되는 상기 제2 패키지; 및

상기 제1 전자 패키지 컴포넌트와 상기 제2 패키지 사이에 상기 간격을 제공하도록 구성된 캡 컨트롤러를 포함하고,

상기 간격은 10 내지 100 μm (microns)이고, 그리고 상기 캡 컨트롤러는 스페이서 및 접착 층을 포함함 –;

제1 캡슐화(encapsulation) 층 – 상기 제1 캡슐화 층은, 상기 제1 캡슐화 층이 상기 제1 패키지 및 상기 제2 패키지에 커플링되도록 상기 제1 패키지와 상기 제2 패키지 사이에 형성되고, 상기 제1 캡슐화 층은 상기 캡 컨트롤러 위에 로케이팅되고 그리고 상기 스페이서 및 상기 접착 층을 포함하는 상기 캡 컨트롤러를 적어도 부분적으로 캡슐화하도록 구성됨 –; 및

상기 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 포함하고,

상기 통합된 디바이스는 셀룰러 기능성을 제공하도록 구성되는,

통합된 디바이스.

청구항 2

제1항에 있어서,

상기 제2 캡슐화 층은 상기 제1 캡슐화 층을 포함하는,

통합된 디바이스.

청구항 3

제1항에 있어서,

상기 제1 캡슐화 층은 상기 제2 캡슐화 층과는 별개인,

통합된 디바이스.

청구항 4

제1항에 있어서,

상기 PCB(printed circuit board)에 커플링되는 적어도 하나의 전자 패키지 컴포넌트를 더 포함하고,

상기 적어도 하나의 전자 패키지 컴포넌트는 상기 PoP(package on package) 디바이스 외부에 있는,

통합된 디바이스.

청구항 5

제4항에 있어서,

상기 PoP(package on package) 디바이스 및 상기 적어도 하나의 전자 패키지 컴포넌트는 셀룰러 기능성, WiFi(wireless fidelity) 기능성 및 Bluetooth 기능성을 제공하도록 구성되는,
통합된 디바이스.

청구항 6

제4항에 있어서,

상기 통합된 디바이스는 GPS(global positioning system) 기능성, WiFi(wireless fidelity) 기능성, Bluetooth 기능성, 및 적어도 하나의 RFFE(radio frequency front end) 기능성을 제공하도록 구성되는,
통합된 디바이스.

청구항 7

제6항에 있어서,

적어도 하나의 RFFE(radio frequency front end) 기능성은, GSM(Global System for Mobile Communications), WCDMA(Wideband Code Division Multiple Access), FDD-LTE(Frequency Division Duplex Long-Term Evolution), 또는 TDD-LTE(Time Division Duplex Long-Term Evolution) 중 적어도 하나를 포함하는,
통합된 디바이스.

청구항 8

제4항에 있어서,

상기 적어도 하나의 전자 패키지 컴포넌트를 적어도 부분적으로 둘러싸도록 구성된 내부 실드(shield)를 더 포함하고,

상기 내부 실드는 상기 PoP(package on package) 디바이스로부터 상기 적어도 하나의 전자 패키지 컴포넌트를 격리시키도록 구성되는,
통합된 디바이스.

청구항 9

제8항에 있어서,

상기 제2 캡슐화 층 위에 형성되는 외부 실드를 더 포함하고,

상기 외부 실드는 상기 내부 실드에 커플링되는,
통합된 디바이스.

청구항 10

제1항에 있어서,

상기 캡 컨트롤러는 상기 제1 패키지와 상기 제2 패키지 사이에 로케이팅되고 그리고 상기 제1 패키지와 상기 제2 패키지 사이에 최소 캡을 제공하도록 구성되고, 상기 최소 캡은 10 μm (microns)인,
통합된 디바이스.

청구항 11

제10항에 있어서,

상기 제2 패키지는 제2 패키지 기판을 포함하고, 그리고 상기 캡 컨트롤러는 상기 제1 전자 패키지 컴포넌트와 상기 제2 패키지 기판 사이에 로케이팅되는,
통합된 디바이스.

청구항 12

제11항에 있어서,

상기 제1 캡슐화 층은 상기 제1 전자 패키지 컴포넌트와 상기 제2 패키지 기판 사이에 형성되는,
통합된 디바이스.

청구항 13

제10항에 있어서,

상기 제2 패키지는 제2 재분배 부분(redistribution portion)을 포함하고, 그리고 상기 캡 컨트롤러는 상기 제1 전자 패키지 컴포넌트와 상기 제2 재분배 부분 사이에 로케이팅되는,
통합된 디바이스.

청구항 14

제13항에 있어서,

상기 제1 캡슐화 층은 상기 제1 전자 패키지 컴포넌트와 상기 제2 재분배 부분 사이에 형성되는,
통합된 디바이스.

청구항 15

제10항에 있어서,

상기 캡 컨트롤러는 상기 제1 패키지에 커플링되지만 상기 제2 패키지와의 커플링이 없는,
통합된 디바이스.

청구항 16

제1항에 있어서,

상기 제1 캡슐화 층은 상기 제1 전자 패키지 컴포넌트와 상기 제2 패키지 사이의 공간을 충전하는,
통합된 디바이스.

청구항 17

제1항에 있어서,

상기 통합된 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디
바이스, 모바일 디바이스, 모바일 전화, 스마트 폰, 개인용 디지털 보조기기(personal digital assistant), 고
정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블(wearable) 디바이스, IoT(Internet of Things) 디바이스, 랩
톱 컴퓨터, 서버, 및 자동차 내의 디바이스로 구성된 그룹으로부터 선택되는 디바이스에 통합되는,
통합된 디바이스.

청구항 18

제1항에 있어서,

상기 제1 캡슐화 층은, 상기 제1 캡슐화 층이 상기 제1 전자 패키지 컴포넌트 및 상기 제2 패키지에 커플링되도
록 상기 제1 전자 패키지 컴포넌트와 상기 제2 패키지에 사이에 형성되는,
통합된 디바이스.

청구항 19

제1항에 있어서,

상기 제1 캡슐화 층은, 상기 제1 캡슐화 층이 상기 제1 전자 패키지 컴포넌트의 측 부분(side portion) 및 상단
부분(top portion)을 캡슐화하도록 상기 제1 패키지와 상기 제2 패키지 사이에 형성되는,

통합된 디바이스.

청구항 20

제1항에 있어서,

상기 제1 패키지는 복수의 패키지 인터커넥트(interconnect)들을 통해 상기 제2 패키지에 전기적으로 커플링되도록 구성되고, 상기 복수의 패키지 인터커넥트들은 상기 제1 캡슐화 층에 의해 캡슐화되는,

통합된 디바이스.

청구항 21

제1항에 있어서,

상기 통합된 디바이스는 26 mm(W) x 26 mm(L) x 1.8 mm(H)와, 52 mm(W) x 52 mm(L) x 2 mm(H) 사이의 치수들을 갖는,

통합된 디바이스.

청구항 22

제1항에 있어서,

상기 스페이서의 상단은 상기 접착 층의 상단에 직접적으로 커플링되고, 그리고 상기 접착 층의 상단은 상기 제1 캡슐화 층에 직접적으로 커플링되는,

통합된 디바이스.

청구항 23

제1항에 있어서,

상기 캡 컨트롤러는 상기 제1 전자 패키지 컴포넌트와 직접 접촉하지만 상기 제2 패키지와는 직접 접촉하지 않는,

통합된 디바이스.

청구항 24

장치로서,

PCB(printed circuit board);

상기 PCB(printed circuit board)에 커플링되는 PoP(package on package) 디바이스 – 상기 PoP(package on package) 디바이스는:

제1 전자 패키지 컴포넌트를 포함하는 제1 패키지;

상기 제1 패키지에 커플링되는 제2 패키지; 및

상기 제1 패키지와 상기 제2 패키지 사이에 간격을 제공하도록 구성된 캡 컨트롤러를 포함하고,

상기 캡 컨트롤러는 스페이서 및 접착 층을 포함함 –;

제1 캡슐화 층 – 상기 제1 캡슐화 층은, 상기 제1 캡슐화 층이 상기 제1 패키지 및 상기 제2 패키지에 커플링 되도록 상기 제1 패키지와 상기 제2 패키지 사이에 형성되고, 상기 제1 캡슐화 층은 상기 캡 컨트롤러 위에 로케이팅되고 그리고 상기 스페이서 및 상기 접착 층을 포함하는 상기 캡 컨트롤러를 적어도 부분적으로 캡슐화하도록 구성됨 –; 및

상기 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 포함하고,

상기 장치는, 셀룰러 기능성 수단을 제공하도록 구성되고,

상기 장치는 52 mm(W) x 52 mm(L) x 2 mm(H), 또는 그 미만의 치수들을 갖는,

장치.

청구항 25

제24항에 있어서,

상기 제2 캡슐화 층은 상기 제1 캡슐화 층을 포함하는,

장치.

청구항 26

제24항에 있어서,

상기 제1 캡슐화 층은 상기 제2 캡슐화 층과는 별개인,

장치.

청구항 27

제24항에 있어서,

상기 PCB(printed circuit board)에 커플링되는 적어도 하나의 전자 패키지 컴포넌트를 더 포함하고,

상기 적어도 하나의 전자 패키지 컴포넌트는 상기 PoP(package on package) 디바이스 외부에 있는,

장치.

청구항 28

제27항에 있어서,

상기 PoP(package on package) 디바이스 및 상기 적어도 하나의 전자 패키지 컴포넌트는 셀룰러 기능성 수단, WiFi(wireless fidelity) 기능성 수단 및 Bluetooth 기능성 수단을 제공하도록 구성되는,

장치.

청구항 29

제24항에 있어서,

상기 캡 컨트롤러는 상기 제1 패키지와 상기 제2 패키지 사이에 로케이팅되고, 그리고 상기 캡 컨트롤러는 상기 제1 패키지와 상기 제2 패키지 사이에 최소 캡을 제공하도록 구성되는,

장치.

청구항 30

통합된 디바이스를 제조하기 위한 방법으로서,

PCB(printed circuit board)를 제공하는 단계;

상기 PCB(printed circuit board)에 PoP(package on package) 디바이스를 커플링하는 단계 – 상기 PoP(package on package) 디바이스를 커플링하는 단계;

제1 전자 패키지 컴포넌트를 포함하는 제1 패키지를 제공하는 단계;

상기 제1 전자 패키지 컴포넌트와 제2 패키지 사이에 간격이 존재하도록 상기 제2 패키지를 상기 제1 패키지에 커플링하는 단계; 및

상기 제1 전자 패키지 컴포넌트와 상기 제2 패키지 사이에 상기 간격을 제공하도록 구성된 캡 컨트롤러를 형성하는 단계를 포함하고,

상기 간격은 10 내지 100 μm (microns)의 범위에 있고, 그리고 상기 캡 컨트롤러는 스페이서 및 접착 층을 포함함 –;

제1 캡슐화 층이 상기 제1 패키지 및 상기 제2 패키지에 커플링되도록 상기 제1 패키지와 상기 제2 패키지 사이에 상기 제1 캡슐화 층을 형성하는 단계 – 상기 제1 캡슐화 층은 상기 캡 컨트롤러 위에 로케이팅되고 그리고 상기 스페이서 및 상기 접착 층을 포함하는 상기 캡 컨트롤러를 적어도 부분적으로 캡슐화하도록 구성됨 –; 및 상기 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 형성하는 단계를 포함하고,

상기 통합된 디바이스는 셀룰러 기능성을 제공하도록 구성되고,

상기 통합된 디바이스는 52 mm(W) x 52 mm(L) x 2 mm(H), 또는 그 미만의 치수들을 갖는,

통합된 디바이스를 제조하기 위한 방법.

청구항 31

제30항에 있어서,

상기 제2 캡슐화 층은 상기 제1 캡슐화 층을 포함하는,

통합된 디바이스를 제조하기 위한 방법.

청구항 32

제30항에 있어서,

상기 제1 캡슐화 층은 상기 제2 캡슐화 층과는 별개인,

통합된 디바이스를 제조하기 위한 방법.

청구항 33

제30항에 있어서,

상기 PCB(printed circuit board)에 커플링되는 적어도 하나의 전자 패키지 컴포넌트를 더 포함하고,

상기 적어도 하나의 전자 패키지 컴포넌트는 상기 PoP(package on package) 디바이스 외부에 있는,

통합된 디바이스를 제조하기 위한 방법.

청구항 34

삭제

청구항 35

삭제

발명의 설명

기술 분야

[0001] 본 출원은, 2015년 10월 2일자로 미국 특허상표청에 출원된 미국 가출원 제62/236,766호 및 2016년 4월 13일자로 미국 특허상표청에 출원된 미국 정식 출원 제15/097,719호의 이득 및 이들에 대한 우선권을 주장하며, 그리하여, 이 출원들은 명시적으로 인용에 의해 본원에 포함된다.

[0002] 다양한 특징들은 통합된 디바이스에 관한 것으로, 더욱 상세하게는, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스에 관한 것이다.

배경 기술

[0003] 스마트 폰, 태블릿, IoT(Internet of Things) 등과 같은 모바일 디바이스들은 다수의 컴포넌트들, 칩셋들 등을 요구한다. 통상적으로, 이들 컴포넌트들은 하나 또는 그 초과의 집적 회로들을 갖는 인쇄 회로 보드

상에 제공된다. 이들 컴포넌트들을 제품에 함께 패키징하는 것은 점점 어려워지고 있다. 도 1은 PCB(printed circuit board)(102), 제1 집적 회로(IC) 패키지(104), 제2 집적 회로(IC) 패키지(106), 수동 컴포넌트(108) (예를 들어, 커패시터) 및 커버(130)를 포함하는 통합된 디바이스(100)를 예시한다. 제1 집적 회로(IC) 패키지(104), 제2 집적 회로(IC) 패키지(106) 및 수동 컴포넌트(108)는 PCB(printed circuit board)(102)에 커플링된다.

[0004] 커버(130)는 PCB(printed circuit board)(102)에 커플링된다. 커버(130)는, 제1 집적 회로(IC) 패키지(104), 제2 집적 회로(IC) 패키지(106) 및 수동 컴포넌트(108)를 커버하고 외부 환경으로부터 보호하는 금속 재료일 수 있다. 커버(130)의 사용은 통합된 디바이스(100)에 공극을 초래한다. 따라서, 통합된 디바이스(100)에서 낭비되는 공간이 존재한다. 통합된 디바이스(100)의 이러한 낭비되는 공간은 통합된 디바이스(100)가 얼마나 작아질 수 있는지를 제한하며, 이는 결국, 통합된 디바이스가 구현될 수 있는 디바이스들의 유형을 제한한다.

[0005] 통합된 디바이스의 크기를 감소시키는 것은 여러 기술적 장애물 및 난제들을 제기한다. 첫째, 집적 회로들(IC)이 서로 근접하게 패킹됨에 따라, 이들은 서로 실질적으로 간섭하기 시작하며, 이는 하나 또는 그 초과의 비-기능 IC들을 초래할 수 있다. 둘째, 통합된 디바이스에 IC를 더 근접하게 패킹하는 것은 구조적 결함들을 야기할 수 있으며, 이는 결함이 있거나 비-기능 통합된 디바이스를 초래할 수 있다.

[0006] 도 2는 IC들이 서로 근접하게 패킹될 때 이러한 결함의 예를 예시한다. 도시된 바와 같이, 도 2는 제1 패키지(202), 제2 패키지(204) 및 공극(290)을 포함하는 PoP(package on package) 디바이스(200)를 예시한다. 제1 패키지(202)는 제1 다이(220), 제1 패키지 기판(222) 및 제1 캡슐화 층(250)을 포함한다. 제1 패키지 기판(222)은 제1 복수의 패드들(224) 및 제1 패드(226)를 포함한다. 제1 다이(220)는 제1 복수의 솔더 볼들(228)을 통해 제1 패키지 기판(222)에 커플링된다. 특히, 제1 다이(220)는 제1 복수의 솔더 볼들(228)을 통해 제1 복수의 패드들(224)에 커플링된다. 제2 복수의 솔더 볼들(236)은 제1 패키지 기판(222)에 커플링된다.

[0007] 제2 패키지(204)는 제2 다이(240), 제2 패키지 기판(242), 제2 패드(246), 제3 복수의 솔더 볼들(256) 및 제2 캡슐화 층(260)을 포함한다. 제2 다이(240)는 제2 패키지 기판(242)에 커플링된다. 제2 패키지(204)는 제3 복수의 솔더 볼들(256)을 통해 제1 패키지(202)에 커플링된다. 예를 들어, 제3 복수의 솔더 볼들(256)은 제1 패키지 기판(222)의 제1 패드(226) 및 제2 패키지(204)의 제2 패드(246)에 커플링된다.

[0008] 도 2는 제1 다이(220)와 제2 패키지(204)의 제2 패키지 기판(242) 사이의 공극(290)을 예시한다. 공극(290)은 제1 캡슐화 층(250) 내의 공간이다. 제1 다이(220)와 제2 패키지 기판(242) 사이에서 제1 캡슐화 층(250)이 완전히 유동하도록 허용하기에는 제1 다이(220)와 제2 패키지 기판(242) 사이의 캡 또는 공간이 너무 작거나 좁을 때, 공극(290)이 발생할 수 있다.

[0009] 공극(290)의 존재는, 그 공간 주위의 구조적 지지의 결여로 인해 PoP(package on package) 디바이스(200)에서 (화살표에 의해 예시된 바와 같은) 휨 및/또는 변형을 야기할 수 있다. 휨 및/또는 변형의 하나의 바람직하지 않은 부작용은 제3 복수의 솔더 볼들(256)과 제1 패드(226) 및 제2 패드(246) 사이에서 발생할 수 있는 약한 조인트들 및/또는 개방 조인트들이다. 예를 들어, 도 2에 도시된 바와 같이, PoP(package on package) 디바이스(200) 상의 패키지의 휨 및/또는 변형은 제1 패드(226)와 제2 패드(246) 사이의 증가된 분리를 야기하며, 이는 (화살표에 의해 예시된 바와 같은) 제3 복수의 솔더 볼들(256)을 유효하게 신장시키고, PoP(package on package) 디바이스(200)에서 약한 조인트들 및/또는 개방 조인트들을 초래한다. 약한 조인트 및/또는 개방 조인트는 신호들이 PoP(package on package) 디바이스를 통해 적절히 획단하는 것을 방지할 수 있으며, 이는 결함이 있는 PoP(package on package) 디바이스를 초래할 수 있다. 따라서, 이러한 부정적인 영향을 회피하기 위해, 제1 다이(220)와 제2 패키지 기판(242) 사이의 캡 또는 공간이 증가해야 하며, 이는 바람직하지 않은 PoP(package on package) 디바이스(200)의 크기를 유효하게 증가시킨다.

[0010] 디바이스들 및 패키지들이 보다 작은 디바이스들에 배치되도록 이를 디바이스들 및 패키지들의 크기, 높이 및/또는 공간을 감소시키는 것이 바람직하다. 이상적으로는, 이러한 디바이스 또는 패키지는 모바일 디바이스들, IoT(Internet of Things) 디바이스 및/또는 웨어러블 디바이스들의 요구들 및/또는 요건들을 충족시키는 동시에, 제조하기에 더 저렴하고 더 양호한 품 퀄리티를 가질 것이다.

발명의 내용

[0011] 다양한 특징들은 일반적으로 통합된 디바이스에 관한 것으로, 더욱 상세하게는, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스에 관한 것일 수 있다. 일부 실시예들에서, 디바이스에 대한

다양한 컴포넌트들이 단일 패키지로 결합되어 SiP(system in package)를 발생시킨다. SiP는, 기능하는 모바일 통신 디바이스, 예컨대, 모바일 전화, IoT 디바이스 등을 제공하기 위해 복수의 컴포넌트들, 예컨대, 애플리케이션 프로세서, 모뎀, WiFi, 글로벌 포지셔닝 시스템, Bluetooth, 라디오 주파수 컴포넌트들을 포함할 수 있다. 일부 실시예들에서, SiP는 밀폐식으로 밀봉된 패키지로서 제공될 수 있다. SiP 내에서, 컴포넌트들은, 예를 들어, 물딩 재료로 커버되거나 캡슐화될 수 있고, 물딩에서 도전성 재료의 하나 또는 그 초과의 층들을 사용하여 서로 격리될 수 있다. 도전 층들은 신호 격리, 노이즈 감소를 제공하고, SiP의 밀봉성, 신뢰성 및 내구성을 개선할 수 있다.

[0012] 예를 들어, 통합된 디바이스는 PCB(printed circuit board) 및 PCB(printed circuit board)에 커플링되는 PoP(package on package) 디바이스를 포함할 수 있다. PoP(package on package) 디바이스는 제1 다이를 포함하는 제1 패키지, 제1 패키지에 커플링되는 제2 패키지, 및 제1 다이와 제2 패키지 사이에 형성된 제1 캡슐화 층을 포함한다. 통합된 디바이스는 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 포함한다. 통합된 디바이스는 셀룰러 기능성, WiFi(wireless fidelity) 기능성 및 Bluetooth 기능성을 제공하도록 구성된다.

[0013] 다른 예는, PCB(printed circuit board) 및 PCB(printed circuit board)에 커플링되는 PoP(package on package) 디바이스를 포함하는 장치를 제공된다. PoP(package on package) 디바이스는 제1 전자 패키지 컴포넌트를 포함하는 제1 패키지; 및 제1 패키지에 커플링되는 제2 패키지를 포함한다. 장치는, 제1 패키지와 제2 패키지 사이에 형성되는 제1 캡슐화 층, 및 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 포함한다. 장치는, 셀룰러 기능성 수단, WiFi(wireless fidelity) 기능성 수단 및 Bluetooth 기능성 수단을 제공하도록 구성된다.

[0014] 다른 예는 통합된 디바이스를 제조하기 위한 방법을 제공한다. 방법은 PCB(printed circuit board)를 제공한다. 방법은 PCB(printed circuit board)에 PoP(package on package) 디바이스를 커플링한다. PoP(package on package) 디바이스를 커플링하는 것은 제1 전자 패키지 컴포넌트를 포함하는 제1 패키지를 제공하는 것 그리고 제2 패키지를 제1 패키지에 커플링하는 것을 포함한다. 방법은 제1 패키지와 제2 패키지 사이에 제1 캡슐화 층을 형성한다. 방법은 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 형성한다. 통합된 디바이스는 셀룰러 기능성, WiFi(wireless fidelity) 기능성 및 Bluetooth 기능성을 제공하도록 구성된다.

도면의 간단한 설명

[0015] 다양한 특징들, 성질, 및 이점들은, 도면들과 함께 취해진 경우, 아래에 기술된 상세한 설명으로부터 명백해질 수 있으며, 도면에서, 유사한 참조 부호들은 전반에 걸쳐 상응하게 식별한다.

[0016] 도 1은 여러 패키지들을 포함하는 통합된 디바이스의 도면을 예시한다.

[0017] 도 2는 PoP(package on package) 디바이스의 단면도를 예시한다.

[0018] 도 3은 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스의 도면을 예시한다.

[0019] 도 4는 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스의 측면도를 예시한다.

[0020] 도 5는 임베디드 PoP(package on package) 디바이스를 포함하는 다른 통합된 디바이스의 측면도를 예시한다.

[0021] 도 6은 임베디드 PoP(package on package) 디바이스를 포함하는 다른 통합된 디바이스의 측면도를 예시한다.

[0022] 도 7은 임베디드 PoP(package on package) 디바이스를 포함하는 다른 통합된 디바이스의 측면도를 예시한다.

[0023] 도 8은 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제조하기 위한 시퀀스의 예를 예시한다.

[0024] 도 9는 임베디드 PoP(package on package) 디바이스를 포함하는 다른 통합된 디바이스를 제조하기 위한 시퀀스의 예를 예시한다.

[0025] 도 10은 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제조하기 위한 예

시적인 방법의 흐름도를 예시한다.

[0026] 도 11은 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스의 패키지들, 회로들 및 애플리케이션들을 예시한다.

[0027] 도 12는 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스의 단면도를 예시한다.

[0028] 도 13은 캡 컨트롤러의 예를 예시한다.

[0029] 도 14는 캡 컨트롤러의 다른 예를 예시한다.

[0030] 도 15는 캡 컨트롤러의 다른 예를 예시한다.

[0031] 도 16은 캡 컨트롤러를 포함하는 다른 PoP(package on package) 디바이스의 단면도를 예시한다.

[0032] 도 17은 캡 컨트롤러를 포함하는 다른 PoP(package on package) 디바이스의 단면도를 예시한다.

[0033] 도 18은 캡 컨트롤러를 포함하는 다른 PoP(package on package) 디바이스의 단면도를 예시한다.

[0034] 도 19는 캡 컨트롤러를 포함하는 다른 PoP(package on package) 디바이스의 단면도를 예시한다.

[0035] 도 20은 캡 컨트롤러를 포함하는 다른 PoP(package on package) 디바이스의 단면도를 예시한다.

[0036] 도 21(도 21a 내지 도 21c를 포함함)은 캡 컨트롤러를 포함하는 패키지를 제조하기 위한 시퀀스의 예를 예시한다.

[0037] 도 22는 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제조하기 위한 시퀀스의 예를 예시한다.

[0038] 도 23(도 23a 및 도 23b를 포함함)은 캡 컨트롤러를 포함하는 패키지를 제조하기 위한 시퀀스의 예를 예시한다.

[0039] 도 24는 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제조하기 위한 시퀀스의 예를 예시한다.

[0040] 도 25는 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제조하기 위한 예시적인 방법의 흐름도를 예시한다.

[0041] 도 26은 본원에서 설명된 다양한 통합된 디바이스들, 통합된 디바이스 패키지들, 반도체 디바이스들, 다이들, 집적 회로들 및/또는 패키지들을 포함할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0042] 다음의 설명에서, 본 개시의 다양한 양상들의 완전한 이해를 제공하기 위해 특정 세부사항들이 주어진다. 그러나, 양상들이 이를 특정 세부사항들 없이도 실시될 수도 있다는 것이 당업자들에 의해 이해될 것이다. 예를 들어, 회로들은, 불필요하게 상세히 양상들을 모호하게 하는 것을 회피하기 위해 블록도들로 도시될 수 있다. 다른 경우들에서, 잘-알려진 회로들, 구조들 및 기술들은 본 발명의 양상들을 모호하게 하지 않기 위해 상세히 도시되지 않을 수 있다.

[0043] 일부 특징들은 PCB(printed circuit board) 및 PoP(package on package) 디바이스를 포함하는 통합된 디바이스에 관한 것이다. PoP(package on package) 디바이스는 제1 전자 패키지 컴포넌트(예를 들어, 제1 다이)를 포함하는 제1 패키지 및 제1 패키지에 커플링되는 제2 패키지를 포함한다. 통합된 디바이스는 제1 패키지와 제2 패키지 사이에 형성되는 제1 캡슐화 층을 포함한다. 통합된 디바이스는 PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 제2 캡슐화 층을 포함한다. 통합된 디바이스는 셀룰러 기능성, WiFi(wireless fidelity) 기능성 및 Bluetooth 기능성을 제공하도록 구성된다. 일부 구현들에서, 제1 캡슐화 층은 제2 캡슐화 층과 별개이다. 일부 구현들에서, 제2 캡슐화 층은 제1 캡슐화 층을 포함한다. PoP(package on package) 디바이스는 제1 패키지와 제2 패키지 사이에 로케이팅되는 적어도 하나의 캡 컨트롤러를 포함한다. 통합된 디바이스는 통합된 디바이스 및/또는 SiP(System in Package)를 포함한다.

[0044] 일부 구현들에서, 디바이스 및/또는 패키지의 높이는 패키지의 Z-방향을 따라 정의될 수 있으며, 이는 본 개시의 도면들에서 도시된다. 일부 구현들에서, 디바이스 및/또는 패키지의 Z-방향은 디바이스 및/또는 패

키지의 최상단 부분과 하단 부분 사이의 축을 따라 정의될 수 있다. 최상단 및 하단이라는 용어는 임의로 할당될 수 있지만, 예로서, 디바이스 및/또는 패키지의 최상단 부분은 캡슐화 층을 포함하는 부분일 수 있는 반면에, 패키지의 하단 부분은 재분배 부분 또는 복수의 솔더 볼들을 포함하는 부분일 수 있다. 일부 구현들에서, 패키지의 최상단 부분은 패키지의 후방 측일 수 있고, 패키지의 하단 부분은 패키지의 전방 측일 수 있다. 패키지의 전방 측은 패키지의 활성 측일 수 있다. 최상단 부분은 하위 부분에 비해 더 높은 부분일 수 있다. 하단 부분은 상위 부분에 비해 더 낮은 부분일 수 있다. 최상단 부분들 및 하단 부분들의 추가의 예들이 아래에서 추가로 설명될 것이다.

- [0019] [0045] 패키지의 X-Y 방향들은 패키지의 측방향 및/또는 풋프린트를 지칭할 수 있다. X-Y 방향들의 예들은 본 개시의 도면들에서 도시되고 그리고/또는 아래에서 추가로 설명된다. 본 개시의 도면들 대부분에서, 디바이스들 및/또는 패키지를 및 이들 각각의 컴포넌트들은 X-Z 단면 또는 X-Z 평면에 걸쳐 도시된다. 그러나, 일부 구현들에서, 패키지를 및 이들의 대표적인 컴포넌트들은 Y-Z 단면 또는 Y-Z 평면에 걸쳐 표현될 수 있다.
- [0020] [0046] 일부 구현들에서, 인터커넥트(interconnect)는 2개의 지점들, 엘리먼트들 및/또는 컴포넌트들 사이의 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현들에서, 인터커넥트는 트레이스, 비아, 패드, 필라(pillar), 재분배 금속 층 및/또는 UBM(under bump metallization) 층을 포함할 수 있다. 일부 구현들에서, 인터커넥트는 신호(예를 들어, 데이터 신호, 접지 신호, 전력 신호)에 대한 전기적 경로를 제공하도록 구성될 수 있는 전기 도전성 재료이다. 인터커넥트는 회로의 부분일 수 있다. 인터커넥트는 하나 초과의 엘리먼트 또는 컴포넌트를 포함할 수 있다.
- [0021] **임베디드 PoP(package on package) 디바이스를 포함하는 예시적인 통합된 디바이스**
- [0022] [0047] 도 3은 PoP(package on package) 디바이스(300), 패키지들(302-311), 수동 컴포넌트들(315), 캡슐화 층(316), 내부 실드(330), 외부 실드(340) 및 PCB(printed circuit board)(350)를 포함하는 통합된 디바이스(301)를 예시한다. 통합된 디바이스(301)는 SiP(System in Package)를 포함할 수 있다. 패키지들(302-311) 중 하나 또는 그 초과는 집적 회로(IC) 패키지를 포함할 수 있다. 하나 또는 그 초과의 패키지들(302-311)은 전자 패키지 컴포넌트들의 예들일 수 있다.
- [0023] [0048] PoP(package on package) 디바이스(300), 패키지들(302-311), 수동 컴포넌트(예를 들어, 커패시터)(315), 내부 실드(430) 및 외부 실드(440)는 PCB(printed circuit board)(350)에 커플링된다. 캡슐화 층(316)은 다양한 방식들로, PoP(package on package) 디바이스(300), 패키지들(302-311), 수동 컴포넌트(315) 및 내부 실드(330)를 부분적으로 또는 완전히 캡슐화하거나 커버할 수 있다. 패키지에 단일 시스템으로서 제공되지만, 이를 컴포넌트들은 기계적으로 그리고/또는 전기적으로 서로 격리될 수 있다.
- [0024] [0049] 예를 들어, 또한 도시된 바와 같이, 도 3은 내부 실드(330)가 하나 또는 그 초과의 패키지들(302-311) 및/또는 PoP(package on package) 디바이스(300)를 둘러싸도록 구성될 수 있다는 것을 예시한다. 일부 구현들에서, 내부 실드(330)는 하나 또는 그 초과의 패키지들(302-311) 및/또는 PoP(package on package) 디바이스(300)를 격리하도록 구성되어서, 이들은 서로 간섭하지 않는다. 패키지(예를 들어, 패키지(302-311))는 다이를 포함할 수 있거나 또는 다이(예를 들어, 반도체 디바이스)일 수 있다. 패키지(예를 들어, 패키지(302-311))는 WLP(wafer level package)를 포함할 수 있다.
- [0025] [0050] 캡슐화 층(316)은 디바이스(300)의 컴포넌트들에 대한 커버링(covering) 또는 보호 구조로서 역할을 한다. 캡슐화 층(316)은 다양한 점도들 및 열적 특성들을 갖는 몰딩 화합물일 수 있다. 당업자들은 다른 유형들의 재료들이 캡슐화 층(316)에 사용될 수 있음을 인지할 것이다.
- [0026] [0051] 외부 실드(340)는 캡슐화 층(316)을 적어도 부분적으로 둘러싸도록 형성된다. 외부 실드(340)는 내부 실드(330)에 커플링된다. 내부 실드(330) 및 외부 실드(340)의 결합은 통합된 디바이스(301)에 대한 차폐를 제공할 수 있다. 내부 실드(330) 및 외부 실드(340)는 동일한 재료(예를 들어, 금속, 구리)를 포함할 수 있다. 내부 실드(330) 및 외부 실드(340)는 상이한 재료들일 수 있다. 내부 실드(330)는 일부 구현들에서 금속 시트를 포함할 수 있다. 일부 구현들에서, 내부 실드(330)는 약 250 μm (microns) 또는 그 미만의 두께를 갖는다. 일부 구현들에서, 외부 실드(340)는 약 50 μm (microns) 또는 그 미만의 두께를 갖는다.
- [0027] [0052] 통합된 디바이스(301)는 포지셔닝 기능성, 무선 연결 기능성(예를 들어, 무선 통신) 및/또는 셀룰러 연결 기능성(예를 들어, 셀룰러 통신)을 포함(그러나 이에 제한되지 않음)하는 여러 모바일 기능성들 및 능력들을 제공하도록 구성되는 임의의 컴포넌트를 포함할 수 있다. 포지셔닝 기능성, 무선 및/또는 셀룰러 연결 기능성들의 예들은, GPS(Global Positioning System) 기능성, WiFi(Wireless Fidelity) 기능성, Bluetooth 기능성 및

RF(radio frequency) 기능성(예를 들어, RFFE(Radio Frequency Front End) 기능성)을 포함한다. RFFE 기능성들의 예들은 GSM(Global System for Mobile Communications), WCDMA(Wideband Code Division Multiple Access), FDD-LTE(Frequency Division Duplex Long-Term Evolution), TDD-LTE(Time Division Duplex Long-Term Evolution)를 포함한다. 이러한 기능성들은 하나 또는 그 초과의 패키지들(302-311) 및/또는 PoP(package on package) 디바이스(300)에서 구현될 수 있다. 위의 모바일 기능성들은 아래의 도 11에서 추가로 설명된다.

[0028] 추가로, 도 3은 통합된 디바이스(301)가 임베디드 PoP(package on package) 디바이스(300)를 포함할 수 있음을 예시한다. 일부 구현들에서, 통합된 디바이스(301)에 PoP(package on package) 디바이스(300)를 임베딩하는 것은, 모바일 기능성들의 포괄적이고, 최대이며 그리고/또는 완전한 범위를 포함하는 통합된 디바이스를 제공하면서, 다른 종래의 통합된 디바이스들보다 작은 전반적인 폼 팩터(예를 들어, 크기, 영역, 체적)를 갖는 통합된 디바이스를 제공한다. 이러한 모바일 기능성들을 갖는 통합된 디바이스들에 대한 예시적인 크기들은 아래의 도 11에서 추가로 설명된다.

[0029] 일부 구현들에서, 위의 모바일 기능성들(예를 들어, 셀룰러 기능성, WiFi(wireless fidelity) 기능성 및 Bluetooth 기능성) 중 적어도 일부를 포함하는 통합된 디바이스(301)는 본 출원에 설명된 구조들 및/또는 제조 프로세스들을 통해 가능해진다. 아래에서 추가로 설명될 바와 같이, 다수의 모바일 기능성들과 소형 폼 팩터를 가지며, 캡슐화 층에 캡슐화되는(예를 들어, 캡슐화 층에 의해 완전히 캡슐화되는) 통합된 디바이스(예를 들어, 통합된 디바이스(301))를 제조하는 것은 본 출원에서 해결되는 다수의 제작 및 제조 난제들을 포함한다. 특히, 통합된 디바이스의 컴포넌트들 사이의 크기 및 간격이 작아짐에 따라, 결함들이 나타나며, 이는 통합된 디바이스에서 성능 및 신뢰성 이슈들을 야기한다. 이를 통합된 디바이스들이 더 작은 전자 디바이스들에 구현됨에 따라, 이들 이슈들은 모바일 기능성(예를 들어, 셀룰러 기능성, WiFi(wireless fidelity) 기능성, Bluetooth 기능성)을 제공하는 통합된 디바이스에 대해 특히 큰 관심사이다. 본 출원에서 설명되는 통합된 디바이스들(예를 들어, 통합된 디바이스(301)) 및 제조 프로세스들은 이들 이슈들, 관심사들, 문제들 및 난제들을 해결하는 솔루션을 제공한다.

[0030] [0055] 도 3은 추가로, 통합된 디바이스(301)의 신뢰성 및 내구성을 개선하는 것을 돋는 하나 또는 그 초과의 캡슐화 층(들)의 사용을 통해 밀폐식으로(hermetically) 밀봉되는 통합된 디바이스(301)의 예를 예시한다.

[0031] [0056] 도 4 내지 도 7은 PoP(package on package) 디바이스를 포함하는 통합된 디바이스(301)의 단면(BB)에 걸친 다양한 측면도들을 예시한다. 도 4 내지 도 7에 도시되지 않았지만, 일부 구현들에서, PoP(package on package) 디바이스는 하나 또는 그 초과의 캡 컨트롤러들을 포함할 수 있다. 일부 캡 컨트롤러들의 예들이 도 12 내지 도 25를 참조하여 아래에서 추가로 설명된다.

[0032] [0057] 도 4는 통합된 디바이스(301)의 측면도를 예시한다. 도 4에 도시된 바와 같이, 통합된 디바이스(301)는 PCB(printed circuit board)(350), PoP(package on package) 디바이스(300), 패키지(302), 수동 컴포넌트(315), 캡슐화 층(예를 들어, 제2 캡슐화 층)(316), 내부 실드(330) 및 외부 실드(340)를 포함한다. PCB(printed circuit board)(350)는 복수의 인터커넥트들(360)(예를 들어, 패드들)을 포함한다. PoP(package on package) 디바이스(300), 패키지(302), 수동 컴포넌트(315), 내부 실드(330) 및 외부 실드(340)는 PCB(printed circuit board)(350)에 커플링된다. 캡슐화 층(316)은 PoP(package on package) 디바이스(300), 패키지(302), 수동 컴포넌트(315) 및 내부 실드(330)를 적어도 부분적으로 캡슐화한다.

[0033] [0058] PoP(package on package) 디바이스(300)는 제1 패키지(401), 제2 패키지(402) 및 제1 캡슐화 층(416)을 포함한다. 제2 패키지(402)는 복수의 패키지 인터커넥트들(427)을 통해 제1 패키지(401)에 커플링된다. 복수의 패키지 인터커넥트들(427)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함한다.

[0034] [0059] 제1 패키지(401)는 제1 패키지 기판(410) 및 제1 다이(411)를 포함한다. 제2 패키지(402)는 제2 패키지 기판(420) 및 제2 다이(421)를 포함한다. 제1 캡슐화 층(416)은 제1 패키지(401)와 제2 패키지(402) 사이에 형성된다. 특히, 제1 캡슐화 층(416)은 제1 다이(411)(예를 들어, 제1 다이(411)의 후방 측 표면)와 제2 패키지 기판(420)(예를 들어, 제2 패키지 기판(420)의 하단 표면) 사이에 적어도 형성된다.

[0035] [0060] 도 4는 캡슐화 층(316) 및 제1 캡슐화 층(416)이 별개의 캡슐화 층들임을 예시한다. 일부 구현들에서, PoP(package on package) 디바이스(300)를 캡슐화하는 캡슐화 층은 PoP(package on package) 디바이스(300)에 형성된 동일한 캡슐화 층일 수 있음을 당업자들은 인지할 것이다.

[0036] [0061] 도 5는 PoP(package on package) 디바이스를 포함하는 통합된 디바이스(501)를 예시한다. 도 5의 통

합된 디바이스(501)는, PoP(package on package) 디바이스(500)가 통합된 디바이스(501)에 상이하게 임베딩되는 것을 제외하면, 도 4의 통합된 디바이스(301)와 유사하다.

[0037] [0062] PoP(package on package) 디바이스(500)는 제1 패키지(401) 및 제2 패키지(402)를 포함한다. 제1 패키지(401)는 제1 패키지 기판(410) 및 제1 다이(411)를 포함한다. 제2 패키지(402)는 복수의 패키지 인터커넥트들(427)을 통해 제1 패키지(401)에 커플링된다.

[0038] [0063] 도 5에 도시된 바와 같이, 캡슐화 층(316)은 PoP(package on package) 디바이스(500)를 적어도 부분적으로 캡슐화하고, 제1 패키지(401)와 제2 패키지(402) 사이에 형성된다. 특히, 캡슐화 층(316)은 제1 다이(411)(예를 들어, 제1 다이(411)의 후방 측 표면)와 제2 패키지 기판(420)(예를 들어, 제2 패키지 기판(420)의 하단 표면) 사이에 적어도 형성된다. 일부 구현들에서, PoP(package on package) 디바이스(500)를 캡슐화하고 임베딩하는 캡슐화 층을 제공하는 것은, 그것이 통합된 디바이스를 제조하기 위한 프로세스들의 수를 감소시킬 수 있기 때문에, 저비용이고 소형 폼 팩터를 갖는 통합된 디바이스(501)를 가능하게 한다.

[0039] [0064] 도 6은 PoP(package on package) 디바이스를 포함하는 통합된 디바이스(601)를 예시한다. 도 6의 통합된 디바이스(601)는, 통합된 디바이스(601)가 통합된 디바이스(301)의 내부 실드(330)와 상이한 내부 실드(630)를 포함할 수 있다는 것을 제외하면, 도 4의 통합된 디바이스(301)와 유사하다. 특히, 내부 실드(630)는 내부 실드(330)보다 얇을 수 있다. 일부 구현들에서, 내부 실드(630)는 내부 실드(330)와 상이한 프로세스를 사용하여 형성된다. 위에서 언급된 바와 같이, 내부 실드(330)는 원하는 형상을 형성하도록 가공(work)되고 그 후 솔더 또는 일부 다른 도전성 메커니즘으로 PCB(printed circuit board)(350)에 커플링되는 금속 시트를 포함할 수 있다. 일부 구현들에서, 내부 실드(630)는 캡슐화 층(316)의 캐비티에 형성(예를 들어, 증착, 페이스팅)되는 금속층(예를 들어, 구리 층)일 수 있다. 내부 실드(630)는 외부 실드(340) 및 PCB(printed circuit board)(350)에 커플링된다.

[0040] [0065] 도 7은 PoP(package on package) 디바이스를 포함하는 통합된 디바이스(701)를 예시한다. 도 7의 통합된 디바이스(701)는, PoP(package on package) 디바이스(500)가 통합된 디바이스(701)에 상이하게 임베딩되는 것을 제외하면, 도 6의 통합된 디바이스(601)와 유사하다.

[0041] [0066] PoP(package on package) 디바이스(500)는 제1 패키지(401) 및 제2 패키지(402)를 포함한다. 제1 패키지(401)는 제1 패키지 기판(410) 및 제1 다이(411)를 포함한다. 제2 패키지(402)는 복수의 패키지 인터커넥트들(427)을 통해 제1 패키지(401)에 커플링된다.

[0042] [0067] 도 7에 도시된 바와 같이, 캡슐화 층(316)은 PoP(package on package) 디바이스(500)를 적어도 부분적으로 캡슐화하고, 제1 패키지(401)와 제2 패키지(402) 사이에 형성된다. 특히, 캡슐화 층(316)은 제1 다이(411)(예를 들어, 제1 다이(411)의 후방 측 표면)와 제2 패키지 기판(420)(예를 들어, 제2 패키지 기판(420)의 하단 표면) 사이에 적어도 형성된다. 일부 구현들에서, PoP(package on package) 디바이스(500)를 캡슐화하고 임베딩하는 캡슐화 층을 제공하는 것은, 그것이 통합된 디바이스를 제조하기 위한 프로세스들의 수를 감소시킬 수 있기 때문에, 저비용이고 소형 폼 팩터를 갖는 통합된 디바이스(701)를 가능하게 한다.

[0043] [0068] 도 4 내지 도 7에 도시되지 않았지만, 일부 구현들에서, PoP(package on package) 디바이스(예를 들어, 300, 500)는 하나 또는 그 초과의 캡 컨트롤러들을 포함할 수 있다. 캡 컨트롤러는 PoP(package on package) 디바이스에서 기계적 지지 및 안정성을 제공하도록 구성될 수 있다. 캡 컨트롤러는 제1 다이(411)와 제2 패키지 기판(420) 사이에 캡슐화 층(예를 들어, 316, 416)을 형성하기에 충분한 공간이 있다는 것을 보장하기 위해 제공될 수 있다. 일부 구현들에서, 하나 또는 그 초과의 캡 컨트롤러들은 전기 도전성이 하나 또는 그 초과의 재료들을 포함할 수 있다. 그러나, 캡 컨트롤러는 전기 신호에 대한 전기적 경로를 제공하지 않도록 구성된다. 캡 컨트롤러들의 예들이 도 12 내지 도 25를 참조하여 아래에서 추가로 설명된다.

[0044] [0069] 따라서, 도 3 내지 도 7은 통합된 디바이스(예를 들어, SiP)에서의 다양한 PoP(package on package) 디바이스를 설명한다. 상이한 구현들은 통합된 디바이스에 상이한 PoP(package on package) 디바이스를 임베딩 할 수 있다. 통합된 디바이스(301) 및/또는 본 개시에서 설명된 임의의 다른 통합된 디바이스에서 구현 및/또는 임베딩될 수 있는 상이한 PoP(package on package) 디바이스의 상세한 예들은 적어도 도 12 내지 도 25를 참조하여 아래에서 추가로 설명된다.

[0045] [0070] 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스의 다양한 예들을 설명하였지만, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제조하기 위한 다양한 프로세스들 및 방법들이 이제 설명될 것이다.

[0046] 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제조하기 위한 예시적인 시퀀스

[0047] 일부 구현들에서, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 8은 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공/제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 8의 시퀀스는 도 3 내지 도 5의 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스 및/또는 본 개시에서 설명된 다른 통합된 디바이스를 제조하는 데 사용될 수 있다. 도 8은 도 5의 통합된 디바이스를 제공/제조하는 맥락에서 이제 설명될 것이다.

[0048] [0072] 도 8의 시퀀스는, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과의 스테이지들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0049] [0073] 스테이지 1은 복수의 인터커넥트들(360)을 포함하는 PCB(printed circuit board)(350)가 제공된 이후의 상태를 예시한다. 일부 구현들에서, PCB(printed circuit board)(350)는 공급자에 의해 제공되거나 제조된다.

[0050] [0074] 스테이지 2는 PCB(printed circuit board)(350)에 커플링되는 PoP(package on package) 디바이스(500), 내부 실드(330) 및 수동 컴포넌트(315)를 예시한다. 일부 구현들에서, 솔더 리플로우 프로세스는 PoP(package on package) 디바이스(500), 내부 실드(330) 및 수동 컴포넌트(315)를 (예를 들어, 솔더 인터커넥트들의 사용을 통해) PCB(printed circuit board)(350)에 커플링하는 데 사용된다. 예를 들어, 내부 실드(330)는 솔더 인터커넥트(332)를 통해 PCB(printed circuit board)(350)에 커플링된다.

[0051] [0075] 스테이지 3은 PoP(package on package) 디바이스(500), 내부 실드(330) 및 수동 컴포넌트(315) 위에 적어도 부분적으로 형성된 캡슐화 층(316)을 예시한다. 예를 들어, 캡슐화 층(316)은 몰딩 화합물을 사용하여 형성되고 알려진 프로세스들 및 툴들을 사용하여 온도 경화될 수 있다.

[0052] [0076] 스테이지 4는 내부 실드(330)의 부분을 노출시키는 캐비티(830)가 캡슐화 층(316)에 형성된 이후의 상태를 예시한다. 상이한 구현들이 캐비티(830)를 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 레이저 프로세스 및/또는 포토-리소그래피 프로세스가 캐비티(830)를 형성하는 데 사용될 수 있다.

[0053] [0077] 스테이지 5는 외부 실드(340)가 캡슐화 층(316) 위에 형성된 이후의 상태를 예시한다. 외부 실드(340)는 도전성 페이스트, 구리 또는 다른 도전성 금속들 등과 같은 다양한 재료들을 사용하여 형성될 수 있다. 스테이지 5에 도시된 바와 같이, 외부 실드(340)는 내부 실드(330) 및 PCB(printed circuit board)(350)에 커플링된다. 일부 구현들에서, 스테이지 5는 PoP(package on package) 디바이스(500), 패키지(302), 수동 컴포넌트(315), 내부 실드(330), 솔더 인터커넥트(332), 캡슐화 층(316), PCB(printed circuit board)(350) 및 외부 실드(340)를 포함하는 통합된 디바이스(601)를 예시한다.

임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제조하기 위한 예시적인 시퀀스

[0055] [0078] 일부 구현들에서, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 9는 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공/제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 9의 시퀀스는 도 3 내지 도 5의 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스 및/또는 본 개시에서 설명된 다른 통합된 디바이스를 제조하는 데 사용될 수 있다. 도 9는 도 6의 통합된 디바이스를 제공/제조하는 맥락에서 이제 설명될 것이다.

[0056] [0079] 도 9의 시퀀스는, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과의 스테이지들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0057] [0080] 스테이지 1은 복수의 인터커넥트들(360)을 포함하는 PCB(printed circuit board)(350)가 제공된 이후의 상태를 예시한다. 일부 구현들에서, PCB(printed circuit board)(350)는 공급자에 의해 제공되거나 제조된다.

[0058] [0081] 스테이지 2는 PCB(printed circuit board)(350)에 커플링되는 PoP(package on package) 디바이스(300) 및 수동 컴포넌트(315)를 예시한다. 일부 구현들에서, 솔더 리플로우 프로세스는 PoP(package on package) 디바이스(300) 및 수동 컴포넌트(315)를 (예를 들어, 솔더 인터커넥트들의 사용을 통해) PCB(printed circuit

board)(350)에 커플링하는 데 사용된다.

[0059] [0082] 스테이지 3은 PoP(package on package) 디바이스(300) 및 수동 컴포넌트(315) 위에 적어도 부분적으로 형성된 캡슐화 층(316)을 예시한다.

[0060] [0083] 스테이지 4는 캡슐화 층(316)에 형성된 캐비티(930)를 예시한다. 상이한 구현들이 캐비티(930)를 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 레이저 프로세스 및/또는 포토-리소그래피 프로세스가 캐비티(930)를 형성하는 데 사용될 수 있다.

[0061] [0084] 스테이지 5는 내부 실드(630)를 형성하기 위해 도전성 재료로 충전된 캐비티(930)를 예시한다. 상이한 구현들이 내부 실드(630)를 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 페이스팅 프로세스, 도금 프로세스 및/또는 스퍼터링 프로세스가 내부 실드(630)를 형성하도록 캐비티(930)를 충전하는데 사용될 수 있다.

[0062] [0085] 스테이지 6은 캡슐화 층(316) 위에 형성되는 외부 실드(340)를 예시한다. 스테이지 6에 도시된 바와 같이, 외부 실드(340)는 내부 실드(630) 및 PCB(printed circuit board)(350)에 커플링된다. 일부 구현들에서, 스테이지 6은 PoP(package on package) 디바이스(300), 패키지(302), 수동 컴포넌트(315), 내부 실드(630), 캡슐화 층(316), PCB(printed circuit board)(350) 및 외부 실드(340)를 포함하는 통합된 디바이스(501)를 예시한다.

임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제조하기 위한 예시적인 방법

[0064] [0086] 일부 구현들에서, 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 10은 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 제공/제조하기 위한 방법(1000)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 10의 방법은 도 3 내지 도 7의 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스 및/또는 본 개시에서 설명된 다른 통합된 디바이스를 제공/제조하는 데 사용될 수 있다. 도 10은 도 5의 디바이스 패키지를 제공/제조하는 맥락에서 설명될 것이다.

[0065] [0087] 도 10의 흐름도는, 통합된 디바이스를 제공하기 위한 방법을 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과의 프로세스들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0066] [0088] 스테이지(1005)에서, PoP(package on package) 디바이스(예를 들어, 300), 적어도 하나의 패키지(예를 들어, 302) 및 내부 실드(예를 들어, 330)가 PCB(printed circuit board)(예를 들어, 350)에 커플링된다. PoP(package on package) 디바이스, 적어도 하나의 패키지 및 내부 실드를 PCB(printed circuit board)에 커플링하는 예들이 도 8에 예시되고 설명된다(예를 들어, 도 8의 스테이지 2). 솔더 리플로우 프로세스는, PoP(package on package) 디바이스, 적어도 하나의 패키지 및 내부 실드를 (예를 들어, 복수의 솔더 인터커넥트들을 통해) PCB(printed circuit board)에 커플링하는 데 사용될 수 있다.

[0067] [0089] 스테이지(1010)에서, PoP(package on package) 디바이스, 적어도 하나의 패키지 및 내부 실드와 PCB(printed circuit board)의 커플링 동안 누적될 수 있는 잔류물을 제거하기 위해 디플럭스(deflux) 프로세스가 수행된다.

[0068] [0090] 스테이지(1015)에서, PoP(package on package) 디바이스를 적어도 부분적으로 캡슐화하는 캡슐화 층(예를 들어, 제1 캡슐화 층(416))이 제공된다. 일부 구현들에서, 제공되는 캡슐화 층은 PoP(package on package) 디바이스에 형성될 수 있다. 예를 들어, PoP(package on package) 디바이스(500)를 적어도 부분적으로 캡슐화하는 캡슐화 층(예를 들어, 캡슐화 층(316))이 PoP(package on package) 디바이스(500)의 제1 패키지(401)의 제1 다이(411)와 PoP(package on package) 디바이스(500)의 제2 패키지(402)의 제2 패키지 기판(420) 사이에 형성된다.

[0069] [0091] 선택적으로, 스테이지(1020)에서, PoP(package on package) 디바이스가 마킹(mark)될 수 있으며, 이는 캡슐화 층의 부분들을 마킹하기 위해 레이저를 사용하는 것을 포함할 수 있다.

[0070] [0092] 일부 구현들에서, 여러 PoP(package on package) 디바이스가 웨이퍼 상에서 동시에 제조된다. 이러한 경우들에, 스테이지(1025)에서, 웨이퍼는 개별 PoP(package on package) 디바이스를 형성하도록 개별화(singulate)될 수 있다.

- [0071] [0093] 스테이지(1030)에서, 캡슐화 층 위에 외부 실드가 형성된다. 일부 구현들에서, 외부 실드의 형성은 캡슐화 층에 캐비티를 형성하는 것 그리고 외부 실드를 형성하도록 캡슐화 층 위에 금속층을 형성하는 것을 포함한다. 외부 실드는, 외부 실드가 내부 실드에 커플링되도록 형성된다. 일부 구현들에서, 외부 실드는 캡슐화 층의 형상 및/또는 윤곽들을 따르는 컨포멀(conformal) 실드를 포함한다. 도금 프로세스가 캡슐화 층 위에 외부 실드를 형성하기 위해 사용될 수 있다.
- [0072] **임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스에 대한 예시적인 기능성들**
- [0073] [0094] 위에서 언급된 바와 같이, 본 개시에서 설명된 통합된 디바이스들은, 작은 공간 및/또는 폼 팩터로 포괄적인 모바일 기능성들(예를 들어, 셀룰러 기능성, WiFi(wireless fidelity) 기능성, Bluetooth 기능성, GPS(Global Positioning System) 기능성)을 제공하도록 구성될 수 있으며, 이에 따라, 통합된 디바이스가 웨어러블 디바이스들, 시계들, 안경, IoT(Internet of things) 디바이스들과 같은(그러나 이에 제한되지 않음) 소형 디바이스들에서 구현되도록 허용하고, 이에 따라 이들 소형 디바이스들이 포괄적인 모바일 기능성을 갖는 것을 가능하게 한다.
- [0074] [0095] 예를 들어, 일부 구현들에서, 통합된 디바이스(301) 또는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것의 크기는 약 30mm(W) x 30mm(L) x 2mm(H) 또는 그 미만일 수 있다. 일부 구현들에서, 통합된 디바이스(301) 또는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것의 크기는 약 26 mm(W) x 26 mm(L) x 1.8 mm(H) 또는 그 미만일 수 있다. 일부 구현들에서, 통합된 디바이스(301) 또는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것의 크기는 약 52 mm(W) x 52 mm(L) x 2 mm(H) 또는 그 미만일 수 있다.
- [0075] [0096] 도 11은 임베디드 PoP(package on package)를 갖는 통합된 디바이스가 가질 수 있는 기능성들의 개념적인 예시를 예시한다. 도 11에 도시된 바와 같이, 통합된 디바이스(1101)는, 프로세서, 메모리 및/또는 모뎀 기능(1100)(예를 들어, 프로세서, 메모리 및 모뎀을 위한 수단), 포지셔닝 기능(1102)(예를 들어, 포지셔닝을 위한 수단, GPS(Global Positioning System)), 제1 무선 통신 기능(1103)(예를 들어, 제1 무선 통신을 위한 수단, WiFi), 제2 무선 통신 기능(1104)(예를 들어, 제2 무선 통신을 위한 수단, Bluetooth), 코덱 기능(1105)(예를 들어, 코딩 및/또는 디코딩을 위한 수단), 전력 관리 기능(1106)(예를 들어, 전력 관리를 위한 수단), 적어도 하나의 센서 기능(1107)(예를 들어, 센서를 위한 수단), 제1 RFFE(radio frequency front end) 기능(1108)(예를 들어, 제1 RFFE를 위한 수단), 제2 RFFE(radio frequency front end) 기능(1109)(예를 들어, 제2 RFFE를 위한 수단), 제3 RFFE(radio frequency front end) 기능(1110)(예를 들어, 제3 RFFE를 위한 수단) 및 RF(radio frequency) 트랜시버 기능(1111)(예를 들어, RF 트랜시빙을 위한 수단)을 포함한다.
- [0076] [0097] RFFE 기능들의 예들은 GSM(Global System for Mobile Communications), WCDMA(Wideband Code Division Multiple Access), FDD-LTE(Frequency Division Duplex Long-Term Evolution), TDD-LTE(Time Division Duplex Long-Term Evolution)를 포함한다. RFFE 기능의 위의 예들 각각은 하나 또는 그 초과의 상이한 대역들을 포함할 수 있다.
- [0077] [0098] 일부 구현들에서, 위의 기능들은 하나 또는 그 초과의 패키지들(302-311)(예를 들어, 전자 패키지 컴포넌트들) 및/또는 PoP(package on package) 디바이스(300)에서 구현될 수 있다. 따라서, 예를 들어, 프로세서, 메모리 및 모뎀 기능(1100)은 프로세서, 메모리 및 모뎀 패키지일 수 있다. 일부 구현들에서, 위의 기능들은 하나 또는 그 초과의 패키지들(302-311) 및/또는 PoP(package on package) 디바이스(300)에서 하나 또는 그 초과의 회로들로서 구현될 수 있다. 예를 들어, 프로세서, 메모리 및 모뎀 기능(1100)은 제1 패키지(401) 및 제2 패키지(402)를 포함하는 PoP(package on package) 디바이스(300)에서 구현될 수 있다. 일부 구현들에서, 프로세서 기능은 제1 패키지(401)의 제1 다이(411)에서 구현될 수 있고, 메모리 기능은 제2 패키지(402)의 제2 다이(421)에서 구현될 수 있다. 일부 구현들에서, 위의 기능들(예를 들어, 1100-1111) 중 하나 또는 그 초과는 단일 패키지, 회로 및/또는 다수의 패키지들 및/또는 회로들에서 결합될 수 있다. 상이한 구현들은 상이한 패키지들 및/또는 회로들과 상이한 기능들을 결합할 수 있다(예를 들어, Bluetooth 기능은 단일 패키지 또는 회로에서 WiFi 기능과 결합될 수 있음). 다른 구현들은 다른 기능들을 포함할 수 있다. 예를 들어, 모뎀 기능(예를 들어, 모뎀을 위한 수단)은 별개의 기능 또는 다른 기능의 부분으로서 구현될 수 있다. 일부 구현들에서, 모뎀 기능은 프로세서 및 메모리 기능의 부분 또는 다른 기능들의 부분일 수 있다.
- [0078] [0099] 임베디드 PoP(package on package) 디바이스를 포함하는 통합된 디바이스를 설명하였다면(여기서 통합된 디바이스가 여러 모바일 기능성들(예를 들어, 셀룰러 기능성, WiFi 기능성, Bluetooth 기능성, GPS 기능성)을 포함할 수 있음), PoP(package on package) 디바이스의 다양한 예들이 이제 아래에서 설명될 것이다.

[0079] **캡 컨트롤러를 포함하는 예시적인 PoP(package on package) 디바이스**

[00100] 도 12는 제1 패키지(1201), 제2 패키지(1202) 및 캡 컨트롤러(1270)를 포함하는 PoP(package on package) 디바이스(1200)를 예시한다. 제2 패키지(1202)는 제1 패키지(1201)에 커플링된다. 제1 패키지(1201)는 제1 집적 회로(IC) 패키지이고, 제2 패키지(1202)는 제2 집적 회로(IC) 패키지일 수 있다. PoP(package on package) 디바이스(1200)는 복수의 솔더 볼들(1251)을 통해 PCB(printed circuit board)(350)에 커플링된다. PoP(package on package) 디바이스(1200)는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것에 임베딩될 수 있다.

[00101] 일부 구현들에서, 캡 컨트롤러(1270)는 제1 패키지(1201)와 제2 패키지(1202) 사이에 로케이팅된다. 일부 구현들에서, 캡 컨트롤러(1270)는 제1 패키지(1201)의 전자 패키지 컴포넌트(예를 들어, 제1 다이(1211))와 제2 패키지(1202) 사이에 로케이팅된다.

[00102] 아래에서 추가로 설명될 바와 같이, 일부 구현들에서, 캡 컨트롤러(1270)는 제2 패키지(1202)(예를 들어, 제2 패키지(1202)의 제2 패키지 기판(1220))에 대한 기계적 지지, 기계적 안정성을 제공하도록 구성된다. 따라서, 일부 구현들에서, 캡 컨트롤러(1270)는 제2 패키지(예를 들어, 제2 패키지(1202))에서의 임의의 휨, 변형 및/또는 편향을 최소화 또는 감소시키는 백 스톱(back stop)으로서 동작하도록 구성될 수 있다. 일부 구현들에서, 캡 컨트롤러(1270)는 전기 도전성인 하나 또는 그 초과의 재료들을 포함할 수 있다. 그러나, 캡 컨트롤러(1270)는 전기 신호에 대한 전기적 경로를 제공하지 않도록 구성된다.

[00103] 일부 구현들에서, 캡 컨트롤러(1270)는, 캡슐화 층이 제1 패키지(1201)의 다이와 제2 패키지(1202)의 패키지 기판 사이의 공간 또는 캡에 제공(예를 들어, 형성)될 수 있도록 제1 패키지(1201)의 다이와 제2 패키지(1202)의 패키지 기판 사이에 충분한 거리, 공간 또는 캡이 존재하는 것을 보장하게 구성될 수 있다. 캡 컨트롤러(1270)는 선택적일 수 있다.

[00104] 제1 패키지(1201)는 제1 패키지 기판(1210), 제1 다이(1211), 제1 언더필(1214), 복수의 제1 솔더 볼들(1215), 제1 캡슐화 층(1216) 및 캡 컨트롤러(1270)를 포함한다. 일부 구현들에서, 제1 패키지(1201)는 또한 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다.

[00105] 제1 패키지 기판(1210)은 적어도 하나의 유전체 층(1212), 복수의 제1 인터커넥트들(1213)(예를 들어, 복수의 제1 기판 인터커넥트들), 제1 솔더 레지스트 층(1280) 및 제2 솔더 레지스트 층(1282)을 포함한다. 복수의 제1 인터커넥트들(1213)은 트레이스들, 비아들 및/또는 패드들을 포함할 수 있다. 제1 패키지 기판(1210)은 복수의 솔더 볼들(1251)을 통해 PCB(printed circuit board)(350)에 커플링된다. 보다 구체적으로, 복수의 제1 인터커넥트들(1213)은 복수의 솔더 볼들(1251)에 커플링된다.

[00106] 제1 다이(1211)는 복수의 트랜지스터들 및/또는 다른 전자 컴포넌트들을 포함하는 집적 회로(IC)일 수 있다. 제1 다이(1211)는 로직 다이 및/또는 메모리 다이일 수 있다. 제1 다이(1211)는 베어 다이(bare die)일 수 있다. 제1 다이(1211)는 복수의 제1 솔더 볼들(1215)을 통해 제1 패키지 기판(1210)에 커플링된다. 제1 언더필(1214)은 제1 다이(1211)와 제1 패키지 기판(1210) 사이에 로케이팅된다. 제1 언더필(1214)은 복수의 제1 솔더 볼들(1215) 중 적어도 일부를 적어도 부분적으로 둘러쌀 수 있다.

[00107] 제1 캡슐화 층(1216)은 제1 다이(1211), 캡 컨트롤러(1270) 및 복수의 패키지 인터커넥트들(1227)을 적어도 부분적으로 캡슐화한다. 상이한 구현들은 제1 캡슐화 층(1216)에 대해 상이한 재료들을 사용할 수 있다. 예를 들어, 제1 캡슐화 층(1216)은 몰드 및/또는 에폭시 필(epoxy fill)을 포함할 수 있다.

[00108] 제2 패키지(1202)는 제2 패키지 기판(1220), 제2 다이(1221), 제2 언더필(1224), 복수의 제2 솔더 볼들(1225) 및 제2 캡슐화 층(1226)을 포함한다. 일부 구현들에서, 제2 패키지(1202)는 또한 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다.

[00109] 제2 패키지 기판(1220)은 적어도 하나의 유전체 층(1222), 복수의 제2 인터커넥트들(1223)(예를 들어, 복수의 제2 기판 인터커넥트들), 제1 솔더 레지스트 층(1284) 및 제2 솔더 레지스트 층(1286)을 포함한다. 복수의 제2 인터커넥트들(1223)은 트레이스들, 비아들 및/또는 패드들을 포함할 수 있다.

[00110] 제2 다이(1221)는 복수의 트랜지스터들 및/또는 다른 전자 컴포넌트들을 포함하는 집적 회로(IC)일 수 있다. 제2 다이(1221)는 로직 다이 및/또는 메모리 다이일 수 있다. 제2 다이(1221)는 베어 다이일 수 있다. 제2 다이(1221)는 복수의 제2 솔더 볼들(1225)을 통해 제2 패키지 기판(1220)에 커플링된다. 제2 언더필(1224)은 제2 다이(1221)와 제2 패키지 기판(1220) 사이에 로케이팅된다. 제2 언더필(1224)은 복수의 제2 솔더 볼

들(1225) 중 적어도 일부를 적어도 부분적으로 둘러쌀 수 있다.

[0091] [00111] 제2 캡슐화 층(1226)은 제2 다이(1221)를 적어도 부분적으로 캡슐화한다. 상이한 구현들은 제2 캡슐화 층(1226)에 대해 상이한 재료들을 사용할 수 있다. 예를 들어, 제2 캡슐화 층(1226)은 몰드 및/또는 에폭시 필을 포함할 수 있다.

[0092] [00112] 제2 패키지(1202)는 복수의 패키지 인터커넥트들(1227)을 통해 제1 패키지(1201)에 커플링된다. 복수의 패키지 인터커넥트들(1227)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함할 수 있다. 복수의 패키지 인터커넥트들(1227)은 제1 패키지 기판(1210) 및 제2 패키지 기판(1220)에 커플링된다. 보다 구체적으로, 복수의 패키지 인터커넥트들(1227)은 (제1 패키지 기판(1210)의) 복수의 제1 인터커넥트들(1213) 및 (제2 패키지 기판(1220)의) 복수의 제2 인터커넥트들(1223)에 커플링된다.

[0093] [00113] 캡 컨트롤러(1270)는 제1 다이(예를 들어, 제1 다이(1211))와 제2 패키지(예를 들어, 제2 패키지(1202)) 사이에 최소 캡을 제공하도록 구성된, 캡 제어를 위한 수단일 수 있다. 캡 컨트롤러(1270)는 제1 다이(1211) 위에(예를 들어, 제1 다이(1211)의 후방 측 표면 위에) 로케이팅된다. 특히, 캡 컨트롤러(1270)는 제1 다이(1211)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에 로케이팅된다. 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 패키지(1201)의 제1 다이(1211)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이의 최소 거리, 최소 공간 및/또는 최소 캡을 제공하도록 구성된다. 일부 구현들에서, 최소 거리, 최소 공간 및 최소 캡은, 제2 패키지 기판(1220)의 휩, 변형 및/또는 편향이 있는 경우에도, 제1 캡슐화 층(1216)이 제1 패키지(1201)의 제1 다이(1211)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에서 (예를 들어, 제조 프로세스 동안) 유동할 충분한 공간이 존재한다는 것을 보장한다. 따라서, 일부 구현들에서, 제1 다이(1211) 위에(예를 들어, 제1 다이(1211)의 후방 측 표면 위에) 로케이팅되는 적어도 하나의 캡 컨트롤러(1270)는, 충분한 양의 제1 캡슐화 층(1216)이 제1 다이(1211)와 (제2 패키지(1202)의) 제2 패키지 기판(1220) 사이에 형성되는 것을 보장한다.

[0094] [00114] 도 12는 PoP(package on package) 디바이스(1200)가 캡슐화 층(316)에 의해 적어도 부분적으로 캡슐화되는 것을 예시한다. 캡슐화 층(316)은 PoP(package on package) 디바이스(1200)의 제2 캡슐화 층일 수 있다. 캡슐화 층(316)은 일부 구현들에서, 제1 캡슐화 층(1216)과 구분되고 별개일 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)을 포함할 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)과 동일하다. 따라서, 일부 구현들에서, 캡슐화 층(316)은 PoP(package on package) 디바이스(1200)를 캡슐화하고 PoP(package on package) 디바이스(1200) 내부에 로케이팅될 수 있다. 위의 개념은 캡슐화 층(316)과 제1 캡슐화 층(1216) 사이의 점선 경계(예를 들어, 라인)에 의해 도 12에 예시된다. 캡슐화 층(316)(예를 들어, 제2 캡슐화 층)과 제1 캡슐화 층(1216) 사이의 경계(예를 들어, 점선)는 단지 예시적이라는 것에 주의한다. 상이한 구현들은 캡슐화 층(316)(예를 들어, 제2 캡슐화 층)과 제1 캡슐화 층(1216) 사이에 상이한 경계 형상들 및 크기들을 가질 수 있다.

[0095] [00115] 일부 구현들에서, 캡 컨트롤러(1270) 중 하나 또는 그 초파는, 개별적으로 또는 집합적으로, 제1 다이(예를 들어, 제1 다이(1211))와 제2 패키지(예를 들어, 제2 패키지(1202)) 사이의 실질적으로 모든 공간 미만을 점유할 수 있다. 일부 구현들에서, 캡 컨트롤러(1270) 중 하나 또는 그 초파는 개별적으로 또는 집합적으로, 제1 다이(예를 들어, 제1 다이(1211))의 실질적으로 모든 후방 측 표면 미만에 커플링된다. 일부 구현들에서, 캡 컨트롤러(1270) 중 하나 또는 그 초파는 개별적으로 또는 집합적으로, 제1 다이(예를 들어, 제1 다이(1211))의 다수의 후방 측 표면 미만에 커플링된다.

[0096] [00116] 제1 다이(1211)(예를 들어, 제1 다이(1211)의 최상단 표면)와 제2 패키지(1202)(예를 들어, 제2 패키지 기판(1220)의 하단 표면) 사이의 거리, 공간 또는 캡은 상이한 구현들에 따라 변동될 수 있다. 일부 구현들에서, 캡(1290)은 약 10 μm (microns) 또는 그 초파일 수 있다. 일부 구현들에서, 캡 컨트롤러(1270)는 약 10-100 μm (microns) 또는 그 미만의 높이 및/또는 두께를 갖는다.

[0097] [00117] 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 다이(1211)(예를 들어, 제1 다이(1211)의 후방 측 표면)와 제2 패키지(202)(예를 들어, 제2 패키지 기판(1220)의 하단 표면) 사이의 최소 캡(예를 들어, 캡(1290))이 약 10 μm (microns) 또는 그 초파라는 것을 보장한다.

[0098] 일부 구현들에서, 캡 컨트롤러(1270)는 제1 다이(1211)와 제2 패키지 기판(1220) 사이의 공극을 제거, 감소 및/또는 최소화하고, 그리하여 보다 견고하고 신뢰성 있는 PoP(package on package) 디바이스(1200)를 제공한다. 따라서, 캡 컨트롤러(1270)는, 제1 캡슐화 층(1216)이 제1 다이(1211)와 제2 패키지 기판(1220) 사이

의 공간을 충전하도록(예를 들어, 공간의 대부분 또는 실질적인 부분을 적어도 충전하도록) 허용하게 구성된다. 또한, 캡 컨트롤러(1270)는 제1 캡슐화 층(1216)이 형성될 때(예를 들어, 제조 프로세스 동안) 제1 캡슐화 층(1216)의 유동을 실질적으로 방해하지 않도록 구성된다. 제1 캡슐화 층(1216)이 어떻게 형성되는지에 관한 예가 아래의 도 12에서 추가로 설명된다. 따라서, 하나 또는 그 초파의 캡 컨트롤러(1270)의 사용은, PoP(package on package) 디바이스(1200)의 제조 프로세스 동안 제1 캡슐화 층(1216)이 제1 다이(1211)와 제2 패키지 기판(1220) 사이에서 유동할 수 있다는 것을 보장하도록 효과적이고 반-직관적인(counter intuitive) 접근법을 제공한다.

[0099]

[00119] 상이한 구현들은 제1 다이(1211)의 상이한 부분들 위에 캡 컨트롤러(1270)를 포지셔닝할 수 있다. 일부 구현들에서, 제2 패키지 기판(1220)의 최대량의 휨, 변형 및/또는 편향은 제1 다이(1211)의 중심 위의 공간, 제1 패키지(1201)의 중심 및/또는 제2 패키지(1202)의 중심에서 발생할 수 있다. 일부 구현들에서, 캡 컨트롤러(1270)는, 잠재적으로 최대량의 휨, 변형 및/또는 편향을 가질 수 있는 제2 패키지 기판(1220)의 부분에 지지가 존재하는 것을 보장하도록, 제1 다이(1211)의 중심 상에 또는 그 부근(예를 들어, 그 근처)에 포지셔닝될 수 있다.

[0100]

[00120] 도 12는 캡 컨트롤러(1270)가 스페이서(1272) 및 접착 층(1274)을 포함하는 것을 예시한다. 접착 층(1274)은 스페이서(1272)를 적어도 부분적으로 둘러싼다. 상이한 구현들은 스페이서(1272) 및 접착 층(1274)에 대해 상이한 재료들을 사용할 수 있다. 일부 구현들에서, 스페이서(1272)는 금속 볼(예를 들어, 구리 볼)일 수 있다. 접착 층(1274)은 스페이서(1272)를 제1 다이(1211)에 커플링하는 데 사용될 수 있다. 일부 구현들에서, 접착 층(1274)은, 제1 캡슐화 층(1216)이 제1 다이(1211)와 제2 패키지(1202) 사이에 형성될 때, 캡 컨트롤러(1270)가 실질적으로 이동하는 것을 방지하도록 구성될 수 있다.

[0101]

[00121] 스페이서(1272)는 세라믹, 금속 및/또는 폴리머(예를 들어, 구리, 폴리머 코어 볼 및/또는 폴리머 포스트)를 포함하는 고체 스페이서를 포함할 수 있다. 접착 층(1274)은 언더필 및/또는 고점도 코너 필 재료(예를 들어, Cookson HEL-30, Namics G8345D) 및 RTV 실리콘(예를 들어, ASE 600)을 포함할 수 있다. 접착 층(1274)은 소결 페이스트(예를 들어, Ormet 406, CS650)를 포함할 수 있다.

[0102]

[00122] 도 12에 도시된 바와 같이, 제1 캡슐화 층(1216)은 접착 층(1274) 및/또는 스페이서(1272)를 적어도 부분적으로 둘러싼다. 또한, 도 12는 캡 컨트롤러(1270)가 제1 다이(1211)와 직접 물리적으로 접촉하지만 제2 패키지(1202)(예를 들어, 제2 패키지(1202)의 제2 패키지 기판(1220))과 직접 물리적으로 접촉하지 않는다는 것을 예시한다. 일부 구현들에서, 캡 컨트롤러(1270)가 제1 다이(1211) 및 제2 패키지(1202)(예를 들어, 제2 패키지(1202)의 제2 패키지 기판(1220)) 둘 모두와 직접 물리적으로 접촉할 수 있다. 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 다이(1211)와 직접 접촉하는 것이 아니라, 제2 패키지(1202)(예를 들어, 제2 패키지(1202)의 제2 패키지 기판(1220))와 직접 물리적으로 접촉할 수 있다.

[0103]

[00123] 본 개시는 다이들(예를 들어, 1211, 1221)을 패키지 기판들(예를 들어, 1210, 1220)에 커플링하는 데 사용되는 솔더 볼들(예를 들어, 1215, 1225)을 예시 및 설명한다. 그러나, 일부 구현들에서, 다이들을 패키지 기판들에 커플링하기 위해 다른 인터커넥트들이 사용될 수 있다. 예를 들어, 일부 구현들은 다이들을 패키지 기판에 커플링하기 위해 와이어 본딩 및 필라들(pillars)(예를 들어, 구리 필라들)을 사용할 수 있다.

[0104]

[00124] 위에서 언급된 바와 같이, 상이한 구현들은 상이한 구성들의 캡 컨트롤러(1270)를 사용할 수 있다. 예를 들어, 다른 구현들은 상이한 수의 캡 컨트롤러(1270)를 사용할 수 있다. 또한, 캡 컨트롤러(1270)는 제1 다이(1211) 위에(예를 들어, 제1 다이(1211)의 중심 상에 또는 그 근처에) 상이하게 로케이팅될 수 있다. 일부 구현들에서, 캡 컨트롤러(1270)는 상이한 구조들 및/또는 재료들을 포함할 수 있다.

[0105]

[00125] 도 13은 접착 층(1274)을 포함하는 캡 컨트롤러(1370)를 예시한다. 접착 층(1274)은 제1 다이(1211) 위에 형성되고, 제1 캡슐화 층(1216)에 의해 적어도 부분적으로 둘러싸인다.

[0106]

[00126] 도 14는 스페이서(1272)를 포함하는 캡 컨트롤러(1470)를 예시한다. 스페이서(1272)는 제1 다이(1211) 위에 형성되고, 제1 캡슐화 층(1216)에 의해 적어도 부분적으로 둘러싸인다.

[0107]

[00127] 도 15는 복수의 스페이서들(1572) 및 접착 층(1274)을 포함하는 캡 컨트롤러(1570)를 예시한다. 복수의 스페이서들(1572)은 접착 층(1274)에 의해 적어도 부분적으로 둘러싸인다. 복수의 스페이서들(1572) 및 접착 층(1274)은 제1 다이(1211) 위에 형성되고, 제1 캡슐화 층(1216)에 의해 적어도 부분적으로 둘러싸인다.

[0108]

[00128] 본 개시에서 도시된 바와 같이, 캡 컨트롤러들(예를 들어, 1270, 1370, 1470, 1570)은 제1 패키지(예를 들어, 제1 패키지(1201))에 커플링되지만 제2 패키지(예를 들어, 제2 패키지(1202))에 커플링되지 않는다. 일

부 구현들에서, 캡 컨트롤러들(예를 들어, 1270, 1370, 1470, 1570)은 제2 패키지에 물리적으로 터치될 수 있지만, 제2 패키지에 영구적으로 본딩되진 않는다. 예를 들어, 캡 컨트롤러들은 제1 패키지에 본딩될 수 있지만 제2 패키지에 본딩되진 않는다(예를 들어, 제2 패키지에 본딩되지 않음).

[0109] [00129] 캡 컨트롤러들(1370, 1470 및/또는 1570)은 제1 다이(예를 들어, 제1 다이(1211))와 제2 패키지(예를 들어, 제2 패키지(1202)) 사이에 최소 캡을 제공하기 위한, 캡 제어를 위한 수단일 수 있다. 일부 구현들에서, 캡 컨트롤러들(1370, 1470, 1570) 중 하나 또는 그 초과는, 제1 다이(예를 들어, 제1 다이(1211))와 제2 패키지(예를 들어, 제2 패키지(1202)) 사이의 실질적으로 모든 공간 미만을 점유할 수 있다. 일부 구현들에서, 캡 컨트롤러들(1370, 1470, 및/또는 1570) 중 하나 또는 그 초과는 개별적으로 또는 집합적으로, 제1 다이(예를 들어, 제1 다이(1211))의 실질적으로 모든 후방 측 표면 미만에 커플링된다. 일부 구현들에서, 캡 컨트롤러들(1370, 1470, 및/또는 1570) 중 하나 또는 그 초과는 개별적으로 또는 집합적으로, 제1 다이(예를 들어, 제1 다이(1211))의 후방 측 표면 과반 미만에 커플링된다.

[0110] [00130] 캡 컨트롤러(1270)에 대해 설명된 바와 같은 치수들은 캡 컨트롤러들(1370, 1470 및/또는 1570)에 대한 치수들에 적용 가능할 수 있다. 또한, 캡 컨트롤러들(1370, 1470 및/또는 1570)은 본 개시에서 설명된 PoP(package on package) 디바이스들 중 임의의 것에서 구현될 수 있다. 상이한 구현들은 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스들의 상이한 구성들 및/또는 결합들을 포함할 수 있다. 이하는 캡 컨트롤러를 포함하는 상이한 PoP(package on package) 디바이스의 추가의 예들이다.

캡 컨트롤러를 포함하는 예시적인 PoP(package on package) 디바이스

[0112] [00131] 도 16은 제1 패키지(1601), 제2 패키지(1202) 및 캡 컨트롤러(1270)를 포함하는 다른 PoP(package on package) 디바이스(1600)를 예시한다. 제2 패키지(1202)는 제1 패키지(1601)에 커플링된다. 제1 패키지(1601)는 제1 접적 회로(IC) 패키지일 수 있다. PoP(package on package) 디바이스(1600)는 복수의 솔더 볼들(1251)을 통해 PCB(printed circuit board)(350)에 커플링된다. PoP(package on package) 디바이스(1600)는 제1 패키지(1601)가 다른 구성을 갖는 것을 제외하면, PoP(package on package) 디바이스(1200)와 유사하다. PoP(package on package) 디바이스(1600)는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것에 임베딩될 수 있다.

[0113] [00132] 위에서 설명되고 아래서 추가로 설명되는 바와 같이, 일부 구현들에서, 캡 컨트롤러(1270)는, 캡슐화 층이 제1 패키지(1601)의 다이와 제2 패키지(1202)의 패키지 기판 사이의 공간 또는 캡에 제공(예를 들어, 형성)될 수 있도록 제1 패키지(1601)의 다이와 제2 패키지(1202)의 패키지 기판 사이에 충분한 거리, 공간 또는 캡이 존재하는 것을 보장하게 구성될 수 있다. 캡 컨트롤러(1270)는 선택적일 수 있다.

[0114] [00133] 제1 패키지(1601)는 제1 패키지 기판(1210), 제1 다이(1211), 제1 언더필(1214), 복수의 제1 솔더 볼들(1215), 제1 캡슐화 층(1216), 캡 컨트롤러(1270) 및 캡슐화 층(1616)을 포함한다. 따라서, 제1 패키지(1601)는 2개의 캡슐화 층들(예를 들어, 1216, 1616)을 포함한다. 일부 구현들에서, 제1 패키지(1601)는 또한 복수의 패키지 인터커넥트들(1627)을 포함할 수 있다. 복수의 패키지 인터커넥트들(1627)은 복수의 패키지 인터커넥트들(1617) 및 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다.

[0115] [00134] 캡슐화 층(1616)은 제1 다이(1211) 및 복수의 패키지 인터커넥트들(1627)을 적어도 부분적으로 캡슐화 한다. 예를 들어, 캡슐화 층(1616)은 제1 다이(1211) 및 복수의 패키지 인터커넥트들(1617)을 적어도 부분적으로 캡슐화할 수 있다. 일부 구현들에서, 캡슐화 층(1616)의 표면은 제1 다이(1211)의 표면(예를 들어, 후방 측 표면)과 실질적으로 동일 평면일 수 있다. 제1 캡슐화 층(1216)은 제1 다이(1211) 및 캡슐화 층(1616) 위에 형성된다. 캡슐화 층(1616)은 제1 캡슐화 층(1216)과 동일한 물질 또는 상이한 물질일 수 있다. 제1 캡슐화 층(1216)은 캡 컨트롤러(1270) 및 복수의 패키지 인터커넥트들(1627)을 적어도 부분적으로 캡슐화한다.

[0116] [00135] 제2 패키지(1202)는 제2 패키지 기판(1220), 제2 다이(1221), 제2 언더필(1224), 복수의 제2 솔더 볼들(1225) 및 제2 캡슐화 층(1226)을 포함한다. 일부 구현들에서, 제2 패키지(1202)는 또한, 복수의 패키지 인터커넥트들(1617) 및 복수의 패키지 인터커넥트들(1227)을 포함하는 복수의 패키지 인터커넥트들(1627)을 포함할 수 있다.

[0117] [00136] 제2 패키지(1202)는, 복수의 패키지 인터커넥트들(1227) 및 복수의 패키지 인터커넥트들(1617)을 포함하는 복수의 패키지 인터커넥트들(1627)을 통해 제1 패키지(1601)에 커플링된다. 복수의 패키지 인터커넥트들(1627)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함할 수 있다. 복수의 패키지 인터커넥트들(1627)은 제1 패키지 기판(1210) 및 제2 패키지 기판(1220)에 커플링된다. 특히, 복수의 패키지 인터커넥트들(1627)은 (제1

패키지 기판(1210)의) 복수의 제1 인터커넥트들(1213) 및 (제2 패키지 기판(1220)의) 복수의 제2 인터커넥트들(1223)에 커플링된다. 일부 구현들에서, 복수의 패키지 인터커넥트들(1227)은 복수의 제2 패키지 인터커넥트들(1223) 및 복수의 패키지 인터커넥트들(1617)에 커플링된다. 복수의 패키지 인터커넥트들(1617)은 복수의 제1 인터커넥트들(1213)에 커플링된다.

[0118] [00137] 도 16은 PoP(package on package) 디바이스(1600)가 캡슐화 층(316)에 의해 적어도 부분적으로 캡슐화되는 것을 예시한다. 캡슐화 층(316)은 일부 구현들에서, 제1 캡슐화 층(1216)과 구분되고 별개일 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)을 포함할 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)과 동일하다. 따라서, 일부 구현들에서, 캡슐화 층(316)은 PoP(package on package) 디바이스(1600)를 캡슐화하고 PoP(package on package) 디바이스(1600) 내부에 로케이팅될 수 있다. 위의 개념은 캡슐화 층(316)과 제1 캡슐화 층(1216) 사이의 점선 경계(예를 들어, 라인)에 의해 도 16에 예시된다.

[0119] [00138] 캡 컨트롤러(1270)는 제1 다이(1211) 위에(예를 들어, 제1 다이(1211)의 최상단 표면 위에) 로케이팅된다. 특히, 캡 컨트롤러(1270)는 제1 패키지(1601)의 제1 다이(1211)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에 로케이팅된다. 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 패키지(1601)의 제1 다이(1211)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이의 최소 거리, 최소 공간 및/또는 최소 캡을 제공하도록 구성된다. 일부 구현들에서, 최소 거리, 최소 공간 및 최소 캡은, 제2 패키지 기판(1220)의 흠, 변형 및/또는 편향이 있는 경우에도, 제1 캡슐화 층(1216)이 제1 패키지(1601)의 제1 다이(1211)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에서 (예를 들어, 제조 프로세스 동안) 유동할 충분한 공간이 존재한다는 것을 보장한다. 따라서, 일부 구현들에서, 제1 다이(1211) 위에(예를 들어, 제1 다이(1211)의 최상단 표면 위에) 로케이팅되는 적어도 하나의 캡 컨트롤러(1270)는, 충분한 양의 제1 캡슐화 층(1216)이 제1 다이(1211)와 (제2 패키지(1202)의) 제2 패키지 기판(1220) 사이에 형성되는 것을 보장한다.

캡 컨트롤러를 포함하는 예시적인 PoP(package on package) 디바이스

[0120] [00139] 도 17은 제1 패키지(1701), 제2 패키지(1202) 및 캡 컨트롤러(1270)를 포함하는 다른 PoP(package on package) 디바이스(1700)를 예시한다. 제2 패키지(1202)는 제1 패키지(1701)에 커플링된다. 제1 패키지(1701)는 제1 접적 회로(IC) 패키지일 수 있다. PoP(package on package) 디바이스(1700)는 복수의 솔더 볼들(1251)을 통해 PCB(printed circuit board)(350)에 커플링된다. PoP(package on package) 디바이스(1700)는 제1 패키지(1701)가 다른 구성을 갖는 것을 제외하면, PoP(package on package) 디바이스(1600)와 유사하다. 특히, 제1 패키지(1701)는, 제1 패키지(1701)의 제1 다이(1211) 위에 하나의 캡슐화 층이 오버 몰딩되는 2개의 캡슐화 층들을 포함한다. PoP(package on package) 디바이스(1700)는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것에 임베딩될 수 있다.

[0121] [00140] 위에서 설명되고 아래서 추가로 설명되는 바와 같이, 일부 구현들에서, 캡 컨트롤러(1270)는, 캡슐화 층이 제1 패키지(1701)의 다이와 제2 패키지(1202)의 패키지 기판 사이의 공간 또는 캡에 제공(예를 들어, 형성)될 수 있도록 제1 패키지(1701)의 다이와 제2 패키지(1202)의 패키지 기판 사이에 충분한 거리, 공간 또는 캡이 존재하는 것을 보장하게 구성될 수 있다. 캡 컨트롤러(1270)는 선택적일 수 있다.

[0122] [00141] 제1 패키지(1701)는 제1 패키지 기판(1210), 제1 다이(1211), 제1 언더필(1214), 복수의 제1 솔더 볼들(1215), 제1 캡슐화 층(1216), 캡 컨트롤러(1270) 및 캡슐화 층(1716)을 포함한다. 따라서, 제1 패키지(1701)는 2개의 캡슐화 층들(예를 들어, 1216, 1716)을 포함한다. 일부 구현들에서, 제1 패키지(1701)는 또한 복수의 패키지 인터커넥트들(1627)을 포함할 수 있다. 복수의 패키지 인터커넥트들(1627)은 복수의 패키지 인터커넥트들(1617) 및 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다.

[0123] [00142] 캡슐화 층(1716)은 제1 다이(1211) 및 복수의 패키지 인터커넥트들(1627)을 적어도 부분적으로 캡슐화한다. 특히, 캡슐화 층(1716)은 제1 다이(1211) 위에 오버 몰딩된다. 즉, 캡슐화 층(1716)은 제1 다이(1211)의 표면(예를 들어, 후방 측 표면)을 캡슐화한다. 따라서, 캡슐화 층(1716)의 표면은 제1 다이(1211)의 표면(예를 들어, 후방 측 표면)과 실질적으로 동일 평면이 아니다. 제1 캡슐화 층(1216)은 캡 컨트롤러(1270) 및 복수의 패키지 인터커넥트들(1627)을 적어도 부분적으로 캡슐화한다. 제1 캡슐화 층(1216)은 캡슐화 층(1716) 위에 형성된다. 캡슐화 층(1716)은 제1 캡슐화 층(1216)과 동일한 물질 또는 상이한 물질일 수 있다.

[0124] [00143] 도 17은 PoP(package on package) 디바이스(1700)가 캡슐화 층(316)에 의해 적어도 부분적으로 캡슐화되는 것을 예시한다. 캡슐화 층(316)은 일부 구현들에서, 제1 캡슐화 층(1216)과 구분되고 별개일 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)을 포함할 수 있다. 일부 구현들에서, 캡슐화 층(316)

6)은 제1 캡슐화 층(1216)과 동일하다. 따라서, 일부 구현들에서, 캡슐화 층(316)은 PoP(package on package) 디바이스(1700)를 캡슐화하고 PoP(package on package) 디바이스(1700) 내부에 로케이팅될 수 있다. 위의 개념은 캡슐화 층(316)과 제1 캡슐화 층(1216) 사이의 점선 경계(예를 들어, 라인)에 의해 도 17에 예시된다.

[0126] [00144] 도 17에 도시된 바와 같이, 캡 컨트롤러(1270)는 캡슐화 층(1716) 위에 로케이팅된다. 특히, 캡 컨트롤러(1270)는 제1 패키지(1701)의 제1 다이(1211)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에 로케이팅된다. 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 패키지(1701)의 제1 다이(1211) 위의 캡슐화 층(1716)과 제2 패키지(1202)의 제2 패키지 기판(1220) 사이의 최소 거리, 최소 공간 및/또는 최소 캡을 제공하도록 구성된다. 일부 구현들에서, 최소 거리, 최소 공간 및 최소 캡은, 제2 패키지 기판(1220)의 휙, 변형 및/또는 편향이 있는 경우에도, 제1 캡슐화 층(1216)이 제1 패키지(1701)의 제1 다이(1211) 위의 캡슐화 층(1716)과 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에서 (예를 들어, 제조 프로세스 동안) 유동할 충분한 공간이 존재한다는 것을 보장한다. 따라서, 일부 구현들에서, 제1 다이(1211) 상의 캡슐화 층(1716) 위에 로케이팅되는 적어도 하나의 캡 컨트롤러(1270)는, 충분한 양의 제1 캡슐화 층(1216)이 제1 다이(1211) 위의 캡슐화 층(1716)과 (제2 패키지(1202)의) 제2 패키지 기판(1220) 사이에 형성되는 것을 보장한다.

[0127] [00145] 도 17은 캡 컨트롤러(1270)가 제1 다이(1211) 및 제2 패키지(1202)(예를 들어, 제2 패키지(1202)의 제2 패키지 기판(1220)) 어느 것과도 직접 물리적으로 접촉하지 않는다는 것을 예시한다. 도 17은 또한, 캡 컨트롤러(1270)가 제1 다이(1211) 위의 캡슐화 층(1716)과 제2 패키지(1202)(예를 들어, 제2 패키지(1202)의 제2 패키지 기판(1220)의 하단 표면) 사이의 캡(1290)(예를 들어, 최소 캡)을 제공하도록 구성된다는 것을 예시한다. 일부 구현들에서, 제1 다이(1211)와 제2 패키지(1202)(예를 들어, 제2 패키지(1202)의 제2 패키지 기판(1220)) 사이의 캡은 캡(1290) 및 제1 다이(1211) 위의 캡슐화 층(1716)의 두께를 포함할 수 있다.

캡 컨트롤러를 포함하는 예시적인 PoP(package on package) 디바이스

[0128] [00146] 도 18은 제1 패키지(1801), 제2 패키지(1202) 및 캡 컨트롤러(1270)를 포함하는 다른 PoP(package on package) 디바이스(1800)를 예시한다. 제2 패키지(1202)는 제1 패키지(1801)에 커플링된다. PoP(package on package) 디바이스(1800)는 복수의 솔더 볼들(1251)을 통해 PCB(printed circuit board)(350)에 커플링된다. PoP(package on package) 디바이스(1800)는 제1 패키지(1801)가 다른 구성을 갖는 것을 제외하면, PoP(package on package) 디바이스(1600)와 유사하다. 특히, 제1 패키지(1801)는 WLP(wafer level package)를 포함한다. PoP(package on package) 디바이스(1800)는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것에 임베딩될 수 있다.

[0129] [00147] 위에서 설명되고 아래서 추가로 설명되는 바와 같이, 일부 구현들에서, 캡 컨트롤러(1270)는, 캡슐화 층이 제1 패키지(1801)의 다이와 제2 패키지(1202)의 패키지 기판 사이의 공간 또는 캡에 제공(예를 들어, 형성)될 수 있도록 제1 패키지(1801)의 다이와 제2 패키지(1202)의 패키지 기판 사이에 충분한 거리, 공간 또는 캡이 존재하는 것을 보장하게 구성될 수 있다. 캡 컨트롤러(1270)는 선택적일 수 있다.

[0130] [00148] 제1 패키지(1801)는 FOWLP(fan out wafer level package)를 포함할 수 있다. 제1 패키지(1801)는 제1 재분배 부분(1810), 제1 다이(1811), 제1 캡슐화 층(1216) 및 캡슐화 층(1816)을 포함한다. 제1 재분배 부분(1810)은 (예를 들어, 상이한 I/O 피치들을 갖는 디바이스로 또는 이러한 디바이스로부터의 시그널링을 패닝(fanning) 또는 라우팅을 위한) 팬 아웃 부분(fan out portion)일 수 있다. 제1 패키지(1801)는 또한 복수의 패키지 인터커넥트들(1827)을 포함할 수 있다. 복수의 패키지 인터커넥트들(1827)은 복수의 패키지 인터커넥트들(1817) 및 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다. 복수의 패키지 인터커넥트들(1827)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함할 수 있다.

[0131] [00149] 제1 재분배 부분(1810)은 적어도 하나의 유전체 층(1812), 적어도 하나의 재분배 층(1815) 및 적어도 하나의 UBM(under bump metallization) 층(1819)을 포함한다. 재분배 층(예를 들어, 1815)은 다이의 I/O 패드들로부터 패키지의 다른 부분들로의 시그널링을 재분배할 수 있다. 적어도 하나의 재분배 층(1815)은 적어도 하나의 UBM 층(1819)에 커플링된다. 적어도 하나의 UBM 층(1819)은 복수의 솔더 볼들(1251)에 커플링된다. 일부 구현들에서, 적어도 하나의 UBM 층(1819)은 선택적일 수 있다. 그러한 경우들에서, 복수의 솔더 볼들(1251)은 적어도 하나의 재분배 층(1815)에 커플링될 수 있다.

[0132] [00150] 제1 다이(1811)는 복수의 트랜지스터들 및/또는 다른 전자 컴포넌트들을 포함하는 집적 회로(IC)일 수 있다. 제1 다이(1811)는 로직 다이 및/또는 메모리 다이일 수 있다. 제1 다이(1811)는 베어 다이(bare die)일 수 있다. 제1 다이(1811)는 패드(1813)를 포함할 수 있다. 제1 다이(1811)는 제1 재분배 부분(1810)에 커플링

된다. 특히, 제1 다이(1811)의 패드(1813)는 적어도 하나의 재분배 층(1815)에 커플링된다.

[0134] [00151] 캡슐화 층(1816)은 제1 다이(1811) 및 복수의 패키지 인터커넥트들(1827)을 적어도 부분적으로 커플링한다. 예를 들어, 캡슐화 층(1816)은 제1 다이(1811) 및 복수의 패키지 인터커넥트들(1817)을 적어도 부분적으로 커플링할 수 있다. 일부 구현들에서, 캡슐화 층(1816)의 표면은 제1 다이(1811)의 표면(예를 들어, 후면 표면)과 실질적으로 동일 평면일 수 있다. 제1 캡슐화 층(1216)은 제1 다이(1811) 및 캡슐화 층(1816) 위에 형성된다. 캡슐화 층(1816)은 제1 캡슐화 층(1216)과 동일한 물질 또는 상이한 물질일 수 있다. 제1 캡슐화 층(1216)은 캡 컨트롤러(1270) 및 복수의 패키지 인터커넥트들(1827)을 적어도 부분적으로 커플링한다.

[0135] [00152] 제2 패키지(1202)는, 복수의 패키지 인터커넥트들(1227) 및 복수의 패키지 인터커넥트들(1817)을 포함하는 복수의 패키지 인터커넥트들(1827)을 통해 제1 패키지(1801)에 커플링된다. 복수의 패키지 인터커넥트들(1827)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함할 수 있다. 복수의 패키지 인터커넥트들(1827)은 제1 재분배 부분(1810) 및 제2 패키지 기판(1220)에 커플링된다. 특히, 복수의 패키지 인터커넥트들(1827)은 (제1 재분배 부분(1810)의) 적어도 하나의 재분배 층(1815) 및 (제2 패키지 기판(1220)의) 복수의 제2 인터커넥트들(1223)에 커플링된다. 일부 구현들에서, 복수의 패키지 인터커넥트들(1227)은 복수의 제2 패키지 인터커넥트들(1223) 및 복수의 패키지 인터커넥트들(1817)에 커플링된다. 복수의 패키지 인터커넥트들(1817)은 제1 재분배 부분(1810)의 적어도 하나의 재분배 층(1815)에 커플링된다.

[0136] [00153] 도 18은 PoP(package on package) 디바이스(1800)가 캡슐화 층(316)에 의해 적어도 부분적으로 커플링되는 것을 예시한다. 캡슐화 층(316)은 일부 구현들에서, 제1 캡슐화 층(1216)과 구분되고 별개일 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)을 포함할 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)과 동일하다. 따라서, 일부 구현들에서, 캡슐화 층(316)은 PoP(package on package) 디바이스(1800)를 캡슐화하고 PoP(package on package) 디바이스(1800) 내부에 로케이팅될 수 있다. 위의 개념은 캡슐화 층(316)과 제1 캡슐화 층(1216) 사이의 점선 경계(예를 들어, 라인)에 의해 도 18에 예시된다.

[0137] [00154] 캡 컨트롤러(1270)는 제1 다이(1811)(예를 들어, 제1 다이(1811)의 후방 측) 위에 로케이팅된다. 특히, 캡 컨트롤러(1270)는 제1 패키지(1801)의 제1 다이(1811)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에 로케이팅된다. 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 패키지(1801)의 제1 다이(1811)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이의 최소 거리, 최소 공간 및/또는 최소 캡을 제공하도록 구성된다. 일부 구현들에서, 최소 거리, 최소 공간 및 최소 캡은, 제2 패키지 기판(1220)의 휩, 변형 및/또는 편향이 있는 경우에도, 제1 캡슐화 층(1216)이 제1 패키지(1801)의 제1 다이(1811)와 제2 패키지(1202)의 제2 패키지 기판(1220) 사이에서 (예를 들어, 제조 프로세스 동안) 유동할 충분한 공간이 존재한다는 것을 보장한다. 따라서, 일부 구현들에서, 제1 다이(1811) 위에(예를 들어, 제1 다이(1811)의 후방 측 위에) 로케이팅되는 적어도 하나의 캡 컨트롤러(1270)는, 충분한 양의 제1 캡슐화 층(1216)이 제1 다이(1811)와 (제2 패키지(1202)의) 제2 패키지 기판(1220) 사이에 형성되는 것을 보장한다.

캡 컨트롤러를 포함하는 예시적인 PoP(package on package) 디바이스

[0138] [00155] 도 19는 제1 패키지(1701), 제2 패키지(1902) 및 캡 컨트롤러(1270)를 포함하는 다른 PoP(package on package) 디바이스(1900)를 예시한다. 제2 패키지(1902)는 제1 패키지(1701)에 커플링된다. 제1 패키지(1701)는 제1 접적 회로(IC) 패키지일 수 있다. PoP(package on package) 디바이스(1900)는 복수의 솔더 볼들(1251)을 통해 PCB(printed circuit board)(350)에 커플링된다. PoP(package on package) 디바이스(1900)는, 제2 패키지(1902)가 다른 구성을 갖는 것을 제외하면, 도 17의 PoP(package on package) 디바이스(1700)와 유사하다. 특히, 제2 패키지(1902)는 WLP(wafer level package)를 포함한다. PoP(package on package) 디바이스(1900)는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것에 임베딩될 수 있다.

[0139] [00156] 아래에서 추가로 설명될 바와 같이, 일부 구현들에서, 캡 컨트롤러(1270)는, 캡슐화 층이 제1 패키지(1701)의 다이와 제2 패키지(1902)의 패키지 기판 사이의 공간 또는 캡에 제공(예를 들어, 형성)될 수 있도록 제1 패키지(1701)의 다이와 제2 패키지(1902)의 재분배 부분 사이에 충분한 거리, 공간 또는 캡이 존재하는 것을 보장하게 구성될 수 있다. 캡 컨트롤러(1270)는 선택적일 수 있다.

[0140] [00157] 제1 패키지(1701)는 제1 패키지 기판(1210), 제1 다이(1211), 제1 언더필(1214), 복수의 제1 솔더 볼들(1215), 제1 캡슐화 층(1216), 캡 컨트롤러(1270) 및 캡슐화 층(1716)을 포함한다. 따라서, 제1 패키지(1701)는 2개의 캡슐화 층들(예를 들어, 1216, 1716)을 포함한다. 일부 구현들에서, 제1 패키지(1701)는 또한 복수의 패키지 인터커넥트들(1627)을 포함할 수 있다. 복수의 패키지 인터커넥트들(1627)은 복수의 패키지 인

터커넥트들(1617) 및 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다.

[0142] [00158] 제2 패키지(1902)는 FOWLP(fan out wafer level package)를 포함할 수 있다. 제2 패키지(1902)는 제2 재분배 부분(1920), 제2 다이(1921) 및 제2 캡슐화 층(1926)을 포함한다. 제2 재분배 부분(1920)은 (예를 들어, 상이한 I/O 피치들을 갖는 디바이스로 또는 이러한 디바이스로부터의 시그널링을 패닝 또는 라우팅을 위한) 웬 아웃 부분일 수 있다.

[0143] [00159] 제2 재분배 부분(1920)은 적어도 하나의 유전체 층(1922), 적어도 하나의 재분배 층(1925) 및 적어도 하나의 UBM(under bump metallization) 층(1929)을 포함한다. 재분배 층(예를 들어, 1925)은 다이의 I/O 패드들로부터 패키지의 다른 부분들로의 시그널링을 재분배할 수 있다. 적어도 하나의 재분배 층(1925)은 적어도 하나의 UBM 층(1929)에 커플링된다. 적어도 하나의 UBM 층(1929)은 복수의 패키지 인터커넥트들(1227)(예를 들어, 솔더 볼들)에 커플링된다. 일부 구현들에서, 적어도 하나의 UBM 층(1929)은 선택적일 수 있다. 그러한 경우들에서, 복수의 패키지 인터커넥트들(1227)(예를 들어, 솔더 볼들)은 적어도 하나의 재분배 층(1925)에 커플링될 수 있다.

[0144] [00160] 제2 다이(1921)는 복수의 트랜지스터들 및/또는 다른 전자 컴포넌트들을 포함하는 집적 회로(IC)일 수 있다. 제2 다이(1921)는 로직 다이 및/또는 메모리 다이일 수 있다. 제2 다이(1921)는 베어 다이일 수 있다. 제2 다이(1921)는 패드(1923)를 포함할 수 있다. 제2 다이(1921)는 제2 재분배 부분(1920)에 커플링된다. 특히, 제2 다이(1921)의 패드(1923)는 적어도 하나의 재분배 층(1925)에 커플링된다.

[0145] [00161] 제2 캡슐화 층(1926)은 제2 다이(1921)를 적어도 부분적으로 캡슐화한다. 제2 캡슐화 층(1926)은 제2 재분배 부분(1920)에 커플링된다. 상이한 구현들은 제2 캡슐화 층(1926)에 대해 상이한 재료들을 사용할 수 있다. 예를 들어, 제2 캡슐화 층(1926)은 몰드 및/또는 에폭시 필을 포함할 수 있다.

[0146] [00162] 도 19에 도시된 바와 같이, 캡 컨트롤러(1270)는 캡슐화 층(1716) 위에 로케이팅된다. 특히, 캡 컨트롤러(1270)는 제1 패키지(1701)의 제1 다이(1211)와 제2 패키지(1902)의 제2 재분배 부분(1920) 사이에 로케이팅된다. 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 패키지(1701)의 제1 다이(1211) 위의 캡슐화 층(1716)과 제2 패키지(1902)의 제2 재분배 부분(1920) 사이의 최소 거리, 최소 공간 및/또는 최소 캡을 제공하도록 구성된다. 일부 구현들에서, 최소 거리, 최소 공간 및 최소 캡은, 제2 재분배 부분(1920)의 흄, 변형 및/또는 편향이 있는 경우에도, 제1 캡슐화 층(1216)이 제1 패키지(1701)의 제1 다이(1211) 위의 캡슐화 층(1716)과 제2 패키지(1902)의 제2 재분배 부분(1920) 사이에서 (예를 들어, 제조 프로세스 동안) 유동할 충분한 공간이 존재한다는 것을 보장한다. 따라서, 일부 구현들에서, 제1 다이(1211) 상의 캡슐화 층(1716) 위에 로케이팅되는 적어도 하나의 캡 컨트롤러(1270)는, 충분한 양의 제1 캡슐화 층(1216)이 제1 다이(1211) 위의 캡슐화 층(1716)과 (제2 패키지(1902)의) 제2 재분배 부분(1920) 사이에 형성되는 것을 보장한다.

[0147] [00163] 도 19는 PoP(package on package) 디바이스(1900)가 캡슐화 층(316)에 의해 적어도 부분적으로 캡슐화되는 것을 예시한다. 캡슐화 층(316)은 일부 구현들에서, 제1 캡슐화 층(1216)과 구분되고 별개일 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)과 동일하다. 따라서, 일부 구현들에서, 캡슐화 층(316)은 PoP(package on package) 디바이스(1900)를 캡슐화하고 PoP(package on package) 디바이스(1900) 내부에 로케이팅될 수 있다. 위의 개념은 캡슐화 층(316)과 제1 캡슐화 층(1216) 사이의 점선 경계(예를 들어, 라인)에 의해 도 19에 예시된다.

[0148] [00164] 도 19는 캡 컨트롤러(1270)가 제1 다이(1211) 및 제2 패키지(1902)(예를 들어, 제2 패키지(1902)의 제2 재분배 부분(1920)) 어느 것과도 직접 물리적으로 접촉하지 않는다는 것을 예시한다. 일부 구현들에서, 캡슐화 층(1716)의 표면은 예를 들어, 도 16에 설명된 바와 같이 제1 다이(1211)의 표면(예를 들어, 최상단 표면)과 동일 평면일 수 있다. 그러한 경우들에서, 캡 컨트롤러(1270)는 제1 다이(1211) 위에 로케이팅되고 제1 다이(1211)와 물리적으로 접촉할 수 있다.

[0149] [00165] 도 19는 또한, 캡 컨트롤러(1270)가 제1 다이(1211) 위의 캡슐화 층(1716)과 제2 패키지(1902)(예를 들어, 제2 패키지(1902)의 제2 재분배 부분(1920)의 하단 표면) 사이의 캡(1290)(예를 들어, 최소 캡)을 제공하도록 구성된다는 것을 예시한다. 일부 구현들에서, 제1 다이(1211)와 제2 패키지(1902)(예를 들어, 제2 패키지(1902)의 제2 재분배 부분(1920)) 사이의 캡은 캡(1290) 및 제1 다이(1211) 위의 캡슐화 층(1716)의 두께를 포함할 수 있다.

캡 컨트롤러를 포함하는 예시적인 PoP(package on package) 디바이스

[0150] [00166] 도 20은 제1 패키지(2001), 제2 패키지(1902) 및 캡 컨트롤러(1270)를 포함하는 다른 PoP(package on

package) 디바이스(2000)를 예시한다. 제2 패키지(1902)는 제1 패키지(2001)에 커플링된다. PoP(package on package) 디바이스(2000)는 복수의 솔더 볼들(1251)을 통해 PCB(printed circuit board)(350)에 커플링된다. PoP(package on package) 디바이스(2000)는 제1 패키지(2001)가 다른 구성을 갖는 것을 제외하면, PoP(package on package) 디바이스(1900)와 유사하다. 특히, 제1 패키지(2001)는 WLP(wafer level package)를 포함한다. 따라서, 도 20의 PoP(package on package) 디바이스(2000)는 2개의 WLP(wafer level package)들을 포함한다. PoP(package on package) 디바이스(2000)는 본 개시에서 설명된 통합된 디바이스들 중 임의의 것에 임베딩될 수 있다.

[0152] [00167] 위에서 설명되고 아래에서 추가로 설명될 바와 같이, 일부 구현들에서, 캡 컨트롤러(1270)는, 캡슐화 층이 제1 패키지(2001)의 다이와 제2 패키지(1902)의 패키지 기판 사이의 공간 또는 캡에 제공(예를 들어, 형성)될 수 있도록 제1 패키지(2001)의 다이와 제2 패키지(1902)의 재분배 부분 사이에 충분한 거리, 공간 또는 캡이 존재하는 것을 보장하게 구성될 수 있다. 캡 컨트롤러(1270)는 선택적일 수 있다.

[0153] [00168] 제1 패키지(2001)는 FOWLP(fan out wafer level package)를 포함할 수 있다. 제1 패키지(2001)는 제1 재분배 부분(1810), 제1 다이(1811), 제1 캡슐화 층(1216), 캡슐화 층(1816) 및 복수의 인터커넥트들(2017)(예를 들어, 비아들)을 포함한다. 제1 재분배 부분(1810)은 (예를 들어, 상이한 I/O 피치들을 갖는 디바이스로 또는 이러한 디바이스로부터의 시그널링을 패닝 또는 라우팅을 위한) 팬 아웃 부분일 수 있다. 제1 패키지(2001)는 또한 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다.

[0154] [00169] 제1 재분배 부분(1810)은 적어도 하나의 유전체 층(1812), 적어도 하나의 재분배 층(1815) 및 적어도 하나의 UBM(under bump metallization) 층(1819)을 포함한다. 재분배 층(예를 들어, 1815)은 다이의 I/O 패드들로부터 패키지의 다른 부분들로의 시그널링을 재분배할 수 있다. 적어도 하나의 재분배 층(1815)은 적어도 하나의 UBM 층(1819)에 커플링된다. 적어도 하나의 UBM 층(1819)은 복수의 솔더 볼들(1251)에 커플링된다. 일부 구현들에서, 적어도 하나의 UBM 층(1819)은 선택적일 수 있다. 그러한 경우들에서, 복수의 솔더 볼들(1251)은 적어도 하나의 재분배 층(1815)에 커플링될 수 있다.

[0155] [00170] 제1 다이(1811)는 복수의 트랜ジ스터들 및/또는 다른 전자 컴포넌트들을 포함하는 집적 회로(IC)일 수 있다. 제1 다이(1811)는 로직 다이 및/또는 메모리 다이일 수 있다. 제1 다이(1811)는 베어 다이(bare die)일 수 있다. 제1 다이(1811)는 패드(1813)를 포함할 수 있다. 제1 다이(1811)는 제1 재분배 부분(1810)에 커플링된다. 특히, 제1 다이(1811)의 패드(1813)는 적어도 하나의 재분배 층(1815)에 커플링된다.

[0156] [00171] 복수의 인터커넥트들(2017)은 캡슐화 층(1816)을 가로지른다. 복수의 인터커넥트들(2017)은 제1 재분배 부분(1810)에 커플링된다. 특히, 복수의 인터커넥트들(2017)은 적어도 하나의 재분배 층(1815)에 커플링된다.

[0157] [00172] 캡슐화 층(1816)은 제1 다이(1811) 및 복수의 인터커넥트들(2017)을 적어도 부분적으로 캡슐화한다. 일부 구현들에서, 캡슐화 층(1816)의 표면은 제1 다이(1811)의 표면(예를 들어, 후면 표면)과 실질적으로 동일 평면일 수 있다. 제1 캡슐화 층(1216)은 제1 다이(1811) 및 캡슐화 층(1816) 위에 형성된다. 캡슐화 층(1816)은 제1 캡슐화 층(1216)과 동일한 물질 또는 상이한 물질일 수 있다. 제1 캡슐화 층(1216)은 캡 컨트롤러(1270) 및 복수의 인터커넥트들(1227)을 적어도 부분적으로 캡슐화한다.

[0158] [00173] 제2 패키지(1902)는 FOWLP(fan out wafer level package)를 포함할 수 있다. 제2 패키지(1902)는 제2 재분배 부분(1920), 제2 다이(1921) 및 제2 캡슐화 층(1926)을 포함한다. 제2 재분배 부분(1920)은 (예를 들어, 상이한 I/O 피치들을 갖는 디바이스로 또는 이러한 디바이스로부터의 시그널링을 패닝 또는 라우팅을 위한) 팬 아웃 부분일 수 있다.

[0159] [00174] 제2 패키지(1902)는 복수의 패키지 인터커넥트들(1227)을 통해 제1 패키지(2001)에 커플링된다. 복수의 패키지 인터커넥트들(1227)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함할 수 있다. 복수의 패키지 인터커넥트들(1227)은 제2 재분배 부분(1920) 및 제1 패키지(2001)의 복수의 인터커넥트들(2017)(예를 들어, 비아들)에 커플링된다. 특히, 복수의 패키지 인터커넥트들(1227)은 UBM 층(1929) 및 제1 패키지(2001)의 복수의 인터커넥트들(2017)(예를 들어, 비아들)에 커플링된다. 일부 구현들에서, 복수의 패키지 인터커넥트들(1227)은 재분배 층(1925) 및 제1 패키지(2001)의 복수의 인터커넥트들(2017)(예를 들어, 비아들)에 커플링된다.

[0160] [00175] 캡 컨트롤러(1270)는 제1 다이(1811) 위에(예를 들어, 제1 다이(1811)의 후방 측 위에) 로케이팅된다. 특히, 캡 컨트롤러(1270)는 제1 패키지(2001)의 제1 다이(1811)와 제2 패키지(1902)의 제2 재분배 부분(1920)

사이에 로케이팅된다. 일부 구현들에서, 캡 컨트롤러(1270)는, 제1 패키지(2001)의 제1 다이(1811)와 제2 패키지(1902)의 제2 재분배 부분(1920) 사이의 최소 거리, 최소 공간 및/또는 최소 캡을 제공하도록 구성된다. 일부 구현들에서, 최소 거리, 최소 공간 및 최소 캡은, 제2 재분배 부분(1920)의 흰, 변형 및/또는 편향이 있는 경우에도, 제1 캡슐화 층(1216)이 제1 패키지(2001)의 제1 다이(1811)와 제2 패키지(1902)의 제2 재분배 부분(1920) 사이에서 (예를 들어, 제조 프로세스 동안) 유동할 충분한 공간이 존재한다는 것을 보장한다. 따라서, 일부 구현들에서, 제1 다이(1811) 위에(예를 들어, 제1 다이(1811)의 후방 측 표면 위에) 로케이팅되는 적어도 하나의 캡 컨트롤러(1270)는, 충분한 양의 제1 캡슐화 층(1216)이 제1 다이(1811)와 (제2 패키지(1902)의) 제2 재분배 부분(1920) 사이에 형성되는 것을 보장한다.

[0161] [00176] 도 20은 PoP(package on package) 디바이스(2000)가 캡슐화 층(316)에 의해 적어도 부분적으로 캡슐화 되는 것을 예시한다. 캡슐화 층(316)은 일부 구현들에서, 제1 캡슐화 층(1216)과 구분되고 별개일 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)을 포함할 수 있다. 일부 구현들에서, 캡슐화 층(316)은 제1 캡슐화 층(1216)과 동일하다. 따라서, 일부 구현들에서, 캡슐화 층(316)은 PoP(package on package) 디바이스(2000)를 캡슐화하고 PoP(package on package) 디바이스(2000) 내부에 로케이팅될 수 있다. 위의 개념은 캡슐화 층(316)과 제1 캡슐화 층(1216) 사이의 점선 경계(예를 들어, 라인)에 의해 도 20에 예시된다.

[0162] [00177] 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스의 다양한 예들을 설명하였지만, 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제조하기 위한 다양한 프로세스들 및 방법들이 이제 설명될 것이다.

캡 컨트롤러를 포함하는 패키지를 제조하기 위한 예시적인 시퀀스

[0164] [00178] 일부 구현들에서, 캡 컨트롤러를 포함하는 패키지를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 21(도 21a 내지 도 21c를 포함함)은 캡 컨트롤러를 포함하는 패키지를 제공/제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 21a 내지 도 21c의 시퀀스는 도 12 및 도 16 내지 도 19의 캡 컨트롤러를 포함하는 패키지(예를 들어, 접착 회로(IC) 패키지) 및/또는 본 개시에서 설명된 다른 패키지를 제조하는 테 사용될 수 있다. 도 21a 내지 도 21c는 도 16의 패키지를 제공/제조하는 맥락에서 설명될 것이다. 특히, 도 21a 내지 도 21c는 도 16의 제1 패키지(1601)를 제조하는 맥락에서 설명될 것이다.

[0165] [00179] 도 21a 내지 도 21c의 시퀀스는 패키지를 제공하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초파의 스테이지들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0166] [00180] 스테이지 1은, 도 21a에 도시된 바와 같이, 제공되는 제1 유전체 층(2112)을 예시한다. 제1 유전체 층(2112)은 코어 층일 수 있다. 제1 유전체 층(2112)은 공급자에 의해 형성되거나 제공될 수 있다.

[0167] [00181] 스테이지 2는 제1 유전체 층(2112)에 형성된 적어도 하나의 캐비티(2101)를 예시한다. 상이한 구현들은 제1 유전체 층(2112)의 캐비티(2101)를 상이하게 형성할 수 있다. 레이저 프로세스 및/또는 포토-리소그래피 프로세스가 캐비티(2101)를 형성하는 데 사용될 수 있다.

[0168] [00182] 스테이지 3은 제1 유전체 층(2112)에 그리고/또는 그 상에 형성된 제1 금속층(2104) 및 제2 금속층(2106)을 예시한다. 제1 금속층(2104) 및 제2 금속층(2106)은 적어도 도 16에서 위에서 설명된 바와 같이 복수의 제1 인터커넥트들(1213)을 표현할 수 있다.

[0169] [00183] 스테이지 4는 제1 유전체 층(2112) 상에 형성된 제2 유전체 층(2122) 및 제3 유전체 층(2132)을 예시한다.

[0170] [00184] 스테이지 5는 제2 유전체 층(2122)에 형성된 적어도 하나의 캐비티(2105) 및 제3 유전체 층(2132)에 형성된 적어도 하나의 캐비티(2107)를 예시한다. 상이한 구현들이 제2 유전체 층(2122)에 캐비티(2105)를 형성하고 제3 유전체 층(2132)에 캐비티(2107)를 상이하게 형성할 수 있다. 레이저 프로세스 및/또는 포토-리소그래피 프로세스가 캐비티(2105) 및/또는 캐비티(2107)를 형성하는 데 사용될 수 있다.

[0171] [00185] 스테이지 6은 제2 유전체 층(2122)에 그리고/또는 그 상에 형성된 제3 금속층(2108), 제3 유전체 층(2132)에 그리고/또는 그 상에 형성된 제4 금속층(2110)을 예시한다. 제3 금속층(2108) 및 제4 금속층(2110)은 적어도 도 16에서 위에서 설명된 바와 같이 복수의 제1 인터커넥트들(1213)을 나타낼 수 있다. 스테이지 6은 적어도 하나의 유전체 층 및 복수의 제1 인터커넥트들을 포함하는 패키지 기판(예를 들어, 제1 패키지 기판(1210))을 표현할 수 있다.

- [0172] [00186] 스테이지 7은 유전체 층(1212) 위에 형성된 제1 솔더 레지스트 층(1280) 및 유전체 층(1212) 위에 형성된 제2 솔더 레지스트 층(1282)을 예시한다. 유전체 층(1212)은 제1 유전체 층(2112), 제2 유전체 층(2122) 및 제3 유전체 층(2132)을 집합적으로 표현할 수 있다. 스테이지 7은 유전체 층(1212), 복수의 제1 인터커넥트들(1213), 제1 솔더 레지스트 층(1280) 및 제2 솔더 레지스트 층(1282)을 포함하는 패키지 기판(예를 들어, 제1 패키지 기판(1210))을 표현할 수 있다.
- [0173] [00187] 스테이지 8은, 도 21b에 도시된 바와 같이, 제1 패키지 기판(1210)에 커플링된 복수의 솔더 볼들(1251)을 예시한다. 특히, 복수의 솔더 볼들(1252)은 복수의 제1 인터커넥트들(1213)에 커플링된다.
- [0174] [00188] 스테이지 9는 복수의 제1 솔더 볼들(1215)을 통해 제1 패키지 기판(1210)에 커플링되는 제1 다이(1211)를 예시한다. 상이한 구현들은 (예를 들어, 인터커넥트 필라들을 사용함으로써) 제1 다이(1211)를 제1 패키지 기판(1210)에 상이하게 커플링할 수 있다. 일부 구현들에서, 리플로우 프로세스(예를 들어, 첨부착 리플로우 프로세스)가 제1 다이(1211)를 제1 패키지 기판(1210)에 커플링하기 위해 사용될 수 있다. 일부 구현들에서, 리플렉스 프로세스가 리플로우 프로세스 이후에 사용될 수 있다.
- [0175] [00189] 스테이지 10은 제1 다이(1211)와 제1 패키지 기판(1210) 사이에 제공된 제1 언더필(1214)을 예시한다. 제1 언더필(1214)은 복수의 제1 솔더 볼들(1215)을 적어도 부분적으로 둘러쌀 수 있다. 일부 구현들에서, 제1 언더필(1214)을 제공하는 것은 언더필 분배 프로세스를 포함한다.
- [0176] [00190] 스테이지 11은, 도 21c에 도시된 바와 같이, 제1 패키지 기판(1210) 위에 제공되는(예를 들어, 형성되는) 복수의 패키지 인터커넥트들(1617)을 예시한다. 복수의 패키지 인터커넥트들(1617)은 솔더 인터커넥트를 포함할 수 있다.
- [0177] [00191] 스테이지 12는 제1 다이(1211), 제1 패키지 기판(1210) 및 복수의 패키지 인터커넥트들(1617) 위에 적어도 부분적으로 형성된 캡슐화 층(1616)을 예시한다. 일부 구현들에서, 캡슐화 층(1616)은 제1 다이(1211) 및 복수의 패키지 인터커넥트들(1617)을 적어도 부분적으로 캡슐화한다. 일부 구현들에서, 제1 다이(1211)는 캡슐화 층(1616)에 의해 완전히 캡슐화되고 캡슐화 층(1616)은 캡슐화 층(1616)의 최상단 표면이 제1 다이(1211)의 표면(예를 들어, 후방 측 표면)과 실질적으로 동일 평면이 되도록 그라인딩된다(grinded).
- [0178] [00192] 스테이지 13은 캡슐화 층(1616)에 형성된 적어도 하나의 캐비티(2116)을 예시한다. 캐비티(2116)는 복수의 패키지 인터커넥트들(1617)을 적어도 부분적으로 노출시키도록 형성될 수 있다. 레이저 프로세스 및/또는 포토-리소그래피 프로세스가 캐비티(2116)를 형성하는 데 사용될 수 있다.
- [0179] [00193] 스테이지 14는 제1 다이(1211)에(예를 들어, 제1 다이(1211)의 후방 측 표면에) 커플링된 적어도 하나의 캡 컨트롤러(1270)를 예시한다. 스테이지 14는 일부 구현들에서, 제1 패키지 기판(1210), 제1 다이(1211), 복수의 패키지 인터커넥트들(1617), 캡슐화 층(1616) 및 적어도 하나의 캡 컨트롤러(1270)를 포함하는 제1 패키지(1601)를 예시한다. 일부 구현들에서, 적어도 하나의 캡 컨트롤러(1270)는 제1 다이(1211) 상에 증착된다.
- [0180] [00194] 일부 구현들에서, 여러 개의 제1 패키지들이 웨이퍼 상에서 동시에 제조되고, 개별화(singulation) 프로세스가 개별 패키지로 웨이퍼를 절단하기 위해 수행된다.
- [0181] **캡 컨트롤러를 포함하는 PoP(Package on Package) 디바이스를 제조하기 위한 예시적인 시퀀스**
- [0182] [00195] 일부 구현들에서, 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 22는 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제공/제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 22의 시퀀스는 도 12 및 도 16 내지 도 17의 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스 및/또는 본 개시에서 설명된 다른 PoP(package on package) 디바이스들을 제조하는 데 사용될 수 있다. 도 22는 도 12의 PoP(package on package) 디바이스를 제공/제조하는 맥락에서 설명될 것이다.
- [0183] [00196] 도 22의 시퀀스는 PoP(package on package) 디바이스를 제공하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과의 스테이지들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.
- [0184] [00197] 스테이지 1은 도 22에 도시된 바와 같이, 제공되는 제1 패키지(1201)를 예시한다. 제1 패키지(1201)는 제1 패키지 기판(1210), 제1 다이(1211), 제1 언더필(1214) 및 캡 컨트롤러(1270)를 포함한다. 도 21a 내지 도 21c는 제1 패키지(1201)를 제조하기 위한 시퀀스의 예를 예시한다.

- [0185] [00198] 스테이지 2는 복수의 패키지 인터커넥트들(1227)을 통해 제1 패키지(1201)에 커플링되는 제2 패키지(1202)를 예시한다. 제2 패키지(1202)는 제2 패키지 기판(1220), 제2 다이(1221), 제2 언더필(1224) 및 제2 캡슐화 층(1226)을 포함한다. 제2 패키지(1202)는 또한 복수의 패키지 인터커넥트들(1227)을 포함할 수 있다. 복수의 패키지 인터커넥트들(1227)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함한다.
- [0186] [00199] 스테이지 3은, 제1 패키지(1201)와 제2 패키지(1202) 사이에 제공된(예를 들어, 형성된) 제1 캡슐화 층(1216)을 예시한다. 스테이지 3은 제1 패키지(1201) 및 제2 패키지(1202)를 포함하는 PoP(package on package) 디바이스(1200)를 예시할 수 있다. 제1 패키지(1201)는 제1 다이(1211), 캡 컨트롤러(1270) 및 제1 캡슐화 층(1216)을 포함한다. 제2 패키지(1202)는 제2 패키지 기판(1220)을 포함할 수 있다.
- [0187] [00200] 스테이지 3에 도시된 바와 같이, 제1 캡슐화 층(1216)이 제1 패키지(1201)의 제1 다이(1211)의 후방 측 표면과 제2 패키지(1202)의 제2 패키지 기판(1220)의 하단 표면 사이에 형성된다.
- [0188] 캡 컨트롤러를 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**
- [0189] [00201] 일부 구현들에서, 캡 컨트롤러를 포함하는 패키지를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 23(도 23a 및 도 23b를 포함함)은 캡 컨트롤러를 포함하는 패키지를 제공/제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 23a 및 도 23b의 시퀀스는, 도 18 내지 도 20의 캡 컨트롤러를 포함하는 패키지(예를 들어, 접착 회로(IC 패키지) 및/또는 본 개시에서 설명된 다른 패키지를 제조하는 데 사용될 수 있다. 도 23a 및 도 23b는 도 20의 패키지를 제공/제조하는 맥락에서 설명될 것이다. 특히, 도 23a 및 도 23b는 도 20의 제1 패키지(2001)를 제조하는 맥락에서 설명될 것이다. 도 23a 및 도 23b는 FOWLP(fan out wafer level package)를 제조하는 데 사용될 수 있다.
- [0190] [00202] 도 23a 및 도 23b의 시퀀스는 패키지를 제공하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과의 스테이지들을 결합할 수 있다는 것의 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.
- [0191] [00203] 스테이지 1은, 도 23a에 도시된 바와 같이, 캐리어(2300)에 커플링된 제1 다이(1811)를 예시한다. 제1 다이(1811)는 패드(1813) 및 적어도 하나의 패시베이션 층(1814)을 포함한다. 캐리어(2300)는 접착 테이프 층 일 수 있다.
- [0192] [00204] 스테이지 2는 제1 다이(1811) 위에 형성된 캡슐화 층(1816)을 예시한다. 캡슐화 층(1816)은 제1 다이(1811)를 적어도 부분적으로 캡슐화할 수 있다. 캡슐화 층(1816)은, 캡슐화 층(1816)의 표면이 제1 다이(1811)의 후방 측 표면과 실질적으로 동일 평면이 되도록 형성된다. 일부 구현들에서, 캡슐화 층(1816)은 제1 다이(1811) 주위에 상이하게 형성될 수 있다.
- [0193] [00205] 스테이지 3은 캐리어(2300)로부터 디커플링되는(예를 들어, 분리되는) 제1 다이(1811) 및 캡슐화 층(1816)을 예시한다.
- [0194] [00206] 스테이지 4는 제1 다이(1811) 및 캡슐화 층(1816) 위에 형성된 제1 유전체 층(1812a) 및 제1 재분배 층(1815a)을 예시한다. 제1 유전체 층(1812a)은 제1 다이(1811)의 패시베이션 층(1814) 위에 형성된다. 제1 재분배 층(1815a)은, 제1 재분배 층(1815a)이 제1 다이(1811)의 패드(1813)에 커플링되도록 형성된다.
- [0195] [00207] 스테이지 5는 제1 유전체 층(1812a) 및 제1 재분배 층(1815a) 위에 형성된 제2 유전체 층(1812b)을 예시한다. 스테이지 5는 또한 제2 재분배 층(1815b)이 제1 재분배 층(1815a) 위에 형성되고 이 제1 재분배 층(1815a)에 커플링된 후의 상태를 예시한다. 제1 재분배 층(1815a) 및 제2 재분배 층(1815b)은 재분배 층(1815)을 표현할 수 있다.
- [0196] [00208] 스테이지 6은, 도 23b에 도시된 바와 같이, 제2 유전체 층(1812b) 및 제2 재분배 층(1815b) 위에 형성된 제3 유전체 층(1812c)을 예시한다. 스테이지 6은 또한 UBM 층(1819)이 제2 재분배 층(1815b) 위에 형성되고 이 제2 재분배 층(1815b)에 커플링된 후의 상태를 예시한다. 제1 유전체 층(1812a), 제2 유전체 층(1812b) 및 제3 유전체 층(1812c)은 유전체 층(1812)을 표현할 수 있다.
- [0197] [00209] 스테이지 7은 UBM 층(1819)에 커플링되는 복수의 솔더 볼들(1251)을 예시한다. 일부 구현들에서, UBM 층(1819)은 선택적일 수 있다. 그러한 경우들에서, 복수의 솔더 볼들(1851)은 재분배 층(1815)에 커플링될 수 있다.
- [0198] [00210] 스테이지 8은 캡슐화 층(1816)에 형성된 적어도 하나의 캐비티(2317)을 예시한다. 상이한 구현들은 캡

술화 층(1816)에 캐비티(2317)을 상이하게 형성할 수 있다. 레이저 프로세스 및/또는 포토-리소그래피 프로세스가 캐비티(2317)를 형성하는 데 사용될 수 있다. 스테이지 8은 유전체 층(1812), 재분배 층(1815) 및 UBM 층(1819)을 포함하는 제1 재분배 부분(1810)을 예시한다.

[0199] [00211] 스테이지 9는 캡슐화 층(1816)의 캐비티(2317)에 형성된 복수의 인터커넥트들(2017)을 예시한다. 복수의 인터커넥트들(2017)은 비아를 포함할 수 있다. 복수의 인터커넥트들(2017)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0200] [00212] 스테이지 10은 제1 다이(1811)에(예를 들어, 제1 다이(1811)의 후방 측 표면에) 커플링된 적어도 하나의 캡 컨트롤러(1270)를 예시한다. 스테이지 10은 일부 구현들에서, 제1 재분배 부분(1810), 제1 다이(1811), 캡슐화 층(1816), 복수의 인터커넥트들(2017) 및 적어도 하나의 캡 컨트롤러(1270)를 포함하는 제1 패키지(2001)를 예시한다.

[0201] [00213] 일부 구현들에서, 여러 개의 제1 패키지들이 웨이퍼 상에서 동시에 제조되고, 개별화 프로세스가 개별 패키지로 웨이퍼를 절단하기 위해 수행된다.

캡 컨트롤러를 포함하는 PoP(Package on Package) 디바이스를 제조하기 위한 예시적인 시퀀스

[0203] [00214] 일부 구현들에서, 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 24는 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스를 제공/제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 24의 시퀀스는 도 20의 캡 컨트롤러를 포함하는 PoP(package on package) 디바이스 및/또는 본 개시에서 설명된 다른 PoP(package on package) 디바이스들을 제조하는 데 사용될 수 있다. 도 24는 도 20의 PoP(package on package) 디바이스를 제공/제조하는 맥락에서 설명될 것이다.

[0204] [00215] 도 24의 시퀀스는 PoP(package on package) 디바이스를 제공하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과의 스테이지들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0205] [00216] 스테이지 1은 도 24에 도시된 바와 같이, 제공되는 제1 패키지(2001)를 예시한다. 제1 패키지(2001)는 FWLP(fan out wafer level package)일 수 있다. 제1 패키지(2001)는 제1 재분배 부분(1810), 적어도 하나의 재분배 층(1815), 적어도 하나의 UBM 층(1819), 제1 다이(1811), 패드(1813) 및 캡 컨트롤러(1270)를 포함한다. 도 23a 및 도 23b는 제1 패키지(2001)를 제조하기 위한 시퀀스의 예를 예시한다.

[0206] [00217] 스테이지 2는 복수의 패키지 인터커넥트들(227)을 통해 제1 패키지(2001)에 커플링되는 제2 패키지(1902)를 예시한다. 제2 패키지(1902)는 제2 재분배 부분(1920), 적어도 하나의 재분배 층(1925), 적어도 하나의 UBM 층(1929), 제2 다이(1921) 및 패드(1923)를 포함한다. 제2 패키지(1902)는 또한 복수의 패키지 인터커넥트들(227)을 포함할 수 있다. 복수의 패키지 인터커넥트들(1227)은 솔더 인터커넥트(예를 들어, 솔더 볼)를 포함한다.

[0207] [00218] 스테이지 3은 제1 패키지(2001)와 제2 패키지(1902) 사이에 제공된(예를 들어, 형성된) 제1 캡슐화 층(1216)을 예시한다. 스테이지 3은 제1 패키지(2001) 및 제2 패키지(1902)를 포함하는 PoP(package on package) 디바이스(2000)를 예시할 수 있다. 제1 패키지(2001)는 제1 다이(1811), 캡 컨트롤러(1270) 및 제1 캡슐화 층(1216)을 포함한다. 제2 패키지(1902)는 제2 재분배 부분(1920)을 포함할 수 있다.

[0208] [00219] 스테이지 3에 도시된 바와 같이, 제1 캡슐화 층(1216)이 제1 패키지(2001)의 제1 다이(1811)의 후방 측 표면과 제2 패키지(1902)의 제2 재분배 부분(1920)의 하단 표면 사이에 형성된다.

캡 컨트롤러를 포함하는 PoP(Package on Package) 디바이스를 제조하기 위한 예시적인 방법

[0210] [00220] 일부 구현들에서, 캡 컨트롤러를 포함하는 PoP(package on package)를 제공/제조하는 것은 여러 프로세스들을 포함한다. 도 25는 캡 컨트롤러를 포함하는 PoP(package on package)를 제공/제조하기 위한 방법의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 25의 방법은 도 12, 도 16 내지 도 20의 캡 컨트롤러를 포함하는 PoP(package on package) 및/또는 본 개시에서 설명된 다른 PoP(package on package) 디바이스들을 제공/제조하는 데 사용될 수 있다. 도 25는 도 12의 디바이스 패키지를 제공/제조하는 맥락에서 설명될 것이다.

[0211] [00221] 도 25의 흐름도는 PoP(package on package) 디바이스를 제공하기 위한 방법을 단순화하고 그리고/또는 명확하게 하기 위해 하나 또는 그 초과의 프로세스들을 결합할 수 있다는 것이 주의되어야 한다. 일부 구현들

에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0212] [00222] 스테이지(2505)에서, 제1 전자 패키지 컴포넌트(예를 들어, 제1 다이)를 포함하는 제1 집적 회로(IC) 패키지가 형성된다. 제1 집적 회로(IC) 패키지를 형성하는 예들은 도 21a 내지 21c 및 도 23a 및 23b에서 예시되고 설명된다. 일부 구현들에서, 제1 집적 회로(IC) 패키지는 FOWLP(fan out wafer level package)를 포함할 수 있다. 제1 집적 회로(IC) 패키지는 패키지 기판 또는 재분배 부분을 포함할 수 있다. 제1 집적 회로(IC) 패키지는 캡슐화 층을 포함할 수 있다. 제1 패키지(예를 들어, 제1 집적 회로(IC) 패키지)의 예들은, 제1 패키지(1201), 제1 패키지(1601), 제1 패키지(1701), 제1 패키지(1801) 및 제1 패키지(2001)를 포함한다.

[0213] [00223] 스테이지(2510)에서, 적어도 하나의 캡 컨트롤러가 제1 집적 회로(IC) 패키지 위에 제공된다. 캡 컨트롤러는 제1 다이에(예를 들어, 제1 다이(1211)의 후방 측 표면의 중심 또는 중심 근처 상에) 제공되고 이에 커플링될 수 있다. 캡 컨트롤러의 예들은, 캡 컨트롤러(1270), 캡 컨트롤러(1370), 캡 컨트롤러(1470) 및 캡 컨트롤러(1570)를 포함한다.

[0214] [00224] 스테이지(2515)에서, 제2 다이를 포함하는 제2 집적 회로(IC) 패키지가 형성된다. 제2 집적 회로(IC) 패키지를 형성하는 예들은 도 21a 내지 21c 및 도 23a 및 23b에서 예시되고 설명된다. 일부 구현들에서, 제2 집적 회로(IC) 패키지는 FOWLP(fan out wafer level package)를 포함할 수 있다. 제2 집적 회로(IC) 패키지는 패키지 기판 또는 재분배 부분을 포함할 수 있다. 제2 집적 회로(IC) 패키지는 캡슐화 층을 포함할 수 있다. 제2 패키지(예를 들어, 제2 집적 회로(IC) 패키지)의 예들은 제2 패키지(1202) 및 제2 패키지(1902)를 포함한다.

[0215] [00225] 스테이지(2520)에서, 제2 집적 회로(IC) 패키지는 복수의 패키지 인터커넥트들(예를 들어, 복수의 패키지 인터커넥트들(1227))을 통해 제1 집적 회로(IC) 패키지에 커플링된다.

[0216] [00226] 스테이지(2525)에서, 제1 캡슐화 층은 제1 집적 회로(IC) 패키지와 제2 집적 회로(IC) 패키지 사이에 선택적으로 형성된다. 특히, 제1 캡슐화 층(예를 들어, 제1 캡슐화 층(1216))은 제1 패키지의 제1 다이와 제2 패키지(예를 들어, 제2 패키지의 제2 패키지 기판, 제2 패키지의 제2 재분배 부분) 사이에 형성된다.

예시적인 전자 디바이스들

[0218] 도 26은 상술한 통합된 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지 또는 PoP(package on package) 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 전화 디바이스(2602), 랩톱 컴퓨터 디바이스(2604), 고정 위치 단말 디바이스(2606), 웨어러블 디바이스(2608)는 본원에서 설명된 바와 같은 통합된 디바이스(2600)를 포함할 수 있다. 통합된 디바이스(2600)는 예를 들어, 본원에서 설명된 집적 회로들, 다이들, 통합된 디바이스들, 통합된 디바이스 패키지들, 집적 회로 디바이스들, 디바이스 패키지들, 집적 회로(IC) 패키지들, 패키지-온-패키지(package on package) 디바이스들 중 임의의 것일 수 있다. 도 26에 예시된 디바이스들(2602, 2604, 2606, 2608)은 단지 예시적이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication system) 유닛들, 휴대용 데이터 유닛들, 예컨대, 개인용 디지털 보조기기들, GPS(global positioning system) 인에이블 디바이스들, 네비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 예컨대, 미터 관독 장비, 통신 디바이스들, 스마트 폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예를 들어, 시계, 안경), IoT(Internet of things) 디바이스들, 서버들, 라우터들, 자동차들(예를 들어, 자율주행 차량들(autonomous vehicles))에 구현되는 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 리트리브하는 임의의 다른 디바이스 또는 이들의 임의의 결합을 포함하는 디바이스들의 그룹(예를 들어, 전자 디바이스들)을 포함(그러나 이에 제한되지 않음)하는 통합된 디바이스(2600)를 특징으로 한다.

[0219] [00228] 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13, 도 14, 도 15, 도 16, 도 17, 도 18, 도 19, 도 20, 도 21a 내지 도 21c, 도 22, 도 23a 및 도 23b, 도 24, 도 25 및/또는 도 26에 예시된 컴포넌트들, 프로세스들, 특징들, 및/또는 기능들 중 하나 또는 그 초과는 단일 컴포넌트, 프로세스, 특징 또는 기능으로 재배열 및/또는 결합되거나 또는 몇몇의 컴포넌트들, 프로세스들 또는 기능들로 구현될 수 있다. 부가적인 엘리먼트들, 컴포넌트들, 프로세스들, 및/또는 기능들은 또한, 본 개시로부터 벗어나지 않으면서 부가될 수 있다. 본 개시의 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13, 도 14, 도 15, 도 16, 도 17, 도 18, 도 19, 도 20, 도 21a 내지 도 21c, 도 22, 도 23a 및 도 23b, 도 24, 도 25 및/또는 도 26 및 그의 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않는다는 것이 또한 주의되어야 한다. 일부 구현들에서, 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도

13, 도 14, 도 15, 도 16, 도 17, 도 18, 도 19, 도 20, 도 21a 내지 도 21c, 도 22, 도 23a 및 도 23b, 도 24, 도 25 및/또는 도 26 및 그의 대응하는 설명은 통합된 디바이스들을 제조, 생성, 제공 및/또는 생산하는 데 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 통합된 디바이스, 다이 패키지, 집적 회로(IC), 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, PoP(package on package) 디바이스 및/또는 인터포저를 포함할 수 있다.

[0220]

[00229] "예시적인"이란 단어는, "예, 경우 또는 예시로서 기능하는" 것을 의미하도록 본원에서 사용된다. "예시적인" 것으로서 본원에서 설명된 임의의 구현 또는 양상은 본 개시의 다른 양상들에 비해 반드시 바람직하거나 유리한 것으로서 해석될 필요는 없다. 유사하게, "양상들"이란 용어는, 본 개시의 양상을 전부가 논의된 특징, 이점, 또는 동작 모드를 포함하는 것을 요구하지 않는다. "커플링된"이란 용어는, 2개의 오브젝트들 사이에서의 직접적인 또는 간접적인 커플링을 지칭하도록 본원에서 사용된다. 예를 들어, 오브젝트 A가 오브젝트 B를 물리적으로 터치하고 오브젝트 B가 오브젝트 C를 터치하면, 오브젝트들 A 및 C는, 그들이 서로를 물리적으로 직접 터치하지 않더라도, 서로 커플링된 것으로 여전히 고려될 수도 있다.

[0221]

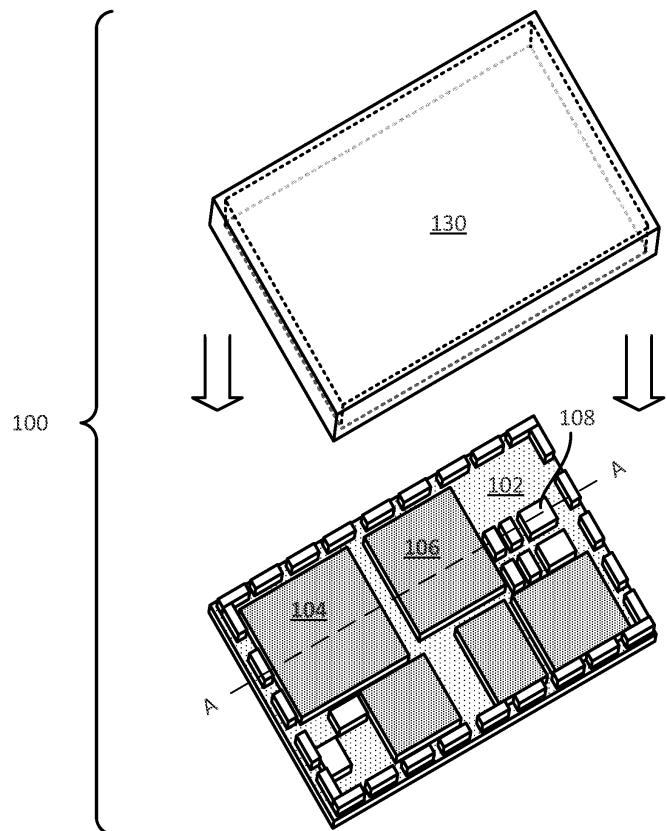
[00230] 또한, 본원에 포함된 다양한 개시들은, 흐름도, 흐름 다이어그램, 구조도, 또는 블록도로서 도시된 프로세스로서 설명될 수 있다는 것이 주의된다. 흐름도가 순차적인 프로세스로서 동작들을 설명할 수 있지만, 동작들의 대부분은 병렬로 또는 동시에 수행될 수 있다. 부가적으로, 동작들의 순서는 재배열될 수도 있다. 프로세스는, 그의 동작들이 완료될 때 종결된다.

[0222]

[00231] 본원에서 설명된 본 개시의 다양한 특징들은 본 개시를 벗어나지 않으면서 상이한 시스템들에서 구현될 수 있다. 본 개시의 위의 양상들은 단지 예들일 뿐이며, 본 개시를 제한하는 것으로서 해석되지 않는다는 것이 주의되어야 한다. 본 개시의 양상들의 설명은, 청구항들의 범위를 제한하는 것이 아니라 예시적인 것으로 의도된다. 따라서, 본 교시들은, 다른 유형들의 장치들에 쉽게 적용될 수 있고, 다수의 대안들, 수정들, 및 변동들이 당업자들에게 명백할 것이다.

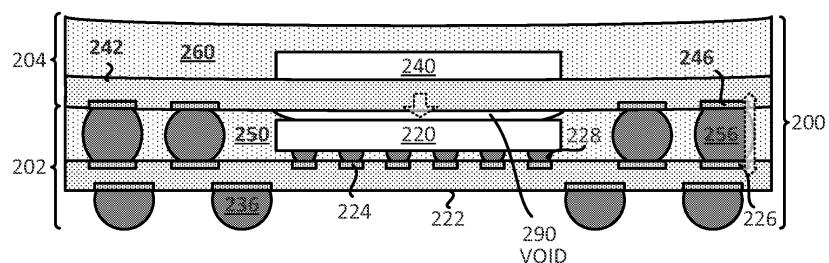
도면

도면1



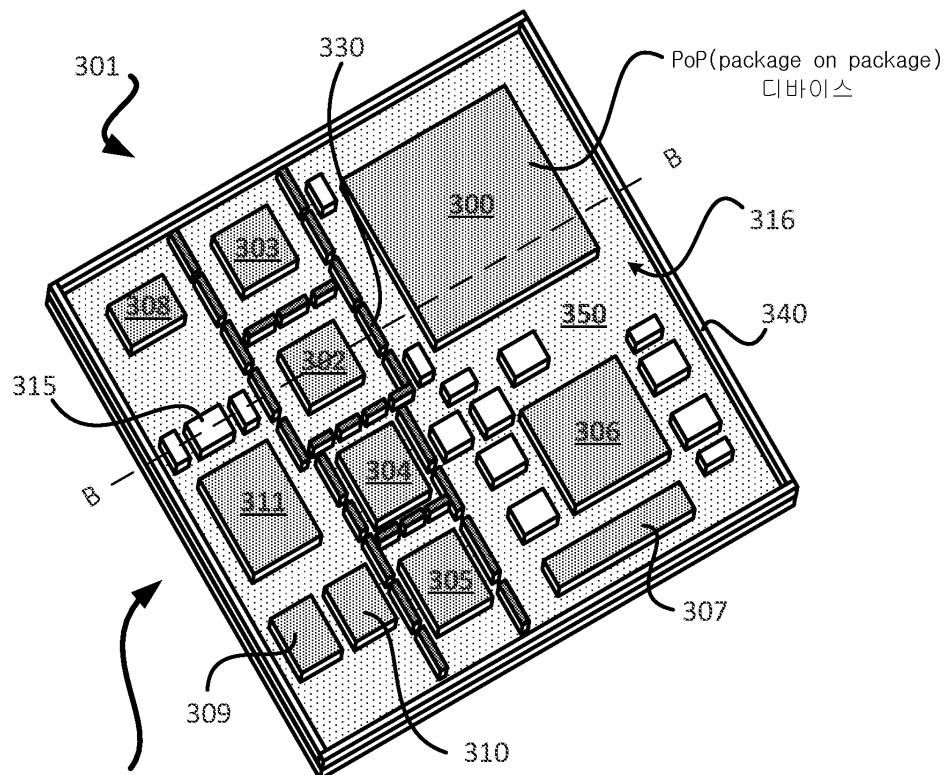
(종래 기술)

도면2



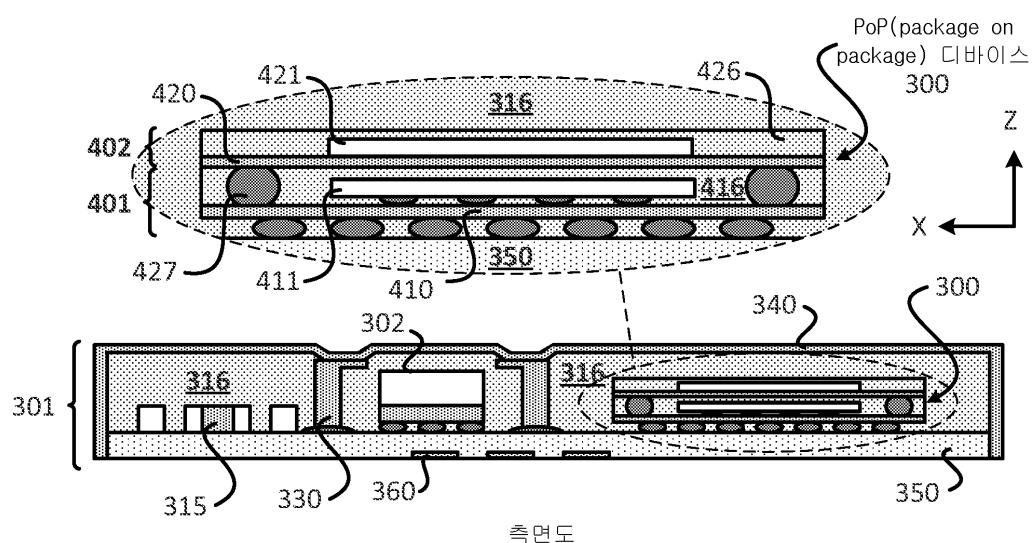
(종래 기술)

도면3

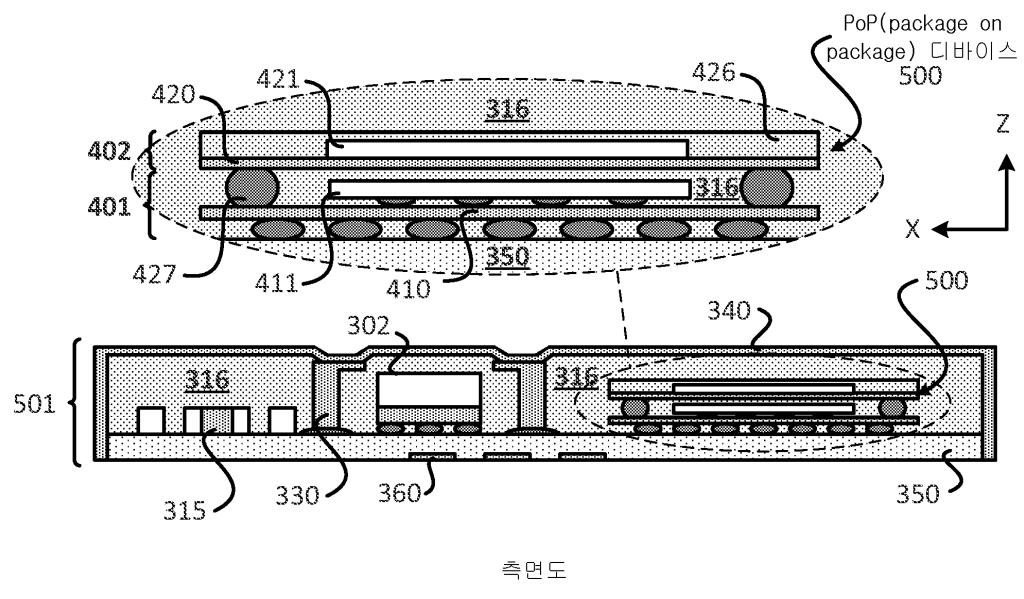


집적 회로
(예를 들어, SiP(System in Package))

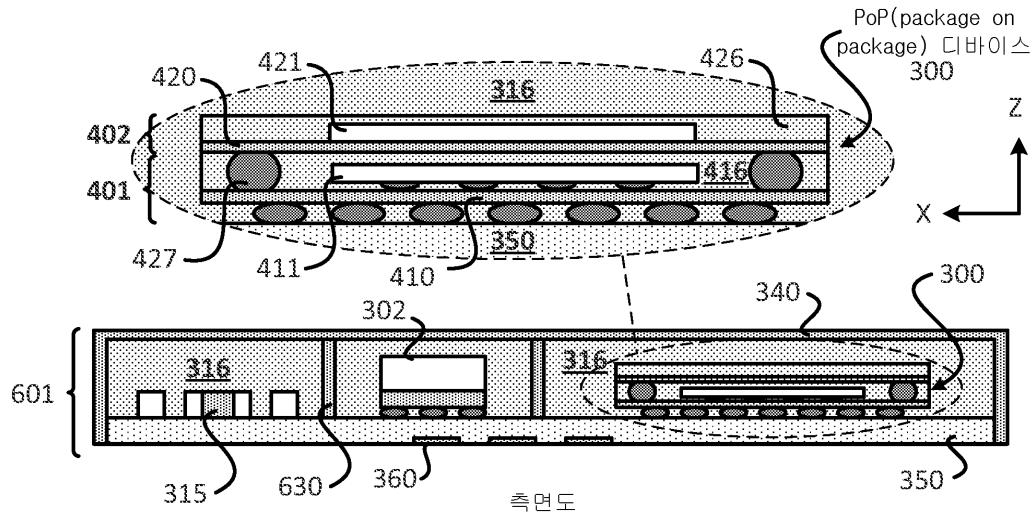
도면4



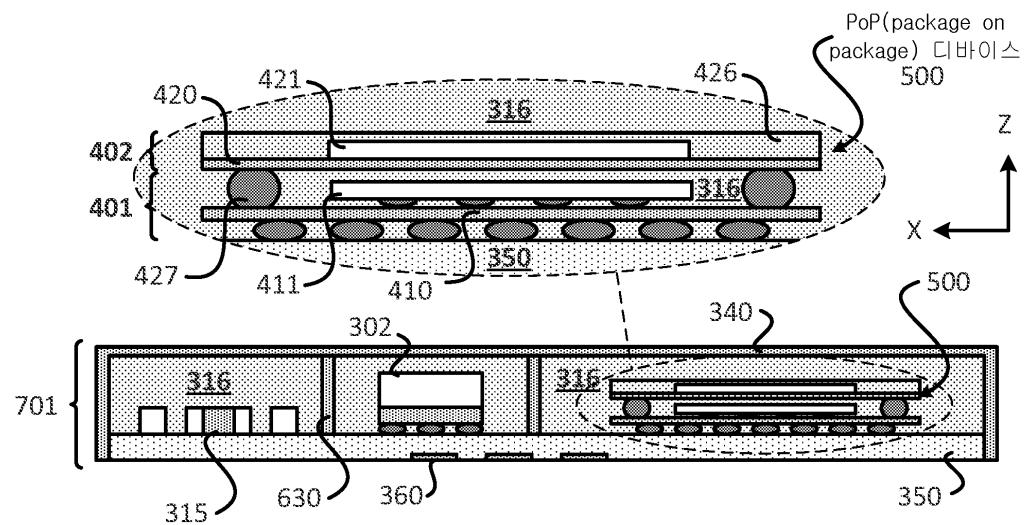
도면5



도면6

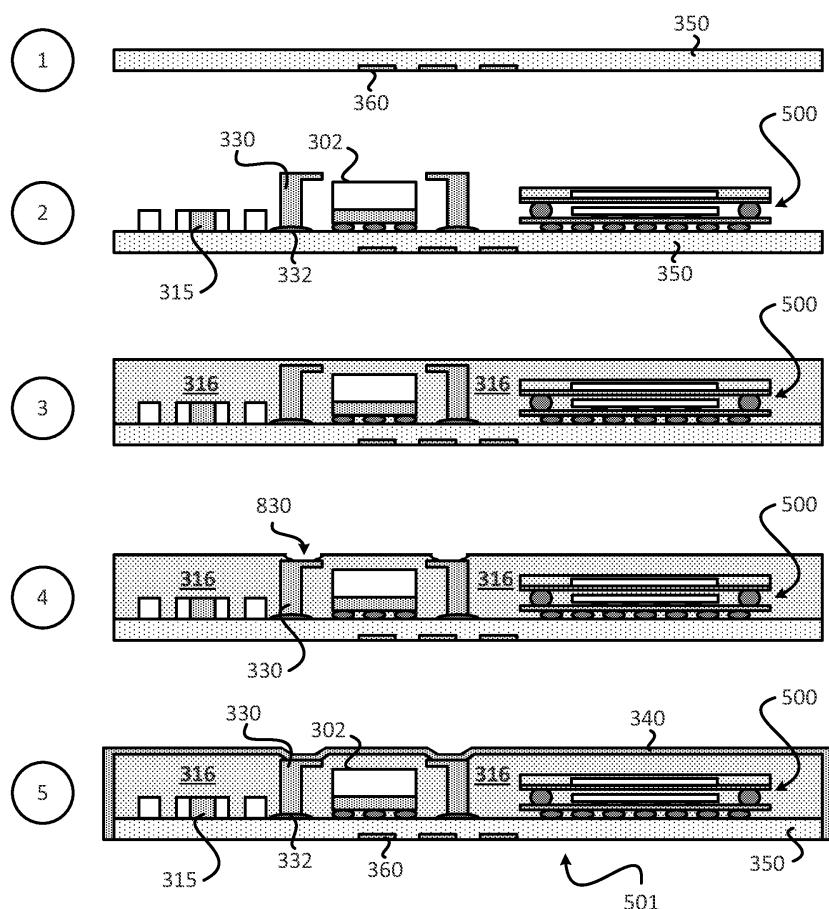


도면7

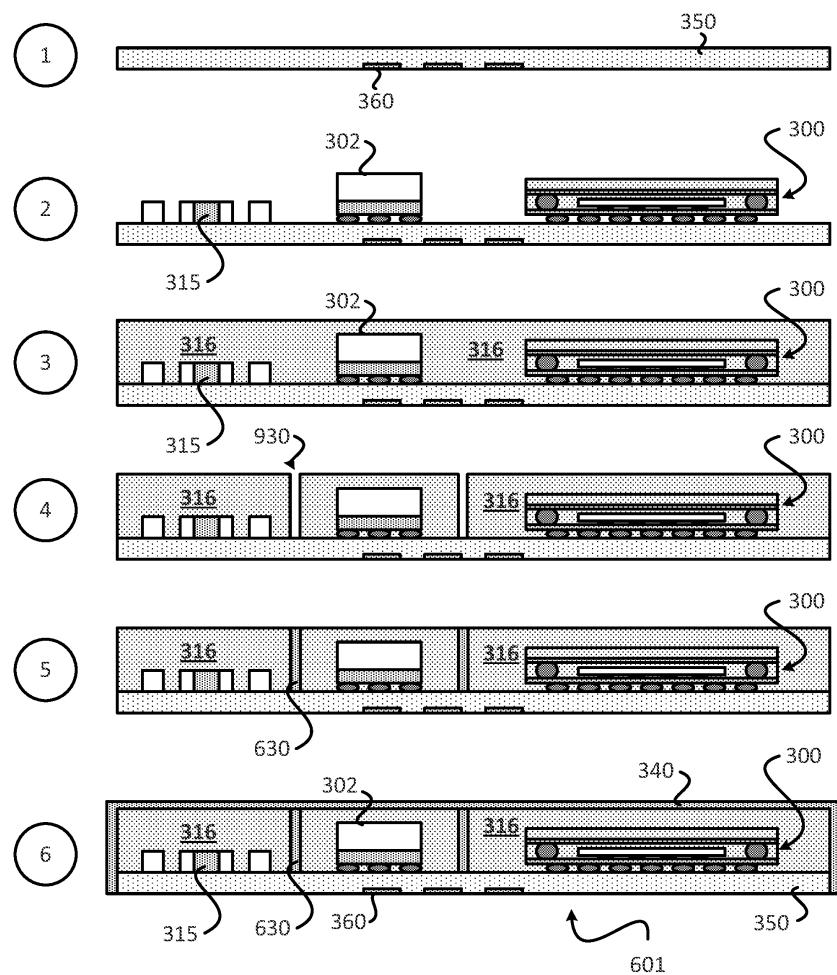


측면도

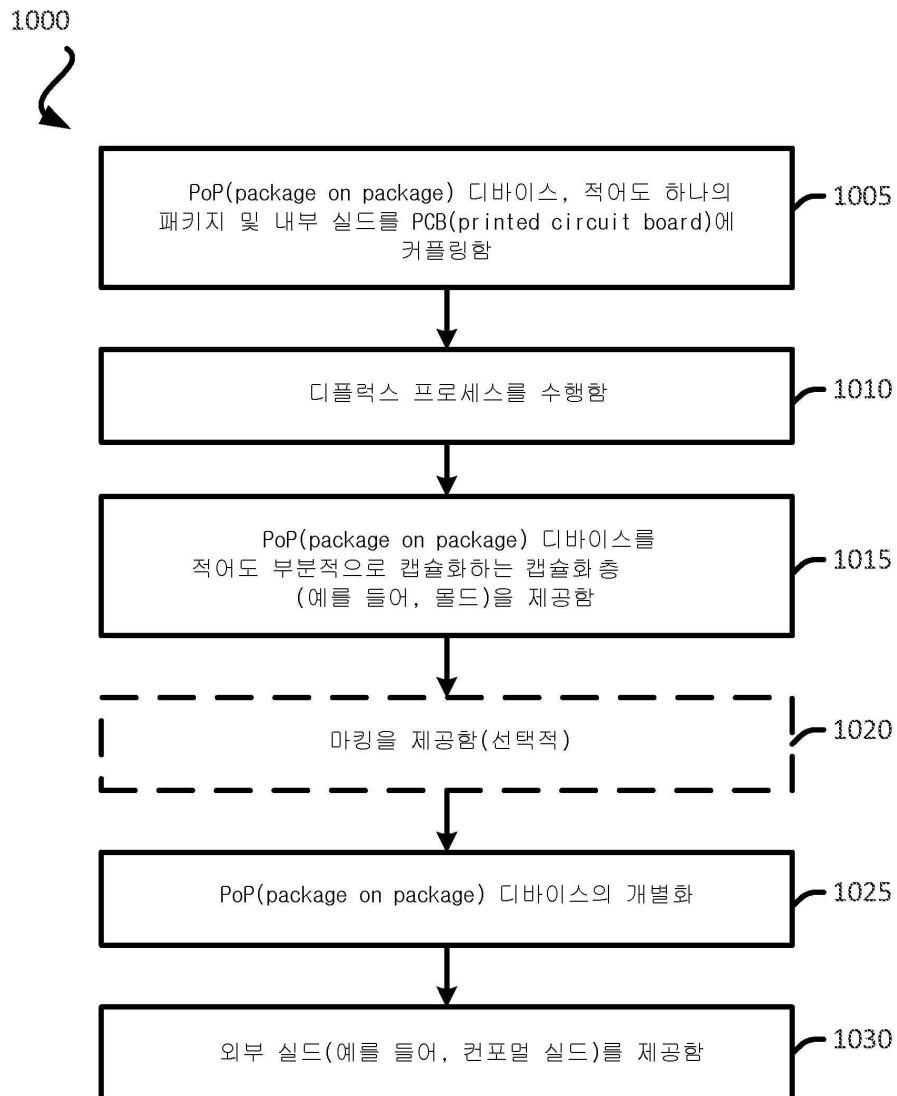
도면8

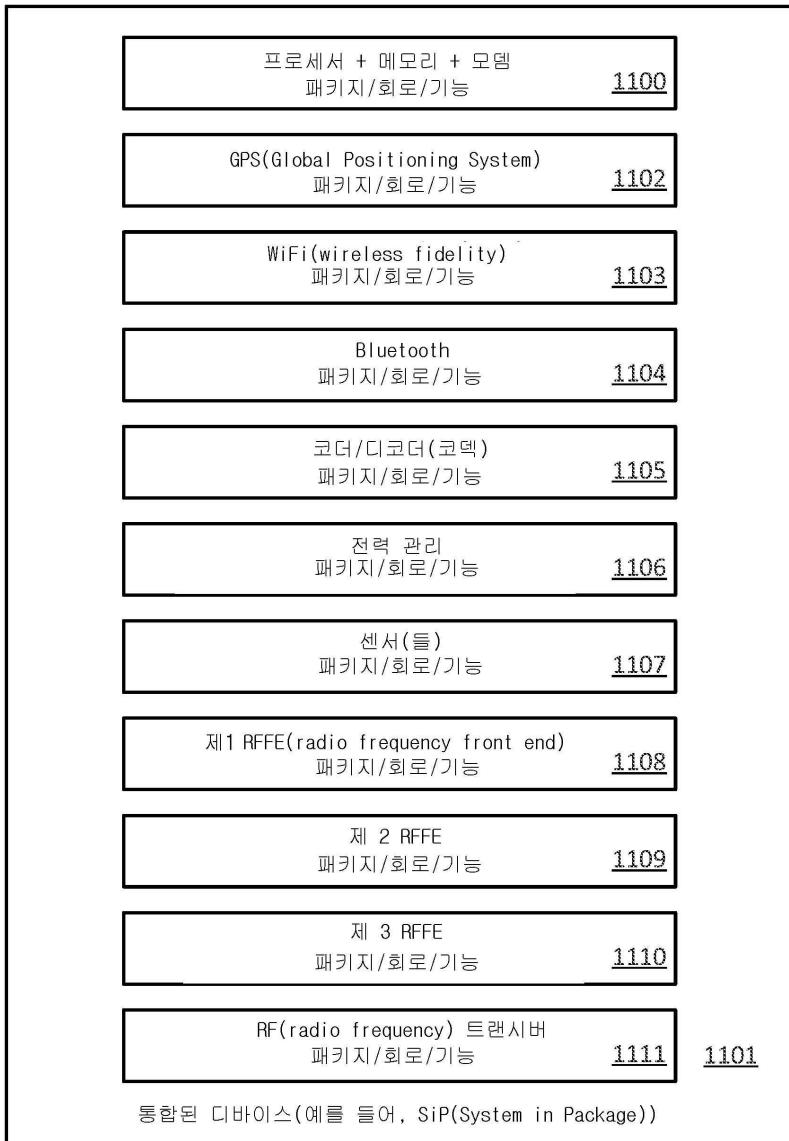


도면9

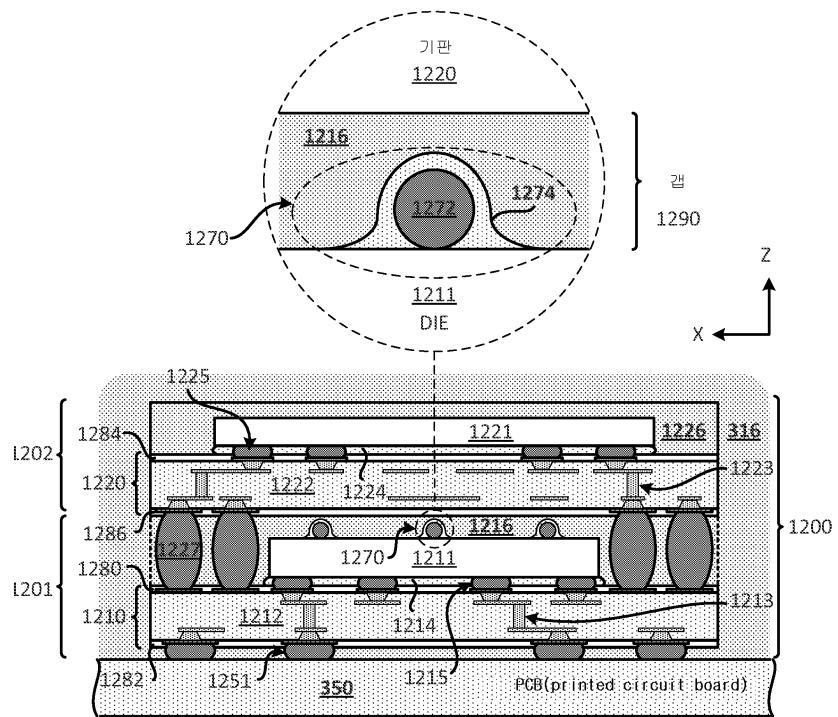


도면10

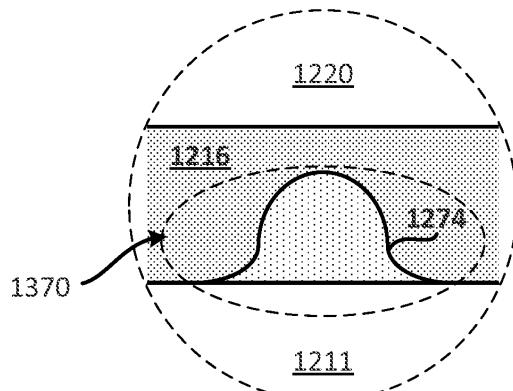


도면11

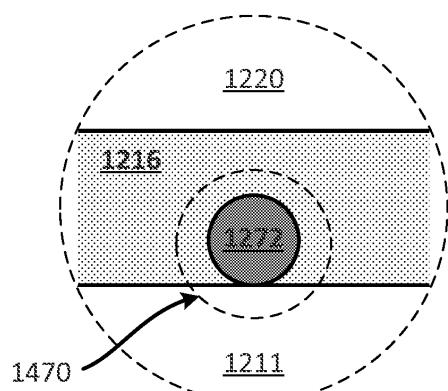
도면12



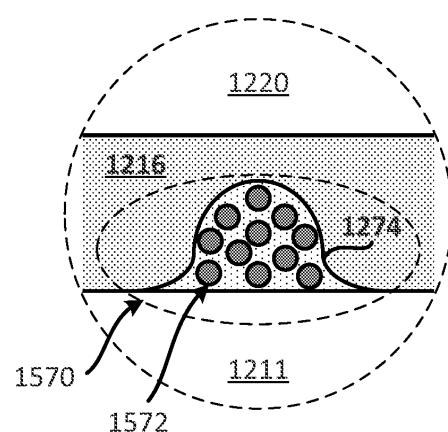
도면13



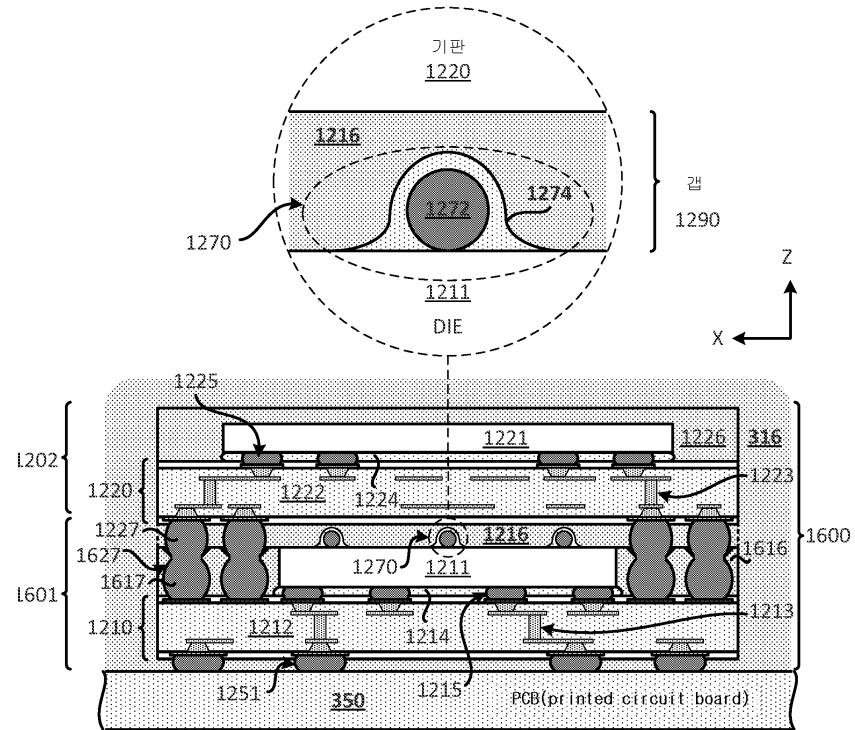
도면14



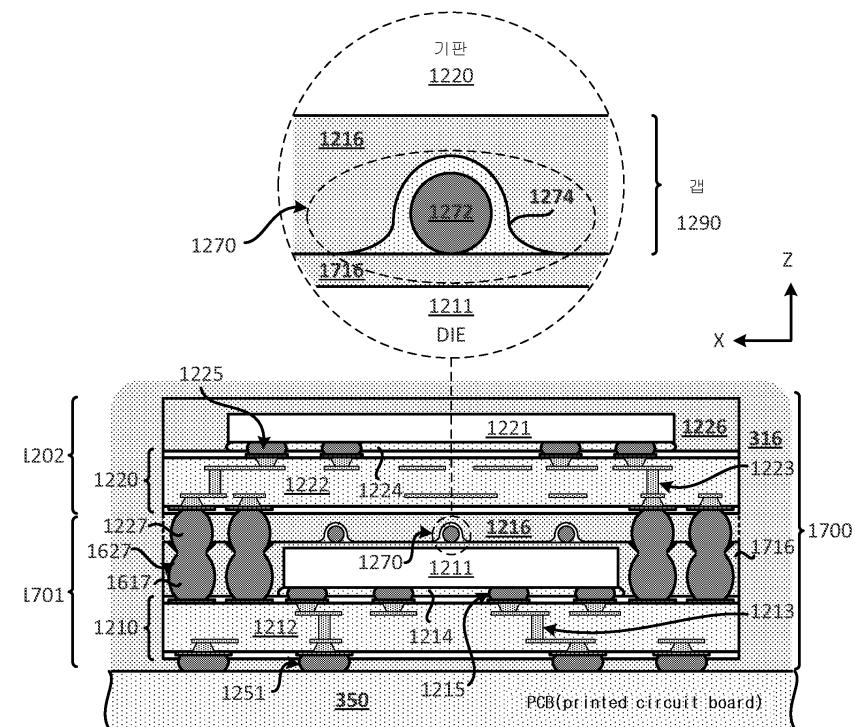
도면15



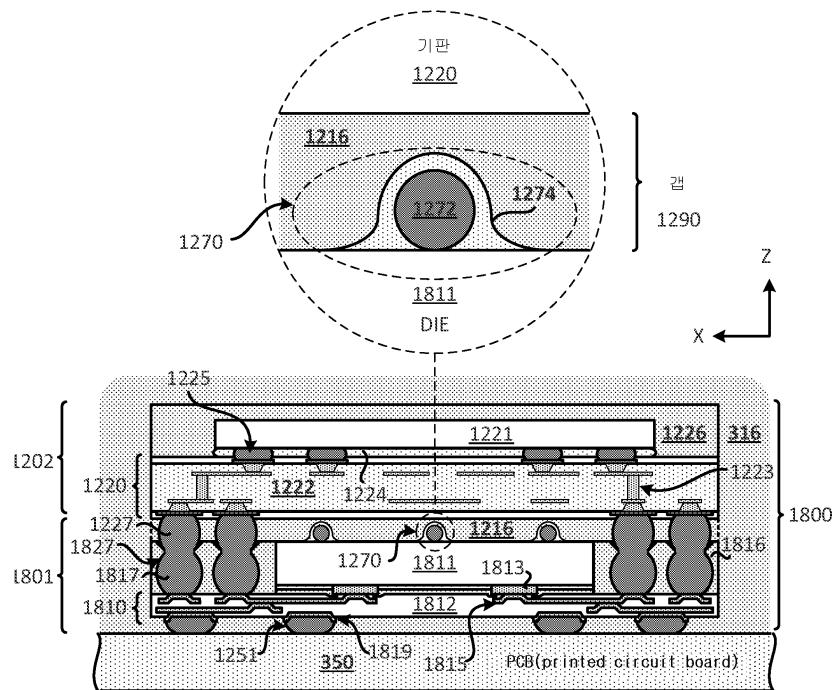
도면16



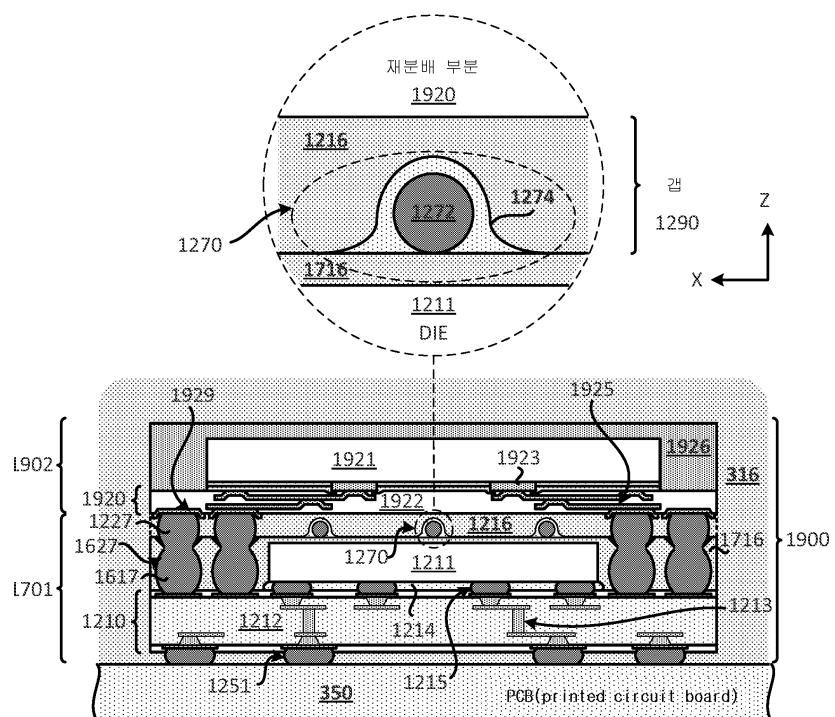
도면17



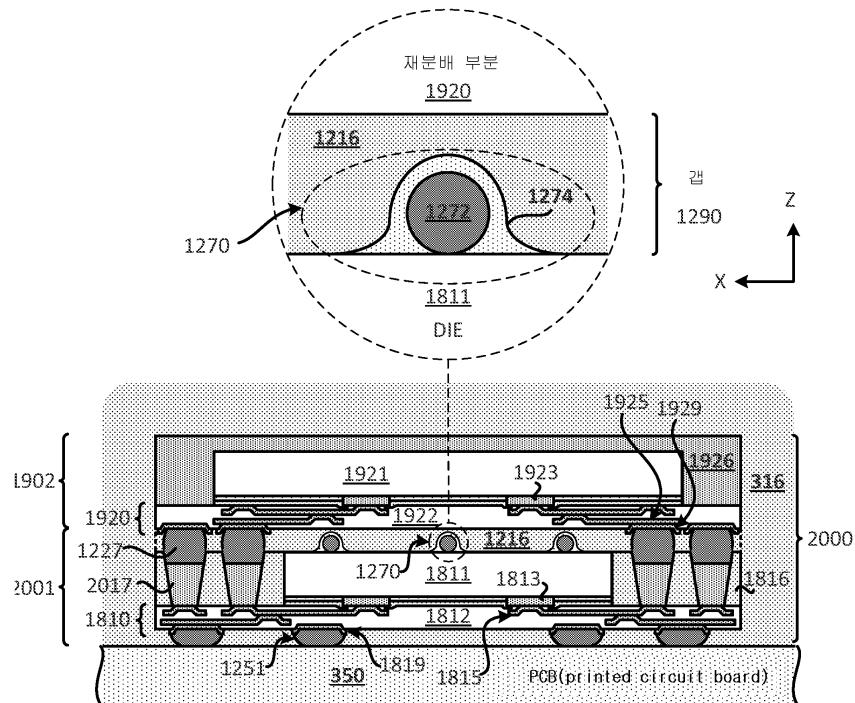
도면18



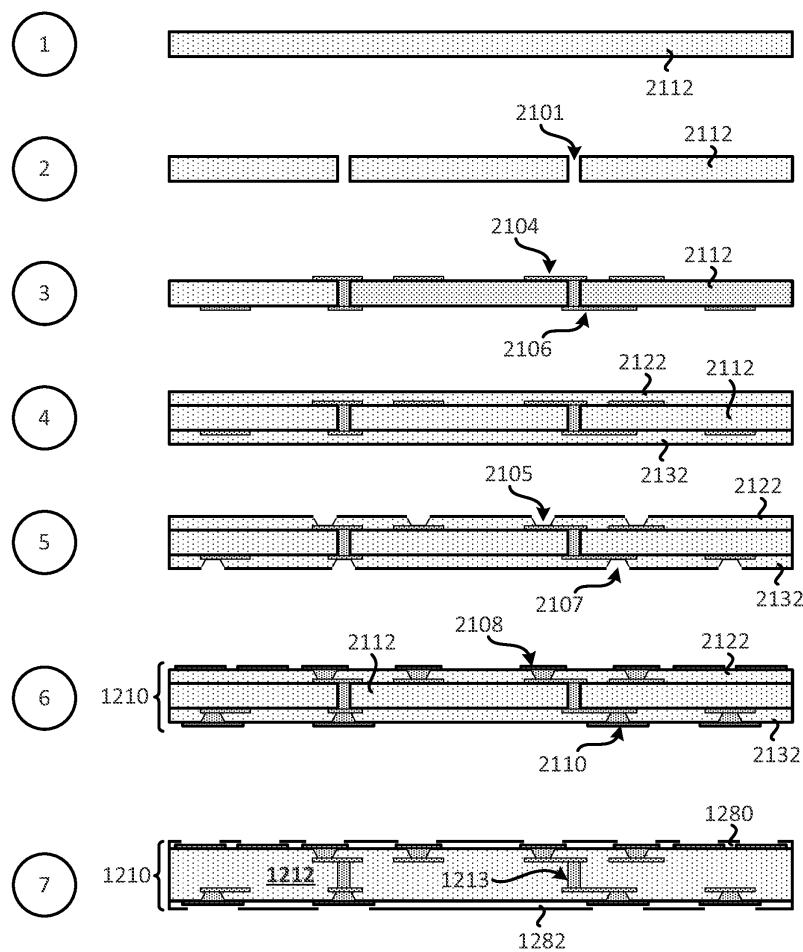
도면19



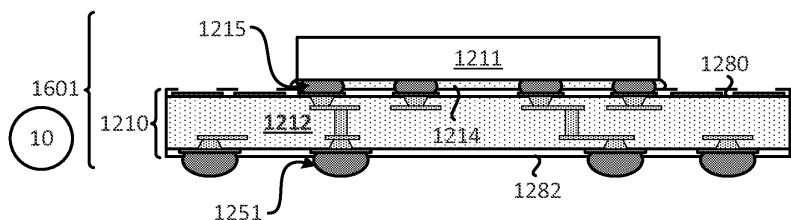
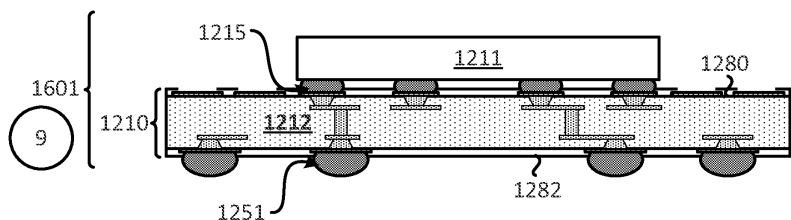
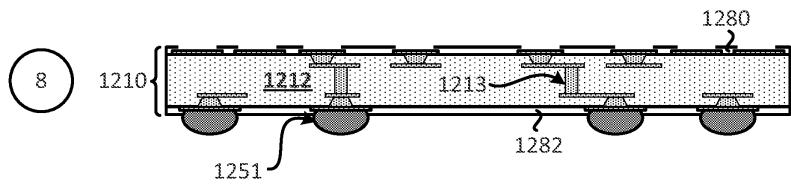
도면20



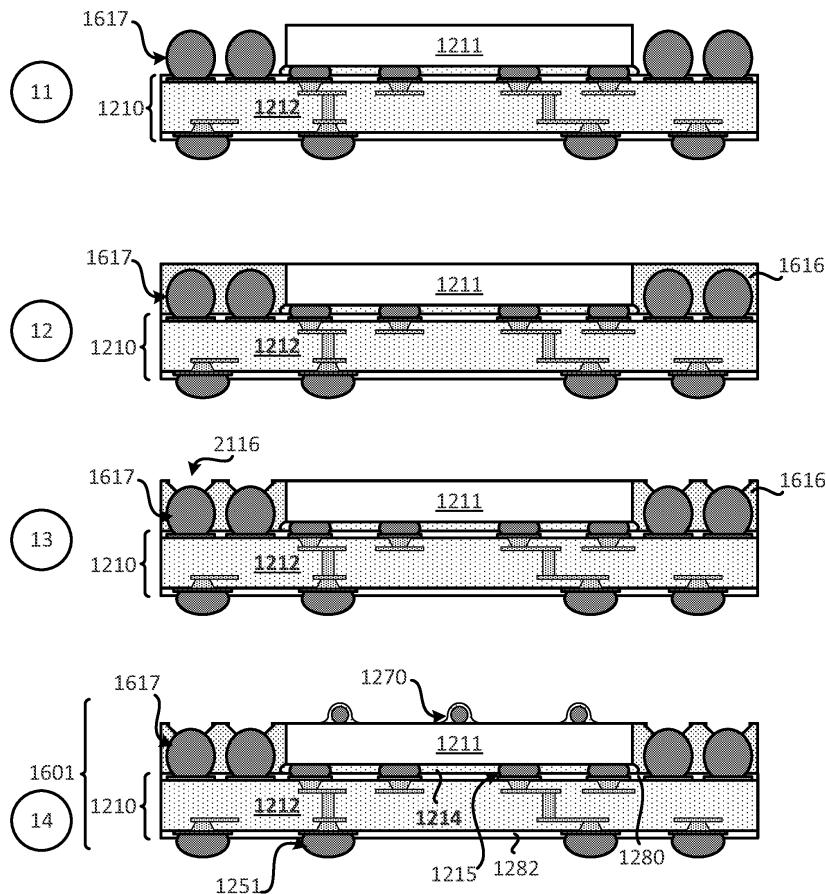
도면21a



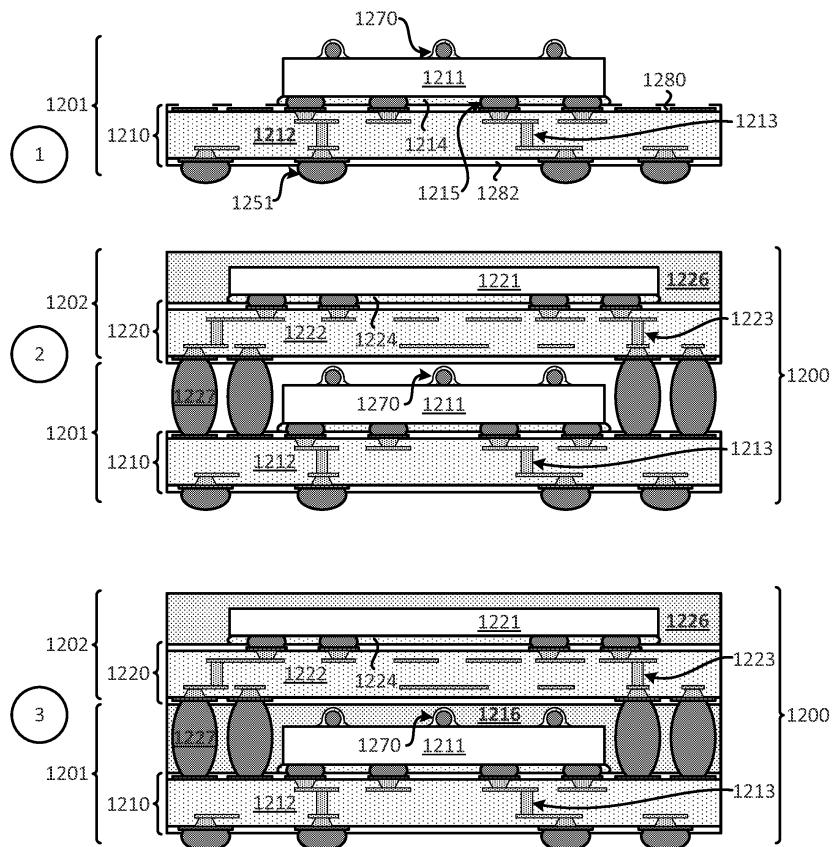
도면21b



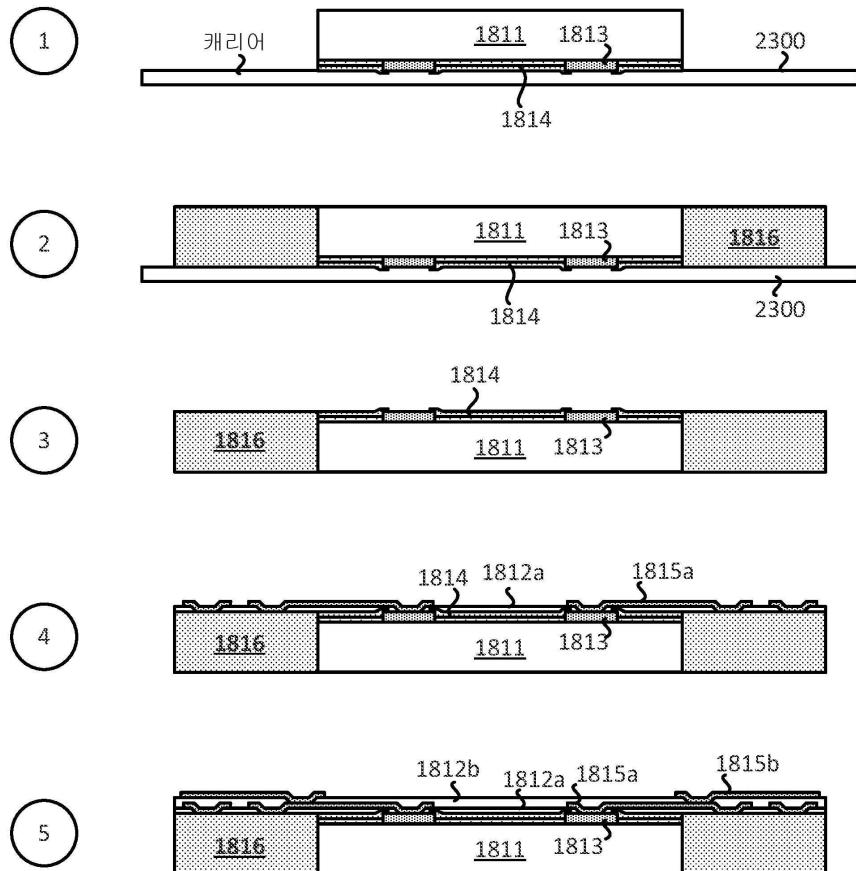
도면21c



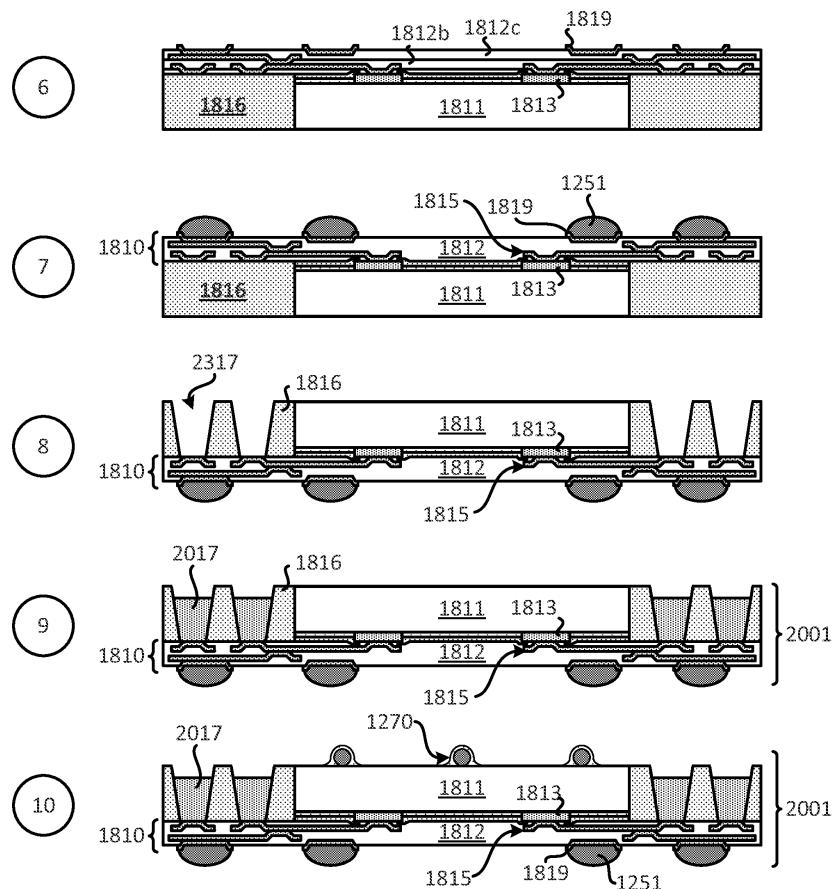
도면22



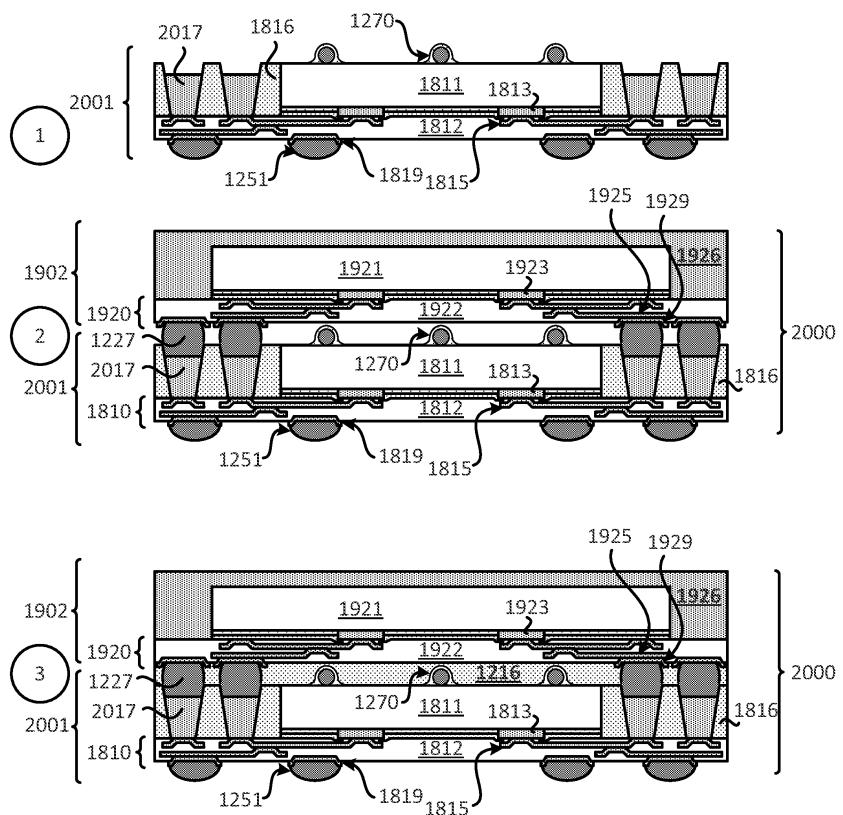
도면23a



도면23b



도면24



도면25

2500



제1 전자 패키지 컴포넌트(예를 들어, 제1 다이)를 포함하는 제1 집적 회로(IC) 패키지를 형성함

2505

제1 집적 회로(IC) 패키지 위에 적어도 하나의 캡 컨트롤러를 제공함

2510

제2 집적 회로(IC) 패키지를 형성함

2515

복수의 패키지 인터커넥트들을 통해 제1 집적 회로(IC) 패키지에 제2 집적 회로(IC) 패키지를 커플링함

2520

제1 집적 회로(IC) 패키지와 제2 집적 회로(IC) 패키지 사이에 캡슐화층(예를 들어, 롤드)을 형성함(선택적)

2525

도면26

