



ŘÁD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

219770

(11) (B1)

(22) Přihlášeno 05 03 81
(21) (PV 1598-81)

(40) Zveřejněno 27 08 82

(45) Vydáno 15 09 85

(51) Int. Cl.³
H 03 F 3/34//
G 05 F 1/10

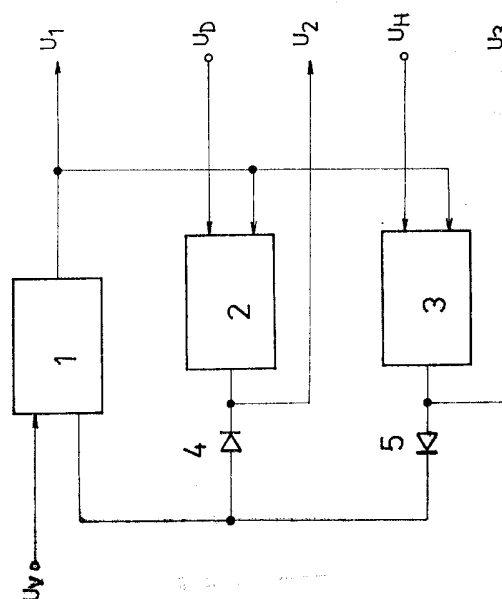
(75)
Autor vynálezu ZUBKOVSKÝ JIŘÍ ing., PLZEŇ

(54) Zapojení pro omezení velikosti analogového signálu v počítačí síti

1

Účelem vynálezu zapojení pro omezení velikosti analogového signálu v počítačí síti je přesným a spolehlivým způsobem dosáhnout omezení výstupního napětí proporcionálního členu. Toho se dosahuje tím, že do zpětné vazby proporcionálního členu se zapojuje v sérii dioda a komparátor, který komparuje výstupní napětí proporcionálního členu s napětím zadané meze. Překročí-li výstupní napětí proporcionálního členu zadanou mez, komparátor změní své výstupní napětí, dioda se otevře a tím se uzavře zpětná vazba, která udržuje výstupní napětí na hodnotě přesně rovné zadané mezi. Zapojí-li se do zpětné vazby dva výše popsané obvody, potom se výstupní napětí proporcionálního členu může měnit pouze v rozsahu mezi horní mezí a dolní mezí. Zapojení vynálezu lze použít v elektronických obvodech, kde je nutné omezovat výstupní napětí z proporcionálního členu. Tedy v regulační technice, analogové výpočetní technice, měřicí technice atd.

2



Vynález se týká zapojení pro omezení velikosti analogového signálu v počítačící síti s použitím zejména pro omezení analogového signálu proporcionálního členu.

Dosud jsou známy systémy, které pro omezení signálu používají diodové omezovače zapojené za proporcionální člen, nebo systémy, které pro omezení signálu používají výběrový člen MINIMA a výběrový člen MAXIMA zapojený za výstup proporcionálního členu. Nevýhody diodového omezovače jsou v malé přesnosti a dále diodový omezovač přetěžuje proudovou spotřebou zesilovač proporcionálního členu, přičemž omezení je teplotně závislé. Nevýhody při použití omezení výstupního napětí výběrovými členy MINIMA a MAXIMA spočívají v tom, že při překročení meze MAXIMA nebo MINIMA se rozpojí cesta signálu. Další nevýhodou je velká složitost zapojení.

Uvedené nevýhody odstraňuje zapojení pro omezení velikosti analogového signálu v počítačící síti, jehož podstata spočívá v tom, že výstup vstupního napětí je připojen na druhý invertující vstup proporcionálního členu, na jehož první invertující vstup je připojena jednak anoda první diody a jednak katoda druhé diody. Výstup z prvního proporcionálního členu je připojen současně na neinvertující vstup prvního integrátoru, na neinvertující vstup druhého integrátoru a na výstup analogového signálu. Výstup prvního integrátoru je připojen současně na katodu první diody a na výstupní svorku prvního integrátoru. Výstup druhého integrátoru je připojen současně na anodu druhé diody a na výstupní svorku druhého integrátoru, přičemž invertující vstup prvního integrátoru je připojen na výstup dolní hranice a invertující vstup druhého integrátoru je připojen na výstup horní hranice.

Zapojení podle vynálezu odstraňuje dosavadní výše uvedené nevýhody a má oproti známým systémům následující výhody. Zapojení je velmi jednoduché, zapojení je teplotně vysoce stabilní, zapojení nerozpojuje cestu signálu ani při překročení omezovacího napětí. Zapojení umožňuje omezovat signál na dvou úrovních, tj. na horní mezi a na dolní mezi. V zapojení vzniká informační signál při překročení horní nebo dolní meze.

Zapojení pro omezení velikosti analogového signálu v počítačící síti je zřejmé z připojeného vyobrazení.

Zapojení podle vynálezu sestává z proporcionálního členu 1, jenž pracuje jako zesilovač s nastaveným ziskem, z prvního integračního členu 2, jenž pracuje jako integrátor s krátkou časovou konstantou, z druhého integračního členu 3, jenž pracuje jako integrátor s krátkou časovou konstantou, z první diody 4 a z druhé diody 5.

Zapojení podle vynálezu umožňuje omezení velikosti analogového signálu tím způsobem, že výstup U_H vstupního napětí je připojen na druhý vstup proporcionálního členu 1, k němuž se přičítá signál prvního integrátoru 2 pouze tehdy, když výstup U_1 analogového signálu překročí hodnotu na výstupu U_H napětí horní hranice. Signál prvního integrátoru je vedený přes první diodu 4 do prvního vstupu proporcionálního členu 1. První dioda 4 blokuje signál na výstupní svorce U_2 z prvního integrátoru 2, jestliže je výstupní analogový signál na svorce U_1 menší než je horní hranice U_H . Dosáhne-li výstupní analogový signál úrovně napětí horní hranice, změní první integrátor 2 polaritu svého výstupního signálu a první dioda 4 propustí napětí na první vstup proporcionálního členu 1. Klesne-li výstupní signál na výstupu U_1 na hodnotu výstupu U_D napětí, změní druhý integrátor 3 polaritu výstupního signálu a tento signál propustí druhá dioda 5 do prvního vstupu proporcionálního členu 1. Druhá dioda 5 zablokuje signál na výstupní svorce U_3 druhého integrátoru 3, jestliže je výstupní signál na výstupu U_1 větší než úroveň napětí dolní hranice. Výstupní signály na výstupních svorkách U_2 a U_3 dávají informaci o tom, zda výstupní signál na výstupu U_1 dosáhl buď horní hranice, nebo dolní hranice napětí, nebo zda je v pracovní oblasti mezi napětím horní hranice a napětím dolní hranice na výstupech U_H , U_D .

Výše popsané zapojení podle vynálezu lze použít všude v elektronických obvodech, kde je nutné omezovat výstupní napětí z proporcionálního členu. Vynálezu je možno použít v oborech regulační techniky, automatizace, analogové výpočetní technice, laboratorní měřicí technice apod.

PŘEDMĚT VYNÁLEZU

Zapojení pro omezení velikosti analogového signálu v počítačí síti, vyznačené tím, že výstup (U_V) vstupního napětí je připojen na druhý invertující vstup proporcionálního členu (1), na jehož první invertující vstup je připojena jednak anoda první diody (4) a jednak katoda druhé diody (5), přičemž výstup prvního proporcionálního členu (1) je připojen současně na neinvertující vstup prvního integrátoru (2) na neinvertující vstup druhého integrátoru (3) a na výstup (U_1) analogového signálu, kde

výstup prvního integrátoru (2) je připojen současně na katodu první diody (4) a na výstupní svorku (U_2) prvního integrátoru (2), zatímco výstup druhého integrátoru (3) je připojen současně na anodu druhé diody (5) a na výstupní svorku (U_3) druhého integrátoru (3), přičemž invertující vstup prvního integrátoru (2) je připojen na výstup (U_D) napětí dolní hranice a invertující vstup druhého integrátoru (3) je připojen na výstup (U_H) napětí horní hranice.

1 list výkresů

