

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-42865

(P2007-42865A)

(43) 公開日 平成19年2月15日(2007.2.15)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/66 (2006.01)	HO 1 L 21/66 Y	2 G O O 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/66 E	4 M 1 O 6
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 T	5 F O 3 3
GO 1 R 31/26 (2006.01)	GO 1 R 31/26 G	

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号	特願2005-225449 (P2005-225449)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成17年8月3日(2005.8.3)	(74) 代理人	100090387 弁理士 布施 行夫
		(74) 代理人	100090398 弁理士 大淵 美千栄
		(74) 代理人	100101649 弁理士 伊奈 達也
		(74) 代理人	100104710 弁理士 竹腰 昇
		(72) 発明者	湯澤 秀樹 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

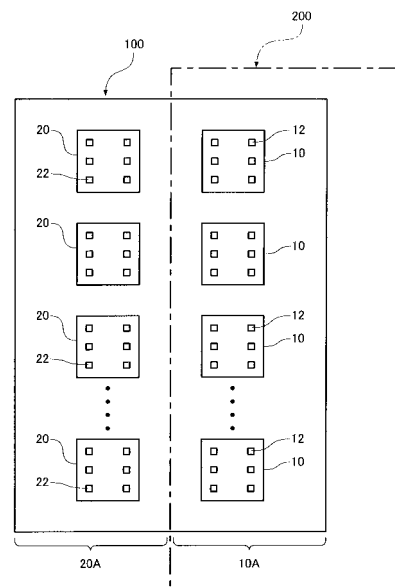
(54) 【発明の名称】 半導体装置、半導体装置の検査方法、半導体ウェハ

(57) 【要約】

【課題】 半導体チップの実装基板への実装時の影響を精度良く検査できる半導体装置を提供することにある。

【解決手段】 半導体装置は、半導体基板1と、前記半導体基板1に形成されたチップ領域10と、前記チップ領域10に形成された電極12と、前記半導体基板1に形成され、前記チップ領域10と離間して形成されたチップ検査領域20と、前記チップ検査領域20に形成され、前記電極12と電気的に接続された検査用電極22と、を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基板と、
前記半導体基板に形成されたチップ領域と、
前記チップ領域に形成された電極と、
前記半導体基板に形成され、前記チップ領域と離間して形成されたチップ検査領域と、
前記チップ検査領域に形成され、前記電極と電氣的に接続された検査用電極と、を有する、半導体装置。

【請求項 2】

請求項 1 において、
前記電極および前記検査用電極は、パッドと該パッド上に形成されたバンプとを有する、半導体装置。

10

【請求項 3】

請求項 1 および 2 のいずれかにおいて、
前記電極と前記検査用電極とは、前記パッドと同じ層にある導電層によって電氣的に接続されている、半導体装置。

【請求項 4】

チップ領域と該チップ領域と離間して形成されたチップ検査領域とを有する半導体装置の検査方法であって、

半導体基板の前記チップ領域に電極を形成する工程と、

20

前記半導体基板の前記チップ検査領域に、前記電極と電氣的に接続された検査用電極を形成する工程と、

前記半導体装置の前記チップ領域に実装基板を実装する工程と、

前記検査用電極を用いて、前記チップ領域の検査を行う工程と、

を含む、半導体装置の検査方法。

【請求項 5】

請求項 4 において、

前記チップ領域に実装基板を実装する工程は、COG実装である、半導体装置の検査方法。

【請求項 6】

30

請求項 4 および 5 のいずれかにおいて、

前記電極を形成する工程と前記検査用電極を形成する工程とは、同一工程で行われる、半導体装置の検査方法。

【請求項 7】

半導体基板と、

前記半導体基板に形成されたチップ領域及びスクライプ領域と、

前記チップ領域に形成された電極と、

前記スクライプ領域に形成されチップ検査領域と、

前記チップ検査領域に形成され、前記電極と電氣的に接続された検査用電極と、を有する、半導体ウェハ。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体チップの検査を行うことができる半導体装置、半導体装置の検査方法および半導体ウェハに関する。

【背景技術】**【0002】**

例えば、半導体チップをCOG (Chip On Glass) 実装した際に、COG実装による当該半導体チップへの影響を知るための電氣的検査を必要とすることがある。このような場合、半導体チップをガラス基板上にCOG実装した後に検査を行うと、ガラス基板上に

50

形成された配線の抵抗が大きいなどの理由によって精度の高い検査ができないことがある。

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明の目的は、半導体チップの実装基板への実装時の影響を精度良く検査できる半導体装置を提供することにある。

【0004】

また、本発明の目的は、上記半導体装置を用いた半導体装置の検査方法を提供することにある。

10

【0005】

さらに、本発明の目的は、半導体チップの実装基板への実装時の影響を精度良く検査できる半導体ウェハを提供することにある。

【課題を解決するための手段】

【0006】

本発明にかかる半導体装置は、
半導体基板と、
前記半導体基板に形成されたチップ領域と、
前記チップ領域に形成された電極と、
前記半導体基板に形成され、前記チップ領域と離間して形成されたチップ検査領域と、
前記チップ検査領域に形成され、前記電極と電気的に接続された検査用電極と、を有する。

20

【0007】

本発明にかかる半導体装置によれば、例えば、チップ領域に実際に実装基板を実装し、チップ検査領域の検査用電極を介して所定の検査することによって、実装基板の実装時のチップ領域への影響を高い精度で検査することができる。その結果、ICチップを実装基板に実装した際の当該ICチップに与える特性への影響を正確に知ることができる。

【0008】

本発明の半導体装置において、
前記電極および前記検査用電極は、パッドと該パッド上に形成されたバンプとを有することができる。

30

【0009】

本発明の半導体装置において、
前記電極と前記検査用電極とは、前記パッドと同じ層にある導電層によって電気的に接続されていることができる。

【0010】

本発明にかかる半導体装置の検査方法は、
チップ領域と該チップ領域と離間して形成されたチップ検査領域とを有する半導体装置の検査方法であって、
半導体基板の前記チップ領域に電極を形成する工程と、
前記半導体基板の前記チップ検査領域に、前記電極と電気的に接続された検査用電極を形成する工程と、
前記半導体装置の前記チップ領域に実装基板を実装する工程と、
前記検査用電極を用いて、前記チップ領域の検査を行う工程と、
を含む。

40

【0011】

本発明にかかる半導体装置の検査方法によれば、チップ検査領域の検査用電極を用いて検査することによって、実装基板の実装時のストレスによるチップ領域への影響を間接的ではあるが高精度で検査することができる。その結果、ICチップを実装基板に実装した際の当該ICチップに与える特性への影響を正確に知ることができる。

50

【 0 0 1 2 】

本発明にかかる半導体装置の検査方法において、
前記チップ領域に実装基板を実装する工程は、COG実装であることができる。

【 0 0 1 3 】

本発明の半導体装置の検査方法において、
前記電極を形成する工程と前記検査用電極を形成する工程とは、同一工程で行われることができる。

【 0 0 1 4 】

本発明にかかる半導体ウェハは、
半導体基板と、
前記半導体基板に形成されたチップ領域及びスクライプ領域と、
前記チップ領域に形成された電極と、
前記スクライプ領域に形成されチップ検査領域と、
前記チップ検査領域に形成され、前記電極と電気的に接続された検査用電極と、を有する。

10

【 0 0 1 5 】

本発明にかかる半導体ウェハによれば、チップ領域に実際に実装基板を実装し、チップ検査領域の電極を介して検査することによって、実装基板の実装時のチップ領域への影響を正確に知ることができる。

【 発明を実施するための最良の形態 】

20

【 0 0 1 6 】

以下、本発明の一実施形態について図面を参照しながら詳細に説明する。

【 0 0 1 7 】

1. 半導体装置

図1は、本実施形態の半導体装置100を模式的に示す平面図であり、図2は、半導体装置100の一部を模式的に示す平面図であり、図3は、図2のA-A線に沿った断面図である。

【 0 0 1 8 】

本実施形態にかかる半導体装置100は、図1に示すように、半導体基板1に形成された、チップ形成領域10Aと、検査領域10Bとを含む。チップ形成領域10Aには、チップ領域10が複数形成されている。検査領域10Bには、各チップ領域10を検査するためのチップ検査領域20が複数形成されている。チップ形成領域10Aと、検査領域20Aとは、隣り合って配置されている。また、チップ領域10と、チップ検査領域20とは、離間して配置されている。

30

【 0 0 1 9 】

チップ領域10は、検査の目的によって各種の構成をとることができる。例えば、チップ領域10は、いわゆるTEG (Test Element Group) あるいはテスト構造 (Test Structure) といわれる、評価用単体素子群であることができる。また、チップ領域10は、実デバイスのICチップと同じ集積回路を有するものでもよい。

【 0 0 2 0 】

チップ領域10は、電極12を有する。電極12は、図3に示すように、パッド14と、該パッド14上に形成されたバンプ16とを有する。パッド14は、チップ形成領域10Aの最上層の配線層によって形成されることができる。パッド14およびバンプ16の構成は特に限定されず、公知の態様をとることができる。また、電極12は、バンプ16を有さないこともできる。さらに、チップ領域10は、検査に必要でない電極 (図示せず) を有することもできる。バンプとしては、例えば、金バンプ、ニッケルバンプに金メッキがなされたもの、樹脂製の突起表面に導電層が形成されたいわゆる樹脂コアバンプなどを用いることができる。なお、図3においては、最上層の配線層の一部のみを示し、それ以外の配線層や素子は図示していない。

40

【 0 0 2 1 】

50

チップ検査領域 20 は、検査用電極 22 を有する。検査用電極 22 は、図 3 に示すように、電極 12 と同様に、パッド 14 と、該パッド 14 上に形成された bumps 16 とを有する。パッド 14 は、チップ形成領域 10 A の最上層と同じ層にある配線層によって形成されることができる。パッド 14 および bumps 16 の構成は特に限定されず、公知の態様をとることができる。また、検査用電極 22 は、bumps 16 を有さないこともできる。なお、電極 12 と検査用電極 22 とは、同一工程で形成することもできる。

【0022】

検査用電極 22 は、図 2 に示すように、少なくともチップ領域 10 の検査に必要な電極 12 と検査配線部 24 によって電氣的に接続されている。検査配線部 24 は、図示の例では、パッド 14 と同じ層にある配線層（導電層）を用いて形成されることができる。

10

【0023】

図示の例では、チップ形成領域 10 A に複数のチップ領域 10 を形成した例を示したが、その個数や配置は検査の目的に応じて適宜設定される。それに応じて、検査領域 20 A のチップ検査領域 20 も同様に、その個数や配置が設定される。

【0024】

本実施形態の半導体装置 100 によれば、チップ形成領域 10 A と検査領域 20 A とを別々に設けることにより、チップ領域 10 の検査を実質的にチップ検査領域 20 にて行うことができる。そして、チップ形成領域 10 A に実際に実装基板 200 を実装した状態で検査をすることによって、実際に IC チップを実装基板に実装したときと同様の条件で、チップ領域 10 の特性への影響を正確に検査することができる。

20

【0025】

2. 半導体装置の検査方法

次に、図 1 ないし図 3 を参照して、本実施形態の半導体装置の検査方法について述べる。本実施形態では、半導体装置を COG 実装した際の影響を検査する例について述べる。

【0026】

まず、半導体装置 100 のチップ形成領域 10 A に、例えばガラス基板からなる実装基板 200 を実装する。このとき、実装基板 200 は、検査領域 20 A のチップ検査領域 20 に影響を与えないように、少なくともチップ検査領域 20 を露出した状態で実装される。図示の例では、図 3 に示すように、実装基板 200 に形成された配線部 30 とチップ領域 10 の bumps 16 とを異方性導電層 40 によって電氣的に接続する。異方性導電層 40 は、例えば異方性導電フィルムを半導体装置 100 と実装基板 200 との間の所定箇所に介在させ、加熱させながら実装基板 200 を半導体装置 100 に押圧することによって形成される。

30

【0027】

ついで、検査領域 20 A のチップ検査領域 20 を所定の検査手段を用いて検査する。かかる検査としては、例えばプローブ検査を用いることができる。このように検査領域 20 A の各チップ検査領域 20 を検査することにより、該チップ検査領域 20 と接続されたチップ領域 10 を検査することができる。

【0028】

実装基板 200 としては、COG 実装で用いられるガラス基板に限定されず、各種の実装基板を用いることができる。実装基板としては、ガラス基板、半導体基板などの柔軟性のない基板のみならず、プラスチック基板などの柔軟性を有する基板でもよい。

40

【0029】

本実施形態では、COG 実装などの実装によるチップ領域 10 への影響を精度良く測定できる。すなわち、実際に実装基板 200 への実装が行われるチップ形成領域 10 A と検査領域 20 A とは同じ半導体基板に形成され、また、両者は隣接しているため、検査領域 20 A のチップ検査領域 20 を検査することによって、実装のストレスなどによるチップ領域 10 への影響を間接的ではあるが高い精度で検査できる。そして、チップ形成領域 10 A への実装基板 200 の実装は、実際の IC チップの実装をほぼ忠実に再現できるので、IC チップの実装を検査すると同等の結果が期待できる。

50

【0030】

3. 半導体ウェハ

本実施形態にかかる半導体ウェハを図4および図5を参照して説明する。本実施形態の半導体ウェハにおいて、前述した半導体装置と実質的に同じ部材には同一符合を付して、その詳細な説明を省略する。図4は、本実施形態の半導体ウェハ300の一部を模式的に示す平面図であり、図5は、図4におけるA-A線に沿った断面図である。

【0031】

本実施形態にかかる半導体ウェハ300は、図4に示すように、半導体基板1に形成された、チップ領域10と、チップ検査領域10とを含む。チップ領域10は、後にスクライプ領域で分離されてICチップとなる。また、チップ領域10と、チップ検査領域20とは、離間して配置されている。

10

【0032】

本実施形態では、チップ検査領域20は、チップ領域10の相互間に設けられるスクライプ領域に形成されている。このように、チップ検査領域20をスクライプ領域に形成することにより、チップ形成領域をより大きい面積とすることができ、半導体ウェハ300を有効に利用することができる。

【0033】

チップ領域10には、ICチップの集積回路が形成されている。また、チップ領域10は、半導体装置100で述べたと同様に、電極12を有する。図4では、チップ領域10の一部の電極12が模式的に図示されている。電極12は、図5に示すように、パッド14と、該パッド14上に形成された bumps 16とを有する。パッド14は、ウェハ300の最上層の配線層によって形成されることができる。パッド14および bumps 16の構成は特に限定されず、公知の態様をとることができる。また、電極12は、 bumps 16を有さないこともできる。

20

【0034】

チップ検査領域20は、検査用電極22を有する。検査用電極22は、図5に示すように、パッド14と、該パッド14上に形成された bumps 16とを有する。パッド14は、ウェハ300の最上層の配線層によって形成されることができる。パッド14および bumps 16の構成は特に限定されず、公知の態様をとることができる。また、電極12は、 bumps 16を有さないこともできる。

30

【0035】

検査用電極22は、少なくともチップ領域10の検査に必要な電極12と検査配線部24によって電気的に接続されている。検査配線部24は、図示の例では、パッド14と同じ層の配線層を用いて形成されている。

【0036】

半導体ウェハ300は、最上層に図示しないパッシベーション層を有することができる。 bumps 16は、パッシベーション層の開口部に形成されている。

【0037】

本実施形態の半導体ウェハ300によれば、チップ領域10とチップ検査領域20とを別々に設けることにより、チップ領域10の検査を実質的にチップ検査領域20にて行うことができる。そして、図5に示すように、チップ領域10に実装基板200を実装した状態で検査をすることによって、実際にICチップを実装基板に実装したときと同様の条件で、チップ領域10での特性への影響を正確に検査することができる。

40

【0038】

本実施形態の半導体ウェハ300を検査する場合には、上述した項目2.の検査方法と同様に行うことができる。例えば、本実施形態の半導体ウェハ300においてCOG実装した際の影響を検査する例について述べる。

【0039】

まず、半導体ウェハ300のチップ領域10に、例えばガラス基板からなる実装基板200を実装する。このとき、実装基板200は、チップ検査領域20に影響を与えないよ

50

うに、チップ検査領域 20 を露出した状態で実装される。図示の例では、図 5 に示すように、実装基板 200 に形成された配線部 30 とチップ領域 10 のバンプ 16 とを異方性導電層 40 によって電氣的に接続する。

【0040】

ついで、チップ検査領域 20 を所定の検査手段を用いて検査する。かかる検査としては、例えばプローブ検査を用いることができる。このようにチップ検査領域 20 を検査することにより、該チップ検査領域 20 に接続されたチップ領域 10 について所望の検査することができる。

【0041】

実装基板 200 としては、COG 実装で用いられるガラス基板に限定されず、各種の実装基板を用いることができる。実装基板としては、ガラス基板、半導体基板などの柔軟性のない基板のみならず、プラスチック基板などの柔軟性を有する基板でもよい。

10

【0042】

本実施形態では、COG 実装などの実装によるチップ領域 10 への影響を精度良く測定できる。すなわち、実際に実装基板 200 への実装が行われるチップ領域 10 とチップ検査領域 20 とは同じ半導体基板に形成され、また、両者は隣接しているため、チップ検査領域 20 を検査することによって、実装のストレスなどによるチップ領域 10 への影響を間接的ではあるが高い精度で検査できる。そして、チップ領域 10 への実装基板 200 の実装は、実際の IC チップの実装をほぼ忠実に再現できるので、IC チップの実装を検査すると同等の結果が期待できる。

20

【0043】

なお、本発明は、上述した実施形態に限定されるものではなく、種々の変形が可能である。たとえば、本発明は、実施形態で説明した構成と実質的に同一の構成（たとえば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施形態で説明した構成と同一の作用効果を奏する構成または同一の目的を達成することができる構成を含む。また、本発明は、実施形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【0044】

30

【図 1】本発明の実施形態にかかる半導体装置および半導体装置の検査方法を示す平面図。

【図 2】本発明の実施形態にかかる半導体装置の一部および半導体装置の検査方法を示す平面図。

【図 3】本発明の実施形態にかかる半導体装置の一部および半導体装置の検査方法を示す断面図。

【図 4】本発明の実施形態にかかる半導体ウェハの一部および半導体装置の検査方法を示す平面図。

【図 5】本発明の実施形態にかかる半導体ウェハの一部および半導体装置の検査方法を示す断面図。

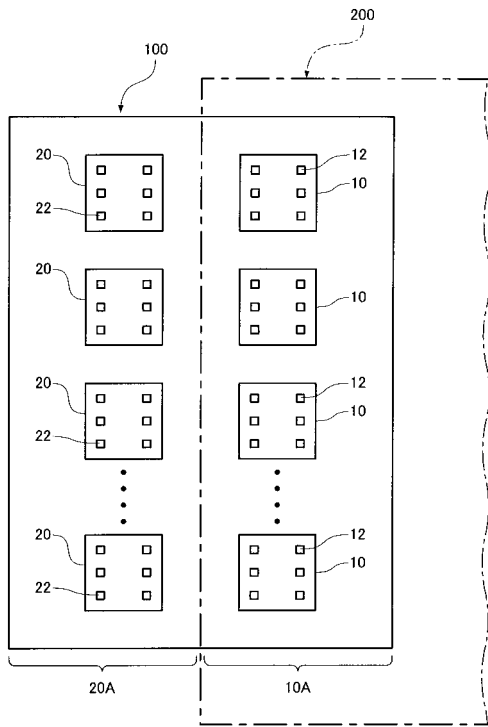
40

【符号の説明】

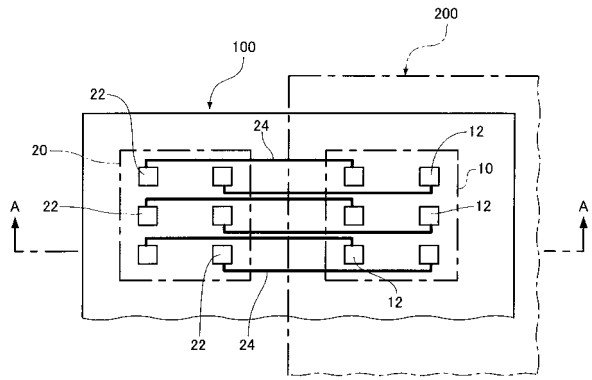
【0045】

10 チップ領域、10A チップ形成領域、12 電極、14 パッド、16 バンプ、20 チップ検査領域、20A 検査領域、22 検査用電極、24 検査配線部、40 異方性導電層、100 半導体装置、200 実装基板、300 半導体ウェハ

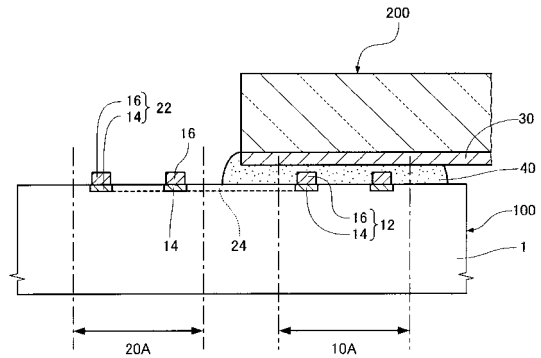
【 図 1 】



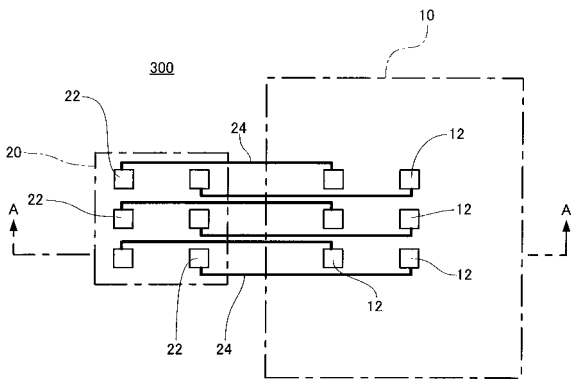
【 図 2 】



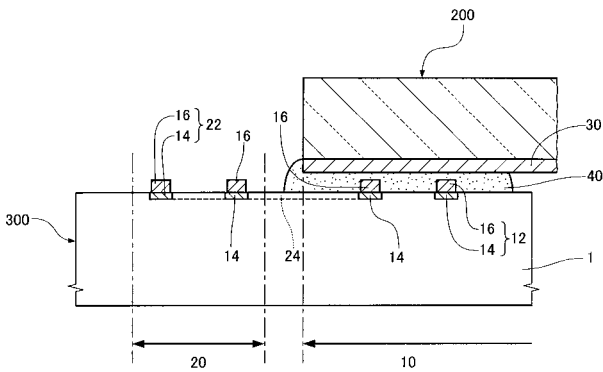
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 木島 一博

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2G003 AA00 AA10 AG12 AH00 AH05

4M106 AA01 AA07 AB15 AB16 AB17 AC05 AD02 AD03 BA01 CA27

DH60

5F033 HH07 HH13 PP27 PP28 UU03 VV00 VV07 VV12 XX37