

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6382292号
(P6382292)

(45) 発行日 平成30年8月29日 (2018. 8. 29)

(24) 登録日 平成30年8月10日 (2018. 8. 10)

(51) Int. Cl.	F I
H03M 1/38 (2006.01)	H03M 1/38
H03K 5/26 (2006.01)	H03K 5/26 S
H03L 7/085 (2006.01)	H03L 7/085

請求項の数 15 (全 27 頁)

(21) 出願番号	特願2016-501405 (P2016-501405)	(73) 特許権者	595020643
(86) (22) 出願日	平成26年3月12日 (2014. 3. 12)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2016-517216 (P2016-517216A)		QUALCOMM INCORPORATED
(43) 公表日	平成28年6月9日 (2016. 6. 9)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2014/024035		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02014/150707		ハウス・ドライブ 5775
(87) 国際公開日	平成26年9月25日 (2014. 9. 25)	(74) 代理人	100108855
審査請求日	平成29年2月15日 (2017. 2. 15)		弁理士 蔵田 昌俊
(31) 優先権主張番号	13/842, 481	(74) 代理人	100109830
(32) 優先日	平成25年3月15日 (2013. 3. 15)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100194814
			弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 組み込み T2V ADC を有する混合信号 TDC

(57) 【特許請求の範囲】

【請求項 1】

(a1) 時間デジタル変換器であって、

(a2) 第 1 および第 2 の信号に応答するエッジ検出器と、ここにおいて、前記第 1 の信号は複数の信号を備え、前記複数の信号の各エッジの位相は異なり、前記第 2 の信号は、前記第 1 の信号の前記複数の信号の各期間中に複数のエッジを備え、前記エッジ検出器は、前記第 1 の信号の前記複数の信号の各期間中に、前記第 1 の信号の前記複数の信号のエッジに最も近い前記第 2 の信号のエッジを検出するように構成される、

(a3) 前記第 2 の信号の前記検出されたエッジと前記第 1 の信号の前記複数の信号の前記エッジとの間の時間の差に比例する電圧を生成するように構成される時間電圧変換器と、
(a3-1) ここにおいて、前記時間電圧変換器は、リセット信号に応答して規定の電圧レベルに充電されるように構成される第 1 および第 2 の異なる出力を有し、(a3-2) ここにおいて、第 1 の導電路が、第 1 の時間期間内の前記第 1 の信号の前記複数の信号の前記エッジに
10 応答して前記第 1 の異なる出力と第 1 の電源電圧との間に形成され、(a3-3) ここにおいて、第 2 の導電路が、第 2 の時間期間中の前記第 2 の信号の前記検出されたエッジに
20 応答して前記第 2 の異なる出力と前記第 1 の電源電圧との間に形成され、前記第 1 および第 2 の時間期間は重なり合わない、

(a4) 前記第 1 および第 2 の異なる出力の電圧の差をデジタル化するように構成されるアナログデジタル変換器と、
を備え、

(a5) ここにおいて、前記時間電圧変換器は、

前記第 1 の異なる出力と前記第 1 の電源電圧との間に、前記第 1 の導電路をもたらしように構成される第 1 および第 2 のトランジスタと、

前記第 2 の異なる出力と前記第 1 の電源電圧との間に、前記第 2 の導電路をもたらしように構成される第 3 および第 4 のトランジスタと、

前記第 1 の異なる出力を前記規定の電圧レベルに充電するように構成される第 5 のトランジスタと、

前記第 2 の異なる出力を前記規定の電圧レベルに充電するように構成される第 6 のトランジスタと、ここにおいて、前記規定の電圧レベルは第 2 の電源電圧である、

をさらに備える、時間デジタル変換器。

10

【請求項 2】

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも低い、請求項 1 に記載の時間デジタル変換器。

【請求項 3】

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、

をさらに備える、請求項 2 に記載の時間デジタル変換器。

【請求項 4】

20

前記アナログデジタル変換器は、継続的近似化レジスタ (SAR) アナログデジタル変換器であり、前記第 1 および第 2 の複数のコンデンサは、前記アナログデジタル変換器に対してサンプルおよびホールド動作を実行する、請求項 3 に記載の時間デジタル変換器。

【請求項 5】

前記アナログデジタル変換器は、前記第 1 および第 2 の複数の信号を生成するように構成される制御論理をさらに備える、請求項 4 に記載の時間デジタル変換器。

【請求項 6】

前記アナログデジタル変換器は、前記時間電圧変換器の前記第 1 および第 2 の異なる出力の電圧を比較し、比較信号を前記制御論理に供給するように構成される比較器をさらに備える、請求項 5 に記載の時間デジタル変換器。

30

【請求項 7】

前記エッジ検出器は、複数のバッファおよび可変コンデンサを備え、ここにおいて、前記複数のバッファのサブセットの各々の両端間の遅延は、前記複数の可変コンデンサのサブセットの静電容量を変えることによって、前記第 2 の信号の期間の規定の一部分に調整され、および／または

前記エッジ検出器は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップをさらに備える、請求項 6 に記載の時間デジタル変換器。

【請求項 8】

誤差信号を生成するために、制御信号とループ信号との間の差を検出するように構成される検出器と、

40

ノイズの高周波成分を前記誤差信号からフィルタに通して除去するように構成されるループフィルタと、

前記フィルタに通された誤差信号に応答して、発振する信号を生成するように構成されるデジタル方式で制御される発振器と、

請求項 1 にしたがう時間デジタル変換器と、前記デジタル化される電圧は、前記ループ信号を規定する、

を備える、デジタル制御ロックループ。

【請求項 9】

(b1) 第 1 の信号および第 2 の信号の遷移時間の間の差をデジタル信号に変換する方法で

50

あって、ここにおいて、前記第 1 の信号は複数の信号を備え、前記複数の信号の各エッジの位相は異なり、前記第 2 の信号は、前記第 1 の信号の前記複数の信号の各期間中に複数の遷移を備え、前記方法は、

(b2)前記第 1 の信号の前記複数の信号の各期間中に、前記第 1 の信号の前記複数の信号の前記遷移に時間において最も近い前記第 2 の信号の遷移を検出することと、

(b3)第 1 および第 2 の異なる出力を第 1 の電源電圧に充電することと、

(b4)第 1 の時間期間中の前記第 1 の信号の前記複数の信号の前記遷移に応答して、前記第 1 の異なる出力と第 2 の電源電圧との間に、第 1 の導電路を形成することと、

(b5)第 2 の時間期間中の前記第 2 の信号の前記検出された遷移に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成することと、前記第 1 および第 2 の時間期間は重なり合わない、

(b6)前記第 2 の信号の前記検出された遷移と前記第 1 の信号の前記複数の信号の前記遷移との間の時間の差に比例する電圧を生成することと、

(b7)前記電圧をデジタル化することと、

を備え、

(b8)前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成することと、

前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成することと、

前記第 1 の異なる出力を第 5 のトランジスタを介して前記第 1 の電源電圧に充電することと、

前記第 2 の異なる出力を第 6 のトランジスタを介して前記第 1 の電源電圧に充電することと、

をさらに備える、方法。

【請求項 10】

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、請求項 9 に記載の方法。

【請求項 11】

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成することと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成することと、

をさらに備える、請求項 10 に記載の方法。

【請求項 12】

前記第 1 および第 2 の異なる出力の電圧の前記差を継続的近似化レジスタ（SAR）アナログデジタル変換器を使用してデジタル化することと、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行することと、

をさらに備える、請求項 11 に記載の方法。

【請求項 13】

前記第 1 および第 2 の複数の信号を前記 SAR アナログデジタル変換器に配置される制御論理を使用して生成すること、

をさらに備える、請求項 12 に記載の方法。

【請求項 14】

比較信号を生成するために、前記第 1 および第 2 の異なる出力の電圧を比較することと

、

前記比較信号を前記制御論理へ引き渡すことと、好ましくは、

複数のバッファを直列に形成することと、

複数の可変コンデンサを前記複数のバッファの出力に配置することと、

前記第 1 の信号を前記複数のバッファのうちの第 1 のバッファの入力に印加することと

10

20

30

40

50

、
前記複数のバッファのサブセットの各々の両端間の遅延が、前記第2の信号の期間の規定の一部分に調整されるように、前記複数の可変コンデンサの静電容量を変えることと、さらに好ましくは、

前記第1の信号の前記遷移に時間において最も近い前記第2の信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出すること、

をさらに備える、請求項13に記載の方法。

【請求項15】

発振する信号を基準クロック信号にロックさせる方法であって、前記発振する信号は、
前記基準クロック信号の各期間中に複数の遷移を備え、前記方法は、

誤差信号を生成するために、制御信号とループ信号との間の差を検出することと、

前記誤差信号の高周波成分をフィルタに通して除去することと、

前記フィルタに通された誤差信号に応答して、前記発振する信号を生成することと、

請求項9にしたがう方法と、前記デジタル化される電圧が、前記ループ信号を規定する

を備える、方法。

【発明の詳細な説明】

【技術分野】

【0001】

[0001]本開示は、電子回路に関し、よりパティキュアルリー (particularlry)、時間デジタル変換器に関する。

【背景技術】

【0002】

[0002]時間デジタル変換器 (TDC) は、2つの信号の遷移時間の間の差を、その値がそのようなタイミング差に比例するデジタル信号に変換する電子回路である。時間デジタル変換器は、発振する信号の位相をクロック信号の位相にロックさせるために、基準クロック信号および発振している信号の遷移時間の間の差をデジタル信号に変換するための位相ロックループで使用され得る。

【発明の概要】

【0003】

[0003]時間デジタル変換器は、基準クロック信号および発振する信号の遷移時間の間の差を、その値が遷移のタイミング差に比例するデジタル信号に変換する。時間デジタル変換器は、本発明の一実施形態によれば、エッジ検出器と、時間電圧変換器と、アナログデジタル変換器とを含む。

【0004】

[0004]エッジ検出器は、基準クロック信号の各期間中に、基準クロック信号のエッジに最も近い、発振する信号のエッジ (遷移) を検出するように構成される。時間電圧変換器は、発振する信号の検出されたエッジおよび基準クロック信号のエッジの発生との間の差に比例する値を有する、アナログ信号を生成するように構成される。アナログデジタル変換器は、アナログ信号をデジタル信号に変換するように構成される。

【0005】

[0005]一実施形態では、時間デジタル変換器は、リセット信号に応答して規定の電圧レベルに充電される、第1および第2の異なる出力を有する。その後、発振する信号の検出されたエッジおよび基準クロック信号の相対的な到達時間に応じて、異なる出力のうちの一方は、他方の異なる出力が同じ規定の電圧レベルのままでありながら、より高い電圧に充電する (または、より低い電圧に放電する) ことが可能である。2つのエッジの到達時間の間の期間が長ければ長いほど、電圧の増大 (または、減少) の量は大きくなる。このことを実現するために、基準クロック信号のエッジが、発振する信号の検出されたエッジより進んでいる場合、導電路は、第1の異なる出力と第1の電源電圧との間に、第1およ

10

20

30

40

50

び第2のトランジスタを介して形成される。反対に、基準クロック信号のエッジが、発振する信号の検出されたエッジより遅れている場合、導電路は、第2の異なる出力と第1の電源電圧との間に、第3および第4のトランジスタを介して形成される。

【0006】

[0006]一実施形態では、時間デジタル変換器の第1の異なる出力は、第5のトランジスタを介して規定の電圧レベルに充電され、時間デジタル変換器の第2の異なる出力は、第6のトランジスタを介して規定の電圧レベルに充電される。規定の電圧レベルは、第2の電源電圧であり得る。

【0007】

[0007]一実施形態では、第5および第6のトランジスタは、NMOSトランジスタであり、第2の電源電圧は、第1の電源電圧よりも低い。一実施形態では、時間デジタル変換器は、さらに、第1および第2の多数のコンデンサを部分的に含む。第1の多数のコンデンサの各々は、第1の多数の制御信号のうちの異なる制御信号にตอบสนองして、第1の異なる出力と第2の電源電圧との間に結合されるように構成される。同様に、第2の多数のコンデンサの各々は、第2の多数の制御信号のうちの異なる制御信号にตอบสนองして、第2の異なる出力と第2の電源電圧との間に結合されるように構成される。

【0008】

[0008]一実施形態では、アナログデジタル変換器は、継続的近似化レジスタ(SAR)アナログデジタル変換器である。そのような実施形態では、第1および第2の多数のコンデンサは、SARアナログデジタル変換器のための、サンプルおよびホールド動作を実行するために使用される。そのような実施形態では、SARアナログデジタル変換器は、さらに、第1および第2の多数の制御信号を生成するように構成される制御論理を含む。

【0009】

[0009]一実施形態では、アナログデジタル変換器は、さらに、時間電圧変換器の第1および第2の異なる出力の電圧を比較し、比較信号を制御論理に供給するように構成される比較器を含む。制御論理は、時間電圧変換器の出力信号を生成する。

【0010】

[0010]一実施形態では、エッジ検出器は、多数のバッファと、多数の可変コンデンサとを含む。可変コンデンサのうちの1つまたは複数の静電容量を変えることによって、バッファのサブセットの各々の両端間の遅延は、発振する信号の期間の規定の一部分に実質的に等しくなるように調整される。エッジ検出器は、さらに、そのクロック端子がいくつかのバッファの出力信号を受ける多数のフリップフロップを含む。

【0011】

[0011]基準クロック信号および発振する信号の遷移時間の間の差をデジタル信号に変換する方法は、
— 基準クロック信号の各期間中に — 基準クロック信号の遷移に時間において最も近い、発振する信号の遷移を検出することと、第1および第2の異なる出力を第1の電源電圧に充電することと、第1の時間期間中の基準クロック信号の遷移にตอบสนองして、第1の導電路を第1の異なる出力と第2の電源電圧との間に形成することと、第1の時間期間に重なり合わない第2の時間期間中の、発振する信号の検出されたエッジにตอบสนองして、第2の導電路を第2の異なる出力と第2の電源電圧との間に形成することと、そのような遷移時間の間の差に比例するアナログ信号を生成することと、アナログ信号をデジタル化することとを含む。

【0012】

[0012]デジタル制御ロックループは、位相検出器と、ループフィルタと、デジタル方式で制御される発振器と、時間デジタル変換器とを部分的に含む。位相検出器は、位相誤差信号を生成するために、基準信号の位相とループ信号の位相との間の差を検出するように構成される。ループフィルタは、ノイズの高周波成分を位相誤差信号から、フィルタに通して除去するように構成される。デジタル方式で制御される発振器は、フィルタに通された位相誤差信号にตอบสนองして、発振する信号を生成するように構成される。時間デジタル変換器は、基準クロック信号および発振する信号の遷移時間の間の差を、ループ信号を表現

10

20

30

40

50

するデジタル信号に変換する。

【0013】

[0013]本開示の態様が例として示される。添付の図では、同様の参照番号が同様の要素を示す。

【図面の簡単な説明】

【0014】

【図1】[0014]本発明の例示的な一実施形態による時間デジタル変換器のブロック図。

【図2A】[0015]本発明の例示的な一実施形態による時間デジタル変換器の概略図。

【図2B】[0016]図2Aの時間電圧変換器と関連したいくつかの信号のタイミング図。

【図3】[0017]本発明の例示的な別の実施形態による図1の時間電圧変換器の概略図。

【図4】[0018]本発明の例示的な一実施形態による図1の時間電圧変換器の概略図。

【図5】[0019]本発明の例示的な一実施形態による図1のアナログデジタル変換器の簡易化したブロック図。

【図6A】[0020]本発明の例示的な一実施形態による図1のエッジ検出器に配置される調整可能な遅延チェーンの概略図。

【図6B】[0021]図6Aの調整可能な遅延チェーンと関連したいくつかの信号のタイミング図。

【図7A】[0022]本発明の例示的な一実施形態による図1のエッジ検出器に配置される論理回路のブロック図。

【図7B】[0023]図6Aの論理回路と関連したいくつかの信号のタイミング図。

【図7C】図6Aの論理回路と関連したいくつかの信号のタイミング図。

【図8】[0024]本発明の一実施形態による時間デジタル変換器を実施するデジタル位相ロックループのブロック図。

【図9】[0025]本発明の一実施形態によるフローチャートまたは1対の信号の遷移時間の間の差をデジタルの電圧に変換すること。

【発明を実施するための形態】

【0026】

[0026]次に、本出願の一部を形成する、添付の図面に関していくつかの例示的な実施形態について説明する。本開示の1つまたは複数の態様が実施され得る特定の実施形態が以下に記載されるが、他の実施形態が使用され得、本開示の範囲から逸脱することなく様々な修正がなされ得る。

【0027】

[0027]図1は、本発明の例示的な一実施形態による時間デジタル変換器(TDC)50のブロック図である。TDC50は、エッジ検出器100と、時間電圧変換器(T2V)150と、アナログデジタル変換器(ADC)300とを、部分的に含むように示される。

【0028】

[0028]エッジ検出器100は、発振する信号DCO10と、信号DCO10よりも長い時間期間を有する基準クロック信号FREF12とを、受けるように構成される。したがって、信号FREF12の各期間中に、いくつかの遷移(エッジ)が信号DCO10に発生する。一実施形態では、信号FREF12の各期間中に、エッジ検出器100は、その期間の中で信号FREF12の立ち上がり(または、立ち下がり)エッジに時間において最も近いDCO10の立ち上がり(または、立ち下がり)エッジ以外の、DCO10信号のすべてのエッジをフィルタに通して除去する。信号FREF12の立ち上がり(または、立ち下がり)エッジに時間において最も近いものとして検出されたDCO10信号のエッジは、出力信号CKV14として供給される。信号FREF12の対応するエッジは、出力信号REF16としてエッジ検出器100によって供給される。別の実施形態では、信号FREF12の各期間中に、エッジ検出器100は、FREF12信号のエッジに2番目に近いDCO10のエッジを検出し得る。さらに他の実施形態では、各期間中に、エッジ検出器100は、FREF12のエッジと規定の関係を満たすDCO10のエッジを

検出する。すべてのそのような実施形態で検出されたDCO10のエッジは、出力信号CKV14として供給される。

【0018】

[0029] T2V変換器150は、信号CKV14およびREF16の遷移時間（エッジ）の差に比例する電圧を生成するように構成される。したがって、信号CKV14およびREF16の遷移の間の時間差（遅延）が長ければ長いほど、T2V変換器150の出力ノードOUT18およびOUT__B20の間に生成される差動電圧が大きくなる。以下でさらに述べられるように、信号RESET26は、出力ノードOUT18およびOUT__B20の電圧を、規定の電圧レベルに充電するために使用される。ADC300は、ADC300が出力ノードOUT18、OUT__B20から受ける差動電圧を、1対の差動のNビットのデジタル信号B[1:N]22およびBB[1:N]24に変換するように構成される。ADC300は、継続的近似化レジスタ（SAR）ADCであり得る。

10

【0019】

[0030] 図2Aは、本発明の例示的な一実施形態による、そこに配置されるT2V変換器200を有するTDC75の概略図である。T2V200は、図1のT2V150の一実施形態であり、トランジスタ202、204、206、212、214、216、コンデンサ220、222を含み、同様にインバータ208および218を含むように示される。図2Bは、図2AのT2V変換器200と関連したいくつかの信号のタイミング図である。

【0020】

20

[0031] 図2Aおよび図2Bを同時に参照すると、信号RESET26は、出力ノードOUT18と、OUT__B20とを、それぞれ、PMOSTランジスタ202および212を介した電源電圧VDDにリセットする。コンデンサ220、222は、ノードOUT18、OUT__B20に蓄積される電荷を保持する。図2Bでは、期間（T0-T1）中に信号RESET26がローであるものとして示され、それによって、ノードOUT18と、OUT__B20とを、電源電圧VDDにリセットさせる。

【0021】

[0032] 信号REF16の立ち上がりエッジが、信号CKV14の対応する立ち上がりエッジの前に到達する場合、トランジスタ214および206はターンオンし、したがって、ノードOUT__B20から接地への導電路をもたらし、一方、ノードOUT18の電圧は電源電圧VDDのままである。図2Bでは、信号REF16の立ち上がりエッジ252は、時間T1において発生し、信号CKV14の立ち上がりエッジは、時間T2において発生する。T2の前にT1が現れるので、期間（T2-T1）中に、ノードOUT__B20は、その高い電圧レベルVDDからより低い電圧レベルV1に、トランジスタ214および206を介して放電される。しかしながら、期間（T2-T1）中に、トランジスタ204がオープンのままであるので、ノードOUT18はVDDのままである。ノードOUT__B20の電圧レベルのVDDからV1への降下は、期間（T2-T1）に依存する。言い換えれば、信号REFおよびCKVの対応するエッジの到達の間の遅延が長ければ長いほど、ノードOUT__Bの電圧レベルの降下は大きくなる。

30

【0022】

40

[0033] 同様に、信号REF16の立ち上がりエッジが、信号CKV14の対応する立ち上がりエッジの後に到達する場合、トランジスタ204および216はターンオンし、したがって、ノードOUT18から接地への導電路をもたらし、一方、ノードOUT__B20の電圧はVDDのままである。図2Bでは、リセット信号RESET26は、期間（T4-T3）中に低いレベルにあるものとして示され、したがって、ノードOUT18と、OUT__B20とを、電源電圧VDDに充電させる。リセット動作の後、信号REF16の立ち上がりエッジ262は、時間T5において発生するように示され、信号CKV14の立ち上がりエッジは、時間T4において発生するように示される。T5がT4の後に現れるので、ノードOUT18は、VDDからより低い電圧レベルV2に放電される。ノードOUT18の電圧レベルのVDDからV2への降下は、期間（T5-T4）に依存する

50

。言い換えれば、信号 R E F 1 6 および C K V 1 4 の対応するエッジ（すなわち、遷移時間）の到達時間の間の遅延が長ければ長いほど、ノード O U T 1 8 の電圧レベルの降下は大きくなる。以下でさらに説明するように、ノード O U T 1 8 および O U T _ B 2 0 の間の差動電圧は、その出力電圧が T D C の出力を表現するアナログデジタル変換器によって、デジタル信号に変換される。

【 0 0 2 3 】

[0034] 図 3 は、本発明の例示的な別の実施形態による T 2 V 変換器 2 2 5 の概略図である。T 2 V 2 2 5 は、図 1 の T 2 V 1 5 0 の一実施形態であり、トランジスタ 2 3 8、2 4 0、2 4 2、2 5 8、2 6 0、2 6 2、インバータ 2 3 0、2 3 2、2 3 4、2 5 0、2 5 2、2 5 4 およびコンデンサ 2 3 6、2 5 6 を含むように示される。

10

【 0 0 2 4 】

[0035] T 2 V 2 2 5 は、T 2 V 変換器 2 2 5 では、N M O S トランジスタ 2 4 2 および 2 6 2 がリセット信号 R E S E T 1 6 に応答して、出力ノード O U T 1 8 と、O U T _ B 2 0 とを、基準電圧 V r e f に充電させること以外は、T 2 V 変換器 2 0 0 と同じ方式で動作する。そのようなリセットの後、トランジスタ 2 4 0、2 5 8 のいずれかは、ノード O U T 1 8 から電源電圧 V c h g への導電路を形成するために、上で同調され、または反対に、トランジスタ 2 6 0、2 3 8 は、ノード O U T _ B 2 0 から電源電圧 V c h g への導電路を形成するために、上で同調される。詳細には、信号 R E F 1 6 および C K V 1 4 の立ち上がりエッジの相対的なタイミングに応じて、ノード O U T 1 8 または O U T _ B 2 0 のうちの一方の電圧は V r e f から増大することが可能であり、他方のノードの電圧は V r e f のままである。この電圧の増大の大きさは、信号 C K V 1 4 および R E F 1 6 の対応するエッジの到達時間の間の差に依存する。

20

【 0 0 2 5 】

[0036] 信号 R E F 1 6 の立ち上がりエッジが、信号 C K V 1 4 の対応する立ち上がりエッジの前に到達する場合、トランジスタ 2 4 0、2 5 8 は、ノード O U T 1 8 と電源電圧 V c h g との間に導電路を形成するためにターンオンする。したがって、ノード O U T 1 8 の電圧は、増大できるようにされる。ノード O U T 1 8 の電圧レベルの増大は、信号 C K V 1 4 および R E F 1 6 の立ち上がりエッジの到達時間の差によって規定される期間に依存する。この差が大きければ大きいほど、ノード O U T 1 8 における電圧の増大は大きくなる。トランジスタ 2 6 0 および 2 3 8 がこの期間中はオフのままであるので、ノード O U T _ B 2 0 の電圧は電圧 V r e f のままである。ノード O U T 1 8 および O U T _ B 2 0 の電圧の差は、T D C の出力電圧を表現するデジタル信号に変換される。一実施形態では、V r e f は、接地電位である。

30

【 0 0 2 6 】

[0037] 同様に、信号 R E F 1 6 の立ち上がりエッジが、信号 C K V 1 4 の対応する立ち上がりエッジの後に到達する場合、トランジスタ 2 6 0、2 3 8 は、ノード O U T _ B 2 0 と電源電圧 V c h g との間に導電路を形成するためにターンオンする。したがって、ノード O U T _ B 2 0 の電圧は、増大できるようにされる。ノード O U T _ B 2 0 の電圧レベルの増大は、信号 C K V 1 4 および R E F 1 6 の立ち上がりエッジの到達時間の差によって規定される期間に依存する。この差が大きければ大きいほど、ノード O U T _ B 2 0 における電圧の増大は大きくなる。トランジスタ 2 4 0 および 2 5 8 がそのような期間中はオフのままであるので、ノード O U T 1 8 の電圧は電圧 V r e f のままである。ノード O U T 1 8 および O U T _ B 2 0 の電圧の差は、T D C の出力電圧を表現するデジタル信号に変換される。

40

【 0 0 2 7 】

[0038] 図 4 は、本発明の例示的な別の実施形態による T 2 V 変換器 2 5 0 の概略図である。T 2 V 変換器 2 5 0 は、図 1 の T 2 V 1 5 0 の一実施形態であり、T 2 V 変換器 2 5 0 が、コンデンサ 2 4 4、2 6 4 の代りに、第 1 および第 2 のコンデンサバンク 2 8 0、2 9 0 を含むこと以外は、T 2 V 変換器 2 2 5 に類似である。コンデンサバンク 2 8 0 および 2 9 0 は、継続的近似化レジスタ (S A R) A D C の部分である。したがって、その

50

ような実施形態では、A D C のコンデンサバンクは、T 2 V の回路内に統合される。

【0028】

[0039]コンデンサバンク280は、N個のコンデンサ282_iと、N個のスイッチ284_iとを含み、ここで、iは1からNまで変化する整数である。各コンデンサ282_iの第1の端子は、ノードO U T 18に結合される。各コンデンサ282_iの第2の端子は、信号P h i PのN個のビットのうちの1つに応答してオープンまたはクローズする関連付けられたスイッチ284_iを介して、電源電圧V r e fに結合される。言い換えれば、コンデンサ282_iの第2の端子は、関連付けられたスイッチ284_iをクローズするためにNビット信号P h i Pのビットがアサートされると、電圧V r e fを受ける。

【0029】

[0040]同様に、コンデンサバンク290は、N個のコンデンサ292_iと、N個のスイッチ294_iとを含む。各コンデンサ292_iの第1の端子は、ノードO U T _ B 20に結合される。各コンデンサ292_iの第2の端子は、信号P h i NのN個のビットのうちの1つに応答してオープンまたはクローズする関連付けられたスイッチ294_iを介して、電源電圧V r e fに結合される。言い換えれば、コンデンサ292_iの第2の端子は、関連付けられたスイッチ294_iをクローズするためにNビット信号P h i Nのビットiがアサートされると、V r e fを受ける。以下でさらに述べられるように、コンデンサバンク280、290の出力ノードO U T 18、O U T _ B 20の間の差動電圧は、A D C を使用してデジタル信号に変換される。

【0030】

[0041]図5は、本発明の例示的な一実施形態による図1のA D C 300の簡易化したブロック図である。図5のA D C 300はS A R A D Cであるものとして示されるけれども、A D C 300が任意のA D Cであり得ることが理解される。A D C 300は、ノードO U T 18、O U T _ B 20の間に供給される差動電圧を、Nビットのデジタル信号に変換するように構成される。

【0031】

[0042]A D C 300は、比較器310と、制御論理320と、図4を参照して上述されたコンデンサバンク280、290とを含むように示される。コンデンサバンク280、290のコンデンサ282_iおよび292_iは、ノードO U T 18、O U T _ B 20の電圧をサンプルし、これらの電圧を比較器310による比較のためにホールドする。比較器310の出力は、比較器の出力端子P、Nの間に供給されるレールツーレールの差動電圧である。制御論理320は、T D Cの出力を表現する1対のNビット差動信号B [1:N]およびB B [1:N]を生成するために、比較器310の出力端子P、Nの間に現れる差動電圧をデジタル化するように構成される。コンデンサバンク280、290のスイッチ284_iおよび294_iを制御する差動信号P h i P [1:N]およびP h i N [1:N]も、制御論理320によって生成される。

【0032】

[0043]図6Aおよび図7Aはともに、本発明の一実施形態による図1のエッジ検出器100の概略図である。図6Aは、クロック信号F r e f 12の多数の位相を生成するように構成される調整可能な遅延チェーン450の概略図である。図7Aは、信号C K V 14およびR E F 16を生成するように構成される論理回路500のブロック図である。

【0033】

[0044]図6Aに見られるように、遅延チェーン450は、遅延ロックループ440、多数のバッファ404、406、408、410、412、414、およびバッファの間に配置された多数の可変コンデンサ424、426、428、430、432、434を含むように示される。可変コンデンサの静電容量は、その入力および出力端子に可変コンデンサを有するバッファのうちの任意のものの両端間の遅延が、信号D C O 10の期間の4分の1となるように、遅延ロックループ440を使用して変えられ得る。したがって、バッファ406、408、410、412、および414の両端間の遅延は、信号D C O 10の期間の4分の1である。図6Bは、信号F r e f 12、ならびに遅延チェーン450

10

20

30

40

50

によって生成される遅延信号 $Fref_d1_42$ 、 $Fref_d2_44$ 、 $Fref_d3_46$ 、 $Fref_d4_48$ 、 $Fref_d5_50$ 、および $Fref_d6_52$ の各々のタイミング図である。理解されるように、各バッファの両端間の遅延は、信号 $DCO10$ の期間の 4 分の 1 である。

【0034】

[0045] 図 7 A を参照すると、論理回路 500 は、フリップフロップ 502、506、512、514、インバータ 504、および OR ゲート 508 を含む。信号 $FREF12$ の各期間中に、論理回路 500 は、信号 $FREF12$ の遷移に時間において最も近いものとして検出された $DCO10$ のエッジ以外の、信号 $DCO10$ のすべての遷移（エッジ）をフィルタに通して除去する。そうして検出された $DCO10$ のエッジは、出力信号 $CKV14$ として供給される。信号 $FREF12$ の対応するエッジは、出力信号 $REF16$ として供給される。

10

【0035】

[0046] 信号 $Fref_d2_44$ および $DCO10$ は、それぞれ、フリップフロップ 502 のクロックおよびデータ入力端子に印加される。図 7 B に示すように、信号 $DCO10$ が信号 $Fref_d2_44$ より進んでいると想定する。したがって、信号 $Fref_d2_44$ の立ち上がりエッジで、フリップフロップ 502 の出力信号、すなわち、信号 $SYNC_CKV54$ は、ローからハイへの遷移を起こし（すなわち、ハイになり）、そして次に、OR ゲート 508 の出力、すなわち、信号 $EN58$ をハイにさせる。信号 $EN58$ および $DCO10$ が、それぞれフリップフロップ 512 のデータおよびクロック入力端子に印加されるので、信号 $DCO10$ の次の立ち上がりエッジで、信号 $CKV14$ はハイになる。さらに、信号 VDD および $Fref_d6_52$ が、それぞれフリップフロップ 514 のデータおよびクロック入力端子に印加されるので、信号 $Fref_d6_52$ の次の立ち上がりエッジで、信号 $REF16$ はハイになる。その上、信号 $Fref_d2_44$ および $Fref_d6_52$ が $DCO10$ の 1 つの期間だけ離れているので、信号 $REF16$ は、信号 $DCO10$ の実質的に 1 つの期間の後、アサートされる。信号 $SYNC_CKVB56$ は、信号 $SYNC_CKV54$ の反転である。したがって、信号 $SYNC_CKV54$ がハイである場合、信号 $Fref_d5_50$ の次の立ち上がりエッジで、フリップフロップ 506 の出力 Q は、ローになる。その後、信号 $SYNC_CKV54$ がローになると、信号 EN もシグナル (signl) $Fref_d5_50$ の次の遷移が受けられるまで、ローになる。

20

30

【0036】

[0047] 図 7 B は、信号 $DCO10$ が信号 $Fref_d2_44n$ 位相 (n phase) より進んでいると想定される場合の、論理ブロック 500 と関連したいくつかの信号のタイミング図である。信号 $DCO10$ および $Fref_d2_44$ は、それぞれ、時間 $T1$ および $T2$ においてアサートされるものとして示され、 $T1$ は $T2$ の前に現れる。信号 $SYNC_CKV54$ および $EN58$ は、時間 $T3$ および $T4$ においてアサートされ、フリップフロップ 502 および OR 論理 508 にわたる遅延を反映する。信号 $DCO10$ の次の立ち上がりエッジは、時間 $T5$ において発生する。時間 $T6$ において、信号 $CKV14$ および $REF16$ は、フリップフロップ 510 および 512 の両端間の遅延を反映してアサートされる。

40

【0037】

[0048] 図 7 C は、信号 $CKV14$ が位相において信号 $Fref_d2_44$ より遅れていると想定される場合の、論理回路 500 と関連したいくつかの信号のタイミング図である。時間 $T1$ において、信号 $DCO10$ はローになると想定される。時間 $T2$ において、信号 $Fref_d2_44$ はアサートされ、それによって、信号 $SYNC_CKVB56$ を $T3$ においてハイにさせる。時間 $T4$ において、信号 $DCO10$ はハイになるとして示される。時間 $T6$ において、これは時間 $T2$ の後の信号 $DCO10$ の期間の $3/4$ であり、信号 $Fref_d5_50$ はハイになり、それによって、信号 $EN58$ を $T6$ においてハイにさせる。時間 $T7$ において、これは時間 $T2$ の後の信号 $DCO10$ の 1 つの期間で

50

あり、信号 F R E F _ d 6 5 2 はハイになり、そして次に、信号 R E F 1 6 を時間 T 8 においてハイにさせ、ここで、(T 8 - T 7) はフリップフロップ 5 1 0 の両端間の遅延を反映する。時間 T 9 において、信号 D C O 1 0 はハイになり、そして次に、信号 C K V 1 4 を時間 T 1 0 においてハイにさせ、ここで、(T 1 0 - T 9) はフリップフロップ 5 1 2 の両端間の遅延を反映する。したがって、信号 F R E F 1 2 の各期間中で、2つの信号エッジ、すなわち、信号 F R E F 1 2 と関連し信号 R E F 1 6 として供給されるエッジ、および信号 F R E F 1 2 のエッジに最も近いものとして検出され信号 C K V 1 4 として供給される信号 D C O 1 0 の対応するエッジが、生成される。詳細に上述されたように、信号 R E F 1 6 および C K V 1 4 のエッジ間の時間遅延は、時間電圧変換器によって電圧に変換され、その後、A D C によってデジタル信号に変換される。

10

【0038】

[0049] 図 8 は、本発明の一実施形態による T D C を実施するデジタル位相ロックループ (P L L) 6 0 0 のブロック図である。デジタル方式で制御される発振器 6 0 8 は、基準クロック信号 F R E F 1 2 の各期間中に多数の遷移を有する D C O 1 0 信号を生成する。上述されたように、T D C 5 0 は、サイナル(sinal) F R E F 1 2 のエッジに時間において最も近い D C O 1 0 のエッジを検出し、それに応じて、その値がこれら 2つのエッジ間のタイミング差に比例する差動信号 B 6 2 を、生成するように構成される。

【0039】

[0050] 累算器 6 1 2 は、クロックの各周期に伴って D C O 1 0 の値を 1 ずつ増加し、それによって、信号 D C O _ I N C 6 4 を生成するように構成される。加算器 6 1 0 は、位相検出器 6 0 4 に印加される信号 A D D _ O U T 6 6 を生成するために、T D C 5 0 および累算器 6 1 2 の出力値を合計する。デラト(Delat)ーシグマ変調器 6 0 2 は、周波数制御ワード (F C W) 7 0 を受け、より細かい P L L 周波数分解能信号 F C W _ F 7 2 を提供するように構成され、それによって、多くの制御ビットの使用を回避し、さらに、シェプルの発生を低減する。

20

【0040】

[0051] 位相デテコター(detecotor) 6 0 4 は、位相誤差信号 P _ E r r o r 7 4 を生成するために、加算器 6 1 0 によって供給される信号値、すなわち、A D D _ O U T 6 6 と、デラト(Delat)ーシグマ変調器 6 0 2 によって供給される信号値、すなわち、信号 F C W _ F との間の差を検出するように構成される。ループフィルタ 6 0 6 は、ノイズの高周波成分を信号 P _ E r r o r からフィルタに通して除去し、フィルタに通された信号 F I L _ O U T 7 6 を D C O 6 0 8 に供給するように構成される低域フィルタである。デジタル方式で制御される発振器 6 0 8 によって生成されるオシアルティング(osciallting)信号 D C O 1 0 の位相は、信号 D C O 1 0 の位相を信号 F R E F 1 2 の位相にロックさせるように、それがループフィルタ 6 0 6 から受けるフィルタに通された信号に従って変えられる。図示されないけれども、本発明の実施形態による T D C は、周波数ロックループ、位相／周波数ロックループ、などの任意の他の制御されるループ回路で使用され得ることが理解される。

30

【0041】

[0052] 図 9 は、本発明の一実施形態による第 1 および第 2 の信号の遷移時間の間の差をデジタル電圧に変換するためのフローチャート 7 0 0 である。このことを実現するために、第 1 の信号の各期間中に、第 1 の信号の遷移に時間において最も近い第 2 の信号の遷移が検出される 7 0 2。第 1 および第 2 の異なる出力は、第 1 の電源電圧に充電される 7 0 4。その後、第 1 の時間期間中の第 1 の信号の遷移に応答して、第 1 の異なる出力と第 2 の電源電圧との間に、第 1 の導電路が形成され 7 0 6、それによって、第 1 の異なる出力を変化できるようにさせる。第 2 の時間期間中の第 2 の信号の検出されたエッジに応答して、第 2 の異なる出力と第 2 の電源電圧との間に、第 2 の導電路が形成され 7 0 8、それによって、第 2 の異なる出力を変化できるようにさせる。第 1 および第 2 の時間期間は、重なり合わない。その後、第 2 の信号の検出された遷移と、第 1 の信号の遷移との間の、時間の差に比例する電圧が生成され 7 1 0、デジタル化される 7 1 2。

40

50

【0042】

[0053]本発明の上述の実施形態は、例示的であり、限定的でない。たとえば、本発明の実施形態は、2つの信号の到達時間の間の差をデジタル信号に変換するために使用されるエッジ検出器、時間電圧変換器、アナログデジタル変換器、バッファ、またはフリップフロップのタイプによって限定されない。本発明の実施形態は、それらがその中に配置され得るデバイスのタイプ、ワイヤレスまたは別のやり方によって限定されない。本発明の上述の実施形態は、差動信号を使用する回路を参照して述べられたけれども、本発明の実施形態は、不平衡信号を使用する回路に等しく適用できることが理解される。本発明の実施形態は、時間デジタル変換器からのために使用され得る技術のタイプ、CMOS、バイポーラ、BICMOS、または別のやり方によって限定されない。他の追加、削減または修正は、本発明に照らして明らかであり、添付の特許請求の範囲の範囲内に包含されることが意図される。

10

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C1]

時間デジタル変換器であって、

第1および第2の信号に応答するエッジ検出器と、前記第2の信号は、前記第1の信号の各期間中に複数のエッジを備え、前記エッジ検出器は、前記第1の信号の各期間中に、前記第1の信号のエッジに最も近い前記第2の信号のエッジを検出するように構成される、

前記第2の信号の前記検出されたエッジと前記第1の信号の前記エッジとの間の時間の差に比例する電圧を生成するように構成される時間電圧変換器と、ここにおいて、前記時間デジタル変換器は、リセット信号に応答して規定の電圧レベルに充電されるように構成される第1および第2の異なる出力を有し、ここにおいて、第1の導電路が、第1の時間期間内の前記第1の信号の前記エッジに応答して前記第1の異なる出力と第1の電源電圧との間に形成され、ここにおいて、第2の導電路が、第2の時間期間中の前記第2の信号の前記検出されたエッジに応答して前記第2の異なる出力と前記第1の電源電圧との間に形成され、前記第1および第2の時間期間は重なり合わない、

20

前記第1および第2の異なる出力の電圧の差をデジタル化するように構成されるアナログデジタル変換器と、

を備える時間デジタル変換器。

30

[C2]

前記時間電圧変換器は、

前記第1の異なる出力と前記第1の電源電圧との間に、前記第1の導電路をもたらしように構成される第1および第2のトランジスタと、

前記第2の異なる出力と前記第1の電源電圧との間に、前記第2の導電路をもたらしように構成される第3および第4のトランジスタと、

をさらに備える、C1に記載の時間デジタル変換器。

[C3]

前記時間電圧変換器は、

前記第1の異なる出力を前記規定の電圧レベルに充電するように構成される第5のトランジスタと、

40

前記第2の異なる出力を前記規定の電圧レベルに充電するように構成される第6のトランジスタと、ここにおいて、前記規定の電圧レベルは第2の電源電圧である、

をさらに備える、C2に記載の時間デジタル変換器。

[C4]

前記第5および第6のトランジスタは、NMOSトランジスタであり、前記第2の電源電圧は、前記第1の電源電圧よりも低い、C3に記載の時間デジタル変換器。

[C5]

第1の複数の信号のうちの異なる信号に応答して、前記第1の異なる出力と前記第2の電源電圧との間に結合されるように、それぞれ構成される第1の複数のコンデンサと、

50

第 2 の複数の信号のうちの異なる信号に
応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、
をさらに備える C 4 に記載の時間デジタル変換器。

[C 6]

前記アナログデジタル変換器は、継続的近似化レジスタ (SAR) アナログデジタル変換器であり、前記第 1 および第 2 の複数のコンデンサは、前記アナログデジタル変換器に対してサンプルおよびホールド動作を実行する、C 5 に記載の時間デジタル変換器。

[C 7]

前記アナログデジタル変換器は、前記第 1 および第 2 の複数の信号を生成するように構成される制御論理をさらに備える、C 6 に記載の時間デジタル変換器。

10

[C 8]

前記アナログデジタル変換器は、前記時間電圧変換器の前記第 1 および第 2 の異なる出力の電圧を比較し、比較信号を前記制御論理に供給するように構成される比較器をさらに備える、C 7 に記載の時間デジタル変換器。

[C 9]

前記エッジ検出器は、複数のバッファおよび可変コンデンサを備え、ここにおいて、前記複数のバッファのサブセットの各々の両端間の遅延は、前記複数の可変コンデンサのサブセットの静電容量を変えることによって、前記第 2 の信号の期間の規定の一部分に調整される、C 8 に記載の時間デジタル変換器。

[C 10]

20

前記エッジ検出器は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップをさらに備える、C 8 に記載の時間デジタル変換器。

[C 11]

第 1 の信号および第 2 の信号の遷移時間の間の差をデジタル信号に変換する方法であって、前記第 2 の信号は、前記第 1 の信号の各期間中に複数の遷移を備え、前記方法は、

前記第 1 の信号の各期間中に、前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の遷移を検出することと、

第 1 および第 2 の異なる出力を第 1 の電源電圧に充電することと、

第 1 の時間期間中の前記第 1 の信号の前記遷移に応答して、前記第 1 の異なる出力と第 2 の電源電圧との間に、第 1 の導電路を形成することと、

30

第 2 の時間期間中の前記第 2 の信号の前記検出されたエッジに応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成することと、前記第 1 および第 2 の時間期間は重なり合わない、

前記第 2 の信号の前記検出された遷移と前記第 1 の信号の前記遷移との間の時間の差に比例する電圧を生成することと、

前記電圧をデジタル化することと、

を備える方法。

[C 12]

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成することと、

40

前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成することと、

をさらに備える C 11 に記載の方法。

[C 13]

前記第 1 の異なる出力を第 5 のトランジスタを介して前記第 1 の電源電圧に充電することと、

前記第 2 の異なる出力を第 6 のトランジスタを介して前記第 1 の電源電圧に充電することと、

をさらに備える C 12 に記載の方法。

[C 14]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源

50

電圧は、前記第 1 の電源電圧よりも高い、C 1 3 に記載の方法。

[C 1 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成することと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成することと、

をさらに備える C 1 4 に記載の方法。

[C 1 6]

前記第 1 および第 2 の異なる出力の電圧の差を継続的近似化レジスタ (S A R) アナログデジタル変換器を使用してデジタル化することと、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行することと、

をさらに備える C 1 5 に記載の方法。

[C 1 7]

前記第 1 および第 2 の複数の信号を前記 S A R アナログデジタル変換器に配置される制御論理を使用して生成すること、

をさらに備える C 1 6 に記載の方法。

[C 1 8]

比較信号を生成するために、前記第 1 および第 2 の異なる出力の電圧を比較することと

、

前記比較信号を前記制御論理へ引き渡すことと、

をさらに備える C 1 7 に記載の方法。

[C 1 9]

複数のバッファを直列に形成することと、

複数の可変コンデンサを前記複数のバッファの出力に配置することと、

前記第 1 の信号を前記複数のバッファのうちの第 1 のバッファの入力に印加することと

、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記第 2 の信号の期間の規定の一部分に調整されるように、前記複数の可変コンデンサの静電容量を変えることと、

をさらに備える C 1 8 に記載の方法。

[C 2 0]

前記第 1 の信号の前記遷移に時間において最も近い前記第 2 の信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出すること、

をさらに備える C 1 9 に記載の方法。

[C 2 1]

第 1 の信号および第 2 の信号の遷移時間の間の差を時間に変換するように構成される命令を備える非一時的なコンピュータ可読記憶媒体であって、前記第 2 の信号は、前記第 1 の信号の各期間中に複数の遷移を備え、前記命令は、プロセッサによって実行されるとき、前記プロセッサに、

前記第 1 の信号の各期間中に、前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の遷移を検出させ、

第 1 および第 2 の異なる出力を第 1 の電源電圧に充電させ、

第 1 の時間期間中の前記第 1 の信号の前記遷移に応答して、前記第 1 の異なる出力と第 2 の電源電圧との間に、第 1 の導電路を形成させ、

第 2 の時間期間中の前記第 2 の信号の前記検出されたエッジに応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成させ、前記第 1 および第 2 の時間期間は重なり合わない、

10

20

30

40

50

前記第 2 の信号の前記検出された遷移と前記第 1 の信号の前記遷移との間の時間の差に比例する電圧を生成させ、

前記第 1 および第 2 の異なる出力の電圧の差をデジタル化させる、
非一時的なコンピュータ可読記憶媒体。

[C 2 2]

前記命令は、さらに前記プロセッサに、
前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成させ、
前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成させる、
C 2 1 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 3]

前記命令は、さらに前記プロセッサに、
前記第 1 の異なる出力を第 5 のトランジスタを介して前記第 1 の電源電圧に充電させ、
前記第 2 の異なる出力を第 6 のトランジスタを介して前記第 1 の電源電圧に充電させる

10

、
C 2 2 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 4]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 2 3 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 5]

前記命令は、さらに前記プロセッサに、

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成させ、

20

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成させる、

C 2 4 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 6]

前記命令は、さらに前記プロセッサに、

前記第 1 および第 2 の異なる出力の電圧の前記差を継続的近似化レジスタ (SAR) アナログデジタル変換器を使用してデジタル化させ、

30

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行させる、

C 2 5 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 7]

前記命令は、さらに前記プロセッサに、

前記第 1 および第 2 の複数の信号を前記 SAR アナログデジタル変換器に配置される制御論理を使用して生成させる、

C 2 6 に記載の非一時的なコンピュータ可読記憶媒体。

40

[C 2 8]

前記命令は、さらに前記プロセッサに、

比較信号を生成するために、前記第 1 および第 2 の異なる出力の電圧を比較させ、

前記比較信号を前記制御論理へ引き渡させる、

C 2 7 に記載の非一時的なコンピュータ可読記憶媒体。

[C 2 9]

前記命令は、さらに前記プロセッサに、

複数のバッファを直列に形成させ、

複数の可変コンデンサを前記複数のバッファの出力に配置させ、

前記第 1 の信号を前記複数のバッファのうちの第 1 のバッファの入力に印加させ、

50

前記複数のバッファのサブセットの各々の両端間の遅延が、前記第2の信号の期間の規定の一部分に調整されるように、前記複数の可変コンデンサの静電容量を変えさせる、

C 28に記載の非一時的なコンピュータ可読記憶媒体。

[C 30]

前記命令は、さらに前記プロセッサに、

前記第1の信号の前記遷移に時間において最も近い前記第2の信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出させる、

C 29に記載の非一時的なコンピュータ可読記憶媒体。

[C 31]

第1の信号および第2の信号の遷移時間の間の差を時間に変換するように構成されることを備える時間デジタル変換器であって、前記第2の信号は、前記第1の信号の各期間中に複数の遷移を備え、前記時間デジタル変換器は、

前記第1の信号の各期間中に、前記第1の信号の遷移に時間において最も近い前記第2の信号の遷移を検出するための手段と、

第1および第2の異なる出力を第1の電源電圧に充電するための手段と、

第1の時間期間中の前記第1の信号の前記遷移に応答して、前記第1の異なる出力と第2の電源電圧との間に、第1の導電路を形成するための手段と、

第2の時間期間中の前記第2の信号の前記検出されたエッジに応答して、前記第2の異なる出力と前記第2の電源電圧との間に、第2の導電路を形成するための手段と、前記第1および第2の時間期間は重なり合わない、

前記第2の信号の前記検出された遷移と前記第1の信号の前記遷移との間の時間の差に比例する電圧を生成するための手段と、

前記第1および第2の異なる出力の電圧の差をデジタル化するための手段と、

を備える時間デジタル変換器。

[C 32]

前記第1の導電路を第1および第2のトランジスタを介して形成するための手段と、

前記第2の導電路を第3および第4のトランジスタを介して形成するための手段と、

をさらに備えるC 31に記載の時間デジタル変換器。

[C 33]

前記第1の異なる出力を第5のトランジスタを介して前記第1の電源電圧に充電するための手段と、

前記第2の異なる出力を第6のトランジスタを介して前記第1の電源電圧に充電するための手段と、

をさらに備えるC 32に記載の時間デジタル変換器。

[C 34]

前記第5および第6のトランジスタは、NMOSトランジスタであり、前記第2の電源電圧は、前記第1の電源電圧よりも高い、C 33に記載の時間デジタル変換器。

[C 35]

第1の複数の信号のうちの異なる信号に応答して、前記第1の異なる出力と前記第2の電源電圧との間に結合されるように、それぞれ構成される第1の複数のコンデンサと、

第2の複数の信号のうちの異なる信号に応答して、前記第2の異なる出力と前記第2の電源電圧との間に結合されるように、それぞれ構成される第2の複数のコンデンサと、

をさらに備えるC 34に記載の時間デジタル変換器。

[C 36]

前記第1および第2の異なる出力の電圧の前記差をデジタル化するための前記手段は、継続的近似化レジスタ(SAR)アナログデジタル変換器であり、ここにおいて、前記時間デジタル変換器は、

前記第1および第2の複数のコンデンサを使用して、サンプルおよびホールド動作を実行するための手段をさらに備える、

10

20

30

40

50

C 3 5 に記載の時間デジタル変換器。

[C 3 7]

前記第 1 および第 2 の複数の信号を生成するための前記手段は、前記 S A R アナログデジタル変換器に配置される制御論理である、C 3 6 に記載の時間デジタル変換器。

[C 3 8]

比較信号を生成するために、前記第 1 および第 2 の異なる出力の電圧を比較するための手段と、

前記比較信号を前記制御論理へ引き渡すための手段と、

をさらに備える C 3 7 に記載の時間デジタル変換器。

[C 3 9]

直列の複数のバッファと、

複数のバッファのうちの異なるバッファの出力にそれぞれ結合される複数の可変コンデンサと、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記第 2 の信号の期間の規定の一部分となるように、前記複数の可変コンデンサの静電容量を変えるための手段と、

をさらに備える C 3 8 に記載の時間デジタル変換器。

[C 4 0]

前記第 1 の信号の遷移に時間において最も近い前記第 2 の信号の前記遷移を検出するための前記手段は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを備える、C 3 9 に記載の時間デジタル変換器。

[C 4 1]

誤差信号を生成するために、制御信号とループ信号との間の差を検出するように構成される検出器と、

ノイズの高周波成分を前記誤差信号からフィルタに通して除去するように構成されるループフィルタと、

前記フィルタに通された誤差信号に応答して、発振する信号を生成するように構成されるデジタル方式で制御される発振器と、

時間デジタル変換器と、

を備えるデジタル制御ロックループであって、前記時間デジタル変換器は、

基準クロック信号および前記発振する信号に応答するエッジ検出器と、前記発振する信号は、前記基準クロック信号の各期間中に複数のエッジを備え、前記エッジ検出器は、前記基準クロック信号の各期間中に、前記基準クロック信号のエッジに最も近い前記発振する信号のエッジを検出するように構成される、

前記発振する信号の前記検出されたエッジと前記基準クロック信号の前記エッジとの間の時間の差に比例する電圧を生成するように構成される時間電圧変換器と、

前記時間デジタル変換器によって生成される前記電圧をデジタル化するように構成されるアナログデジタル変換器と、前記デジタル化される電圧は、前記ループ信号を規定する、

を備える、デジタル制御ロックループ。

[C 4 2]

前記時間電圧変換器は、

前記時間電圧変換器の第 1 の異なる出力と第 1 の電源電圧との間に、第 1 の導電路をもたらしように構成される第 1 および第 2 のトランジスタと、

前記時間電圧変換器の第 2 の異なる出力と前記第 1 の電源電圧との間に、第 2 の導電路をもたらしように構成される第 3 および第 4 のトランジスタと

をさらに備える、C 4 1 に記載のデジタル制御ロックループ。

[C 4 3]

前記時間電圧変換器は、

前記第 1 の異なる出力を第 2 の電源電圧にリセットするように構成される第 5 のトラン

10

20

30

40

50

ジスタと、

前記第 2 の異なる出力を前記第 2 の電源電圧にリセットするように構成される第 6 のトランジスタと、

をさらに備える、C 4 2 に記載のデジタル制御ロックループ。

[C 4 4]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも低い、C 4 3 に記載のデジタル制御ロックループ。

[C 4 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサと、

10

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、

をさらに備える C 4 4 に記載のデジタル制御ロックループ。

[C 4 6]

前記アナログデジタル変換器は、継続的近似化レジスタ (SAR) アナログデジタル変換器であり、前記第 1 および第 2 の複数のコンデンサは、前記アナログデジタル変換器に対してサンプルおよびホールド動作を実行する、C 4 5 に記載のデジタル制御ロックループ。

[C 4 7]

前記アナログデジタル変換器は、前記第 1 および第 2 の複数の信号を生成するように構成される制御論理をさらに備える、C 4 6 に記載のデジタル制御ロックループ。

20

[C 4 8]

前記アナログデジタル変換器は、前記時間電圧変換器の前記第 1 および第 2 の異なる出力の電圧を比較し、比較信号を前記制御論理に供給するように構成される比較器をさらに備える、C 4 7 に記載のデジタル制御ロックループ。

[C 4 9]

前記エッジ検出器は、複数のバッファおよび可変コンデンサを備え、前記複数のバッファの各々の両端間の遅延は、前記発振する信号の期間の規定の一部である、C 4 8 に記載のデジタル制御ロックループ。

[C 5 0]

30

前記エッジ検出器は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップをさらに備える、C 4 9 に記載のデジタル制御ロックループ。

[C 5 1]

発振する信号を基準クロック信号にロックさせる方法であって、前記発振する信号は、前記基準クロック信号の各期間中に複数の遷移を備え、前記方法は、

誤差信号を生成するために、制御信号とループ信号との間の差を検出することと、

前記誤差信号の高周波成分をフィルタに通して除去することと、

前記フィルタに通された誤差信号に応答して、前記発振する信号を生成することと、

前記基準信号の各期間中に、前記基準クロック信号の遷移に時間において最も近い前記発振する信号の遷移を検出することと、

40

第 1 および第 2 の異なる出力を第 1 の電源電圧に充電することと、

第 1 の時間期間中の前記基準クロック信号の前記遷移に応答して、前記第 1 の異なる出力と第 2 の電源電圧との間に、第 1 の導電路を形成することと、

第 2 の時間期間中の前記発振する信号の前記検出されたエッジに応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成することと、前記第 1 および第 2 の時間期間は重なり合わない、

前記発振する信号の前記検出された遷移と前記基準クロック信号の前記遷移との間の時間の差に比例する電圧を生成することと、

前記電圧をデジタル化することと、前記デジタル化される電圧が、前記ループ信号を規

50

定する、

を備える方法。

[C 5 2]

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成することと、
前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成することと、
をさらに備える C 5 1 に記載の方法。

[C 5 3]

前記第 1 の異なる出力を第 5 のトランジスタを介して前記第 1 の電源電圧にリセットすることと、

前記第 2 の異なる出力を第 6 のトランジスタを介して前記第 1 の電源電圧にリセットすることと、

をさらに備える C 5 2 に記載の方法。

[C 5 4]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 5 3 に記載の方法。

[C 5 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成することと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成することと、

をさらに備える C 5 4 に記載の方法。

[C 5 6]

前記第 1 および第 2 の異なる出力の電圧の差を継続的近似化レジスタ (SAR) アナログデジタル変換器を使用してデジタル化することと、

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行することと、

をさらに備える C 5 5 に記載の方法。

[C 5 7]

前記第 1 および第 2 の複数の信号を前記 SAR アナログデジタル変換器に配置される制御論理を使用して生成すること、

をさらに備える C 5 6 に記載の方法。

[C 5 8]

比較信号を生成するために、前記第 1 および第 2 の異なる出力の電圧を比較することと

、

前記比較信号を前記制御論理へ引き渡すことと、

をさらに備える C 5 7 に記載の方法。

[C 5 9]

複数のバッファを直列に形成することと、

複数の可変コンデンサを前記複数のバッファの出力に配置することと、

前記基準クロック信号を前記複数のバッファのうちの第 1 のバッファの入力に印加することと、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記発振する信号の期間の規定の一部となるように、前記複数の可変コンデンサの静電容量を変えることと、

をさらに備える C 5 8 に記載の方法。

[C 6 0]

前記基準クロック信号の前記遷移に時間において最も近い前記発振する信号の前記遷移を前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出すること、

10

20

30

40

50

をさらに備える C 5 9 に記載の方法。

[C 6 1]

発振する信号を基準クロック信号にロックさせるように構成される命令を備える非一時的なコンピュータ可読記憶媒体であって、前記発振する信号は、前記基準信号の各期間中に複数の遷移を備え、前記命令は、プロセッサによって実行されるとき、前記プロセッサに、

誤差信号を生成するために、制御信号とループ信号との間の差を検出させ、

前記誤差信号の高周波成分をフィルタに通して除去させ、

前記フィルタに通された誤差信号に応答して、前記発振する信号を生成させ、

前記基準クロック信号の各期間中に、前記基準クロック信号の遷移に時間において最も近い前記発振する信号の遷移を検出させ、 10

第 1 および第 2 の異なる出力を第 1 の電源電圧に充電させ、

第 1 の時間期間中の前記基準信号の前記遷移に応答して、前記第 1 の異なる出力と第 2 の電源電圧との間に、第 1 の導電路を形成させ、

第 2 の時間期間中の前記発振する信号の前記検出されたエッジに応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に、第 2 の導電路を形成させ、前記第 1 および第 2 の時間期間は重なり合わない、

前記発振する信号の前記検出された遷移と前記基準クロック信号の前記遷移との間の時間の差に比例する電圧を生成させ、

前記第 1 および第 2 の異なる出力の電圧の差をデジタル化させる、前記デジタル化される差は、前記ループ信号を規定する、 20

非一時的なコンピュータ可読記憶媒体。

[C 6 2]

前記命令は、さらに前記プロセッサに、

前記第 1 の導電路を第 1 および第 2 のトランジスタを介して形成させ、

前記第 2 の導電路を第 3 および第 4 のトランジスタを介して形成させる、

C 6 1 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 3]

前記命令は、さらに前記プロセッサに、

前記第 1 の異なる出力を第 5 のトランジスタを介して前記第 1 の電源電圧にリセットさせ、 30

前記第 2 の異なる出力を第 6 のトランジスタを介して前記第 1 の電源電圧にリセットさせる、

C 6 2 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 4]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 6 3 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 5]

前記命令は、さらに前記プロセッサに、 40

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサを形成させ、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサを形成させる、

C 6 4 に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 6]

前記命令は、さらに前記プロセッサに、

前記第 1 および第 2 の異なる出力の電圧の前記差を、継続的近似化レジスタ (SAR) 50

アナログデジタル変換器を使用してデジタル化させ、

前記第1および第2の複数のコンデンサを使用して、サンプルおよびホールド動作を実行させる、

C 6 5に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 7]

前記命令は、さらに前記プロセッサに、

前記第1および第2の複数の信号を、前記SARアナログデジタル変換器に配置される制御論理を使用して生成させる、

C 6 6に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 8]

前記命令は、さらに前記プロセッサに、

比較信号を生成するために、前記第1および第2の異なる出力の電圧を比較させ、

前記比較信号を前記制御論理へ引き渡させる、

C 6 7に記載の非一時的なコンピュータ可読記憶媒体。

[C 6 9]

前記命令は、さらに前記プロセッサに、

複数のバッファを直列に形成させ、

複数の可変コンデンサを前記複数のバッファの出力に配置させ、

前記第1の基準クロック信号を前記複数のバッファのうちの第1のバッファの入力に印加させ、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記発振する信号の期間の規定の一部分となるように、前記複数の可変コンデンサの静電容量を変えさせる、

C 6 8に記載の非一時的なコンピュータ可読記憶媒体。

[C 7 0]

前記命令は、さらに前記プロセッサに、

前記基準クロック信号の前記遷移に時間において最も近い前記発振する信号の前記遷移を、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを使用することによって検出させる、

C 6 9に記載の非一時的なコンピュータ可読記憶媒体。

[C 7 1]

誤差信号を生成するために、制御信号とループ信号との間の差を検出するための手段と

、ノイズの高周波成分を前記誤差信号からフィルタに通して除去するための手段と、

前記フィルタに通された誤差信号に応答して、発振する信号を生成するための手段と、

基準信号の各期間中に、基準クロック信号の遷移に時間において最も近い前記発振する信号の遷移を検出する手段と、

第1および第2の異なる出力を第1の電源電圧に充電するための手段と、

第1の時間期間中の前記基準クロック信号の前記遷移に応答して、前記第1の異なる出力と第2の電源電圧との間に、第1の導電路を形成するための手段と、

第2の時間期間中の前記発振する信号の前記検出されたエッジに応答して、前記第2の異なる出力と前記第2の電源電圧との間に、第2の導電路を形成するための手段と、前記第1および第2の時間期間は重なり合わない、

前記発振する信号の前記検出された遷移と前記基準クロック信号の前記遷移との間の時間の差に比例する電圧を生成するための手段と、

前記第1および第2の異なる出力の電圧の差をデジタル化するための手段と、前記デジタル化される差は、前記ループ信号を規定する、

を備えるデジタル制御ロックスループ。

[C 7 2]

前記第1の導電路を第1および第2のトランジスタを介して形成するための手段と、

前記第2の導電路を第3および第4のトランジスタを介して形成するための手段と、

をさらに備える、C 7 1 に記載のデジタル制御ロックループ。

[C 7 3]

前記第 1 の異なる出力を第 5 のトランジスタを介して前記第 1 の電源電圧にリセットするための手段と、

前記第 2 の異なる出力を第 6 のトランジスタを介して前記第 1 の電源電圧にリセットするための手段と

をさらに備える、C 7 1 に記載のデジタル制御ロックループ。

[C 7 4]

前記第 5 および第 6 のトランジスタは、NMOS トランジスタであり、前記第 2 の電源電圧は、前記第 1 の電源電圧よりも高い、C 7 3 に記載のデジタル制御ロックループ。

10

[C 7 5]

第 1 の複数の信号のうちの異なる信号に応答して、前記第 1 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 1 の複数のコンデンサと、

第 2 の複数の信号のうちの異なる信号に応答して、前記第 2 の異なる出力と前記第 2 の電源電圧との間に結合されるように、それぞれ構成される第 2 の複数のコンデンサと、

をさらに備える、C 7 4 に記載のデジタル制御ロックループ。

[C 7 6]

前記第 1 および第 2 の異なる出力の電圧の前記差をデジタル化するための前記手段は、継続的近似化レジスタ (SAR) アナログデジタル変換器であり、ここにおいて、前記時間デジタル変換器は、

20

前記第 1 および第 2 の複数のコンデンサを使用して、サンプルおよびホールド動作を実行するための手段、

をさらに備える、C 7 5 に記載のデジタル制御ロックループ。

[C 7 7]

前記第 1 および第 2 の複数の信号を生成するための前記手段は、前記 SAR アナログデジタル変換器に配置される制御論理である、C 7 6 に記載のデジタル制御ロックループ。

[C 7 8]

比較信号を生成するために、前記第 1 および第 2 の異なる出力の電圧を比較するための手段と、

前記比較信号を前記制御論理へ引き渡すための手段と、

30

をさらに備える、C 7 7 に記載のデジタル制御ロックループ。

[C 7 9]

直列の複数のバッファと、

複数のバッファのうちの異なるバッファの出力にそれぞれ結合される複数の可変コンデンサと、

前記複数のバッファのサブセットの各々の両端間の遅延が、前記発振する信号の期間の規定の一部となるように、前記複数の可変コンデンサの静電容量を変えるための手段と、

、

をさらに備える、C 7 8 に記載のデジタル制御ロックループ。

[C 8 0]

40

前記基準クロック信号の遷移に時間において最も近い前記発振する信号の前記遷移を検出するための前記手段は、前記複数のバッファの複数の出力信号によって駆動される複数のクロック入力端子を有する複数のフリップフロップを備える、C 7 8 に記載のデジタル制御ロックループ。

【図 1】

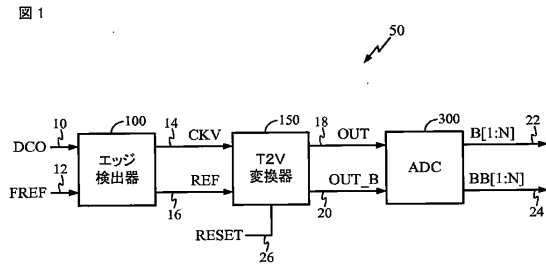


FIG. 1

【図 2 A】

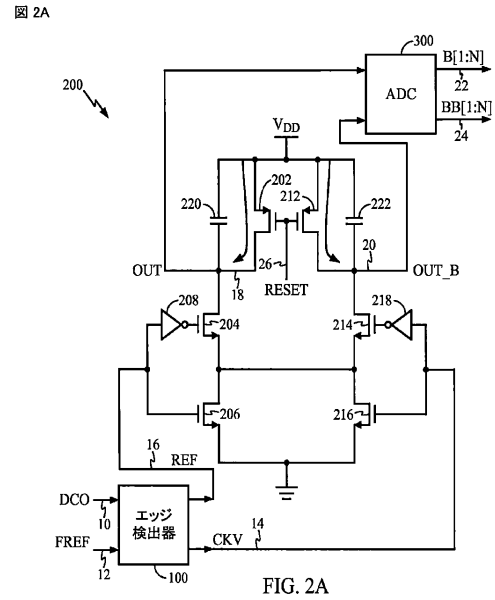


FIG. 2A

【図 2 B】

図 2B

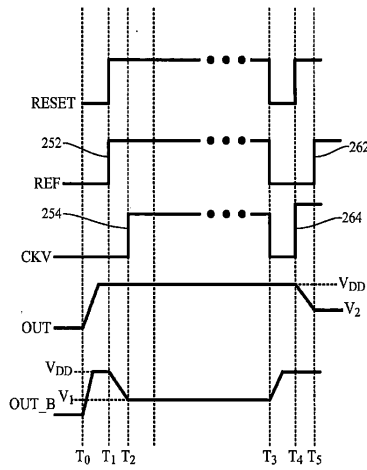


FIG. 2B

【図 3】

図 3

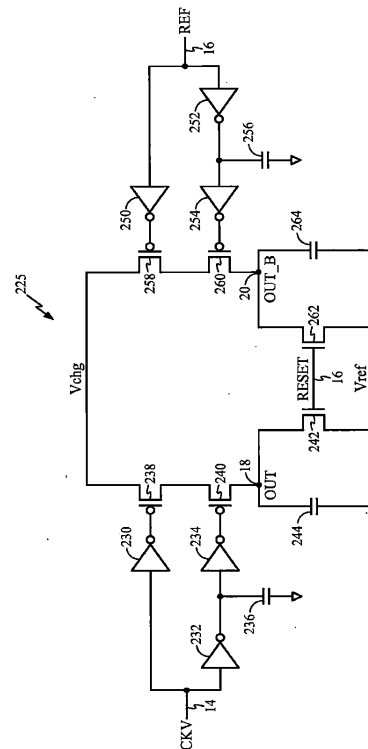


FIG. 3

【図 4】

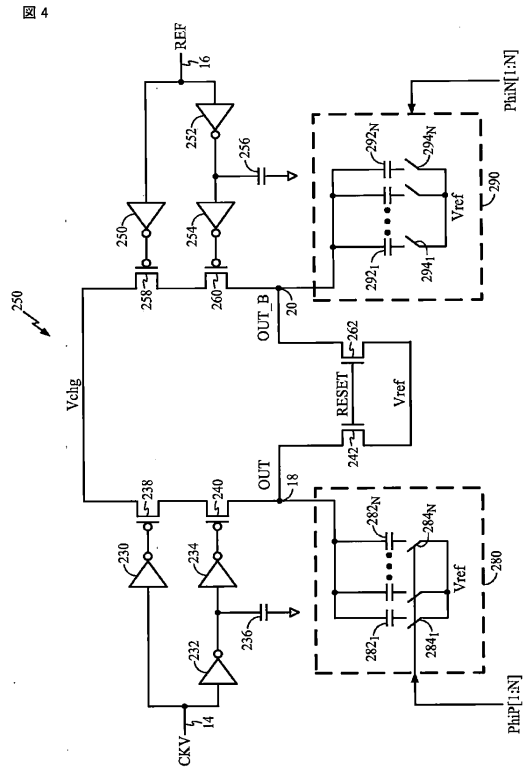


FIG. 4

【図 5】

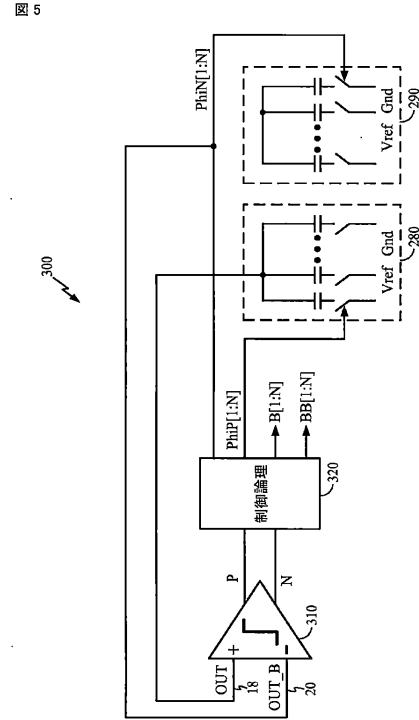


FIG. 5

【図 6 A】

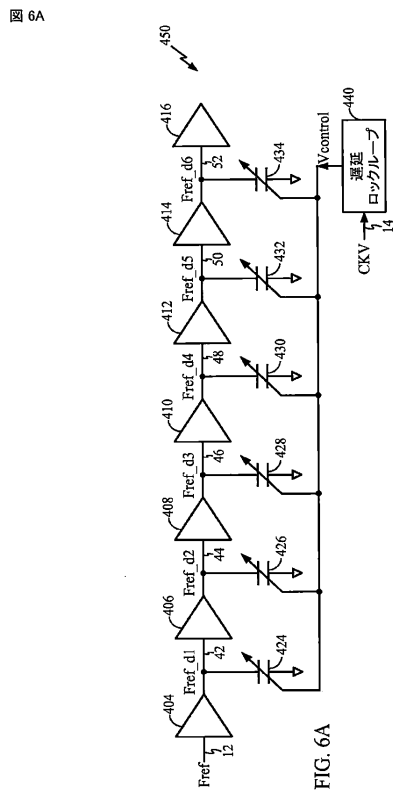


FIG. 6A

【図 6 B】

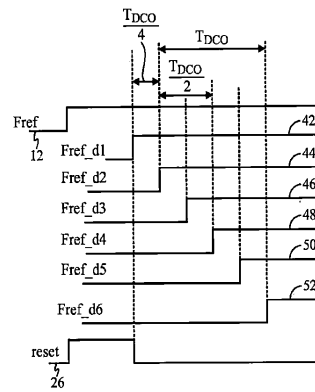


FIG. 6B

【図 9】

図 9

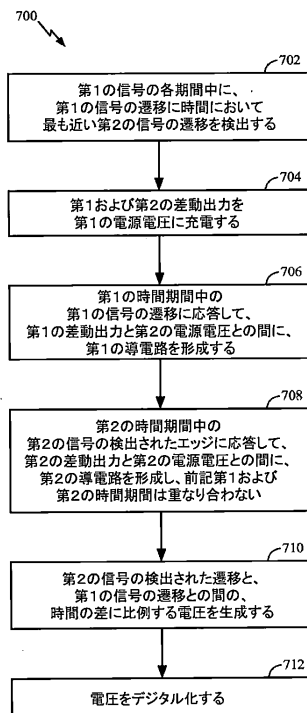


FIG. 9

フロントページの続き

- (72)発明者 タン、イ
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75
- (72)発明者 サン、ボ
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

審査官 石川 雄太郎

- (56)参考文献 特開2002-107393 (JP, A)
特開2012-112871 (JP, A)
特開平07-280857 (JP, A)
特開昭62-299786 (JP, A)
特表2013-525902 (JP, A)
特表2013-526179 (JP, A)
特開2012-054913 (JP, A)
国際公開第2012/153375 (WO, A1)
特表2011-509047 (JP, A)
米国特許出願公開第2008/0169826 (US, A1)
特開2012-244579 (JP, A)
米国特許出願公開第2010/0134165 (US, A1)
米国特許出願公開第2011/0012765 (US, A1)
特開2011-114577 (JP, A)
米国特許出願公開第2012/0026026 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H03M	1/00-1/88
H03K	5/26
H03L	7/085