

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5759026号
(P5759026)

(45) 発行日 平成27年8月5日 (2015.8.5)

(24) 登録日 平成27年6月12日 (2015.6.12)

(51) Int. Cl.

F I

HO 1 P 1/18 (2006.01)

HO 1 P 1/18

HO 3 H 7/20 (2006.01)

HO 3 H 7/20

E

請求項の数 11 (全 16 頁)

(21) 出願番号	特願2013-558319 (P2013-558319)	(73) 特許権者	391030332
(86) (22) 出願日	平成24年3月2日 (2012.3.2)		アルカテルルーセント
(65) 公表番号	特表2014-509801 (P2014-509801A)		フランス国、92100・ブローニュービ
(43) 公表日	平成26年4月21日 (2014.4.21)		ヤンクール、ルート・ドゥ・ラ・レーヌ・
(86) 国際出願番号	PCT/EP2012/000924		148/152
(87) 国際公開番号	W02012/123072	(74) 代理人	100094112
(87) 国際公開日	平成24年9月20日 (2012.9.20)		弁理士 岡部 譲
審査請求日	平成25年11月5日 (2013.11.5)	(74) 代理人	100106183
(31) 優先権主張番号	11360012.6		弁理士 吉澤 弘司
(32) 優先日	平成23年3月16日 (2011.3.16)	(74) 代理人	100128657
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 三山 勝巳
		(74) 代理人	100170601
			弁理士 川崎 孝

最終頁に続く

(54) 【発明の名称】 移相装置

(57) 【特許請求の範囲】

【請求項 1】

調整されるべき入力信号を受け取るように動作可能な入力部と、
前記入力部を出力部と結合する混成カプラ（110）と、
前記入力信号を受け取るために前記混成カプラとやはり結合された集中等価インピーダ
ンス変成器回路を含む少なくとも1つの反射負荷（10、10A～10C、10'）であ
って、前記集中等価インピーダンス変成器回路が、印加されるバイアス電圧に応じて前記
入力信号を調整するように、かつ前記調整済み入力信号を前記混成カプラに出力信号とし
て供給するように動作可能な液晶可変コンデンサを有する、少なくとも1つの反射負荷（
10、10A～10C、10'）と

10

を備え、
前記集中等価インピーダンス変成器回路が、
半波長集中等価インピーダンス変成器回路であって、該半波長集中等価インピーダンス
変成器回路が直列の1対のインダクタを含み、該直列の1対のインダクタが第1、第2お
よび第3の液晶可変コンデンサに端部で結合され、該第1、第2および第3の液晶可変コ
ンデンサが、バイアス電圧に応じて、可変インピーダンスおよび可変の有効電氣的長さの
両方を、混成カプラに提供して、調整済み位相入力信号を出力信号として供給するよう
に動作可能である、半波長集中等価インピーダンス変成器回路と、
半波長集中等価インピーダンス変成器回路であって、該半波長集中等価インピーダンス
変成器回路が直列の1対の液晶可変コンデンサを含み、該直列の1対の液晶可変コンデン

20

サが第 1、第 2 および第 3 のインダクタに端部で結合され、該第 1、第 2 および第 3 のインダクタが、バイアス電圧に応じて、可変インピーダンスおよび可変の有効電氣的長さの両方を、混成カプラに提供して、調整済み位相入力信号を出力信号として供給するように動作可能である、半波長集中等価インピーダンス変成器回路とのうちの一方を備え、

前記集中等価インピーダンス変成器回路が、4 分の 1 波インピーダンス変成器 (1 5) によって結合された少なくとも 1 対の前記半波長集中等価インピーダンス変成器回路を含む、移相装置 (1 0 0、1 0 0 A)。

【請求項 2】

前記第 1 および第 2 の液晶可変コンデンサが、等しい静電容量を有する、請求項 1 に記載の移相装置。

10

【請求項 3】

前記第 1 および第 2 の液晶可変コンデンサのリアクタンスの絶対値が、前記 1 対のインダクタそれぞれのリアクタンスの絶対値と一致する、請求項 1 または 2 に記載の移相装置。

【請求項 4】

前記第 2 の液晶可変コンデンサが、前記第 1 および第 3 の液晶可変コンデンサそれぞれの前記静電容量の 2 倍である静電容量を有する、請求項 1 乃至 3 のいずれか 1 項に記載の移相装置。

【請求項 5】

前記 1 対の液晶可変コンデンサが、等しい静電容量を有する、請求項 4 に記載の移相装置。

20

【請求項 6】

前記第 1 および第 2 のインダクタのリアクタンスの絶対値が、前記 1 対の液晶可変コンデンサそれぞれの絶対値と一致する、請求項 4 または 5 に記載の移相装置。

【請求項 7】

前記第 2 のインダクタが、前記第 1 および前記第 3 のインダクタそれぞれのインダクタンスの半分であるインダクタンスを有する、請求項 4 乃至 6 のいずれか 1 項に記載の移相装置。

【請求項 8】

前記集中等価インピーダンス変成器回路が、少なくとも 1 対の前記半波長集中等価インピーダンス変成器回路を含む、請求項 1 乃至 7 のいずれか 1 項に記載の移相装置。

30

【請求項 9】

前記集中等価インピーダンス変成器回路が少なくとも 1 対の前記半波長集中等価インピーダンス変成器回路を含み、該少なくとも 1 対の前記半波長集中等価インピーダンス変成器回路の両方が前記混成カプラに並列に結合されている、請求項 1 乃至 8 のいずれか 1 項に記載の移相装置。

【請求項 10】

前記集中等価インピーダンス変成器回路が、4 分の 1 波インピーダンス変成器 (1 5) によって結合された前記半波長集中等価インピーダンス変成器回路の少なくとも第 1 の対と、4 分の 1 波インピーダンス変成器によって結合された前記半波長集中等価インピーダンス変成器回路の少なくとも第 2 の対とを含み、前記第 1 の対および前記第 2 の対の両方が前記混成カプラと並列に結合される、請求項 1 乃至 9 のいずれか 1 項に記載の移相装置。

40

【請求項 11】

前記液晶可変コンデンサが平行板液晶可変コンデンサを含む、請求項 1 乃至 10 のいずれか 1 項に記載の移相装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、移相装置に関する。

50

【背景技術】

【0002】

移相装置などの信号処理装置が知られている。

【0003】

このような信号処理装置は、通常、当該信号処理装置によって処理されるべき信号を受け取り、当該信号処理装置によって処理された信号を出力する。信号処理では、通常、受け取った信号を以後の伝送に適したものにするために何らかの方法で変換する。このような信号処理装置は、電気通信システムに使用することができ、高い周波数で動作することが必要になり得る。例えば、移相器などの信号処理装置は、ギガヘルツ領域で機能する信号を処理する必要がある。

10

【0004】

特定の用途向けに移相器を選択することには、多くの要因（例えば、装置により得られる位相シフト量、装置によって生じる挿入損失、および装置の電力取扱い能力）が影響する。低い電力取扱い能力では、位相シフトの変化は、挿入位相の変化を実現するバラクタとピン・ダイオードの構成を用いることによって得られる。このような移相器は、低電力動作では許容可能な性能が得られるとはいえ不備点があり、これらの不備点は、このような移相器を各無線周波数システムで通常は多数必要とする典型的な電気通信システムにおいていっそう顕著になる。

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

したがって、改善された移相装置を実現することが望まれる。

【課題を解決するための手段】

【0006】

第1の態様により、請求項1に記載の移相装置が提供される。

【0007】

第1の態様では、液晶の誘電特性の電圧可調整性が移相装置で利用できること、ならびに液晶をベースとする移相装置が、便利で、制御可能で、高精度の、かつ低コストの装置になり得ることが認められる。原則的に、液晶は異方性誘電体材料であり、これは液晶が、印加された電界または磁界の方向に対して異なる誘電体特性を呈示することを意味する。しかし、第1の態様ではまた、低ギガヘルツ領域で動作する移相装置において液晶技術を運用することが現下の問題に直面することも認められる。概して、装置のサイズは、装置が動作する波長に従い、周波数が低下するにつれ波長が増大し、無線周波数装置のサイズも増大する。例えば、60ギガヘルツ（ミリメートル波周波数）での自由空間波長は5mmであるのに対し、2ギガヘルツ（S帯）での自由空間波長は150mmになる。これにより、2ギガヘルツで動作する液晶ベースの移相装置は、60ギガヘルツでのその等価物よりもサイズが、直接的倍率を用いる場合には約30倍大きくなることが推測される。したがって、図1に示されるように、反射型移相器の設計に際して液晶構造物を使用する場合、その反射負荷は、実質的に共振マイクロストリップ・ラインである液晶で形成された電極を使用して実現される。マイクロストリップ・ラインが液晶基板の上に形成されるので、その長さは60ギガヘルツの周波数で2mm程度である。しかし、このような構造物をより低い周波数（例えば、2ギガヘルツ）で実施する場合、マイクロストリップ・ラインの長さは約30倍になる必要がある。このことは、ますます長くなるマイクロストリップ・ラインがすぐに法外な長さになり得るという結果をもたらす。したがって、第1の態様では、性能が損なわれずにサイズが既存の装置に匹敵する移相装置を実現することが望ましいことが認められる。

30

40

【0008】

第1の態様では、マイクロストリップ構造物を使用するのではなく集中要素等価物を代わりに使用すれば、液晶構造物の利点をより小さい形状で活用することが可能であることが認められる。マイクロストリップ・ラインの特性は、インダクタおよびコンデンサの回

50

路網からなる集中要素等価物によって表すことができることを理解されたい。これにより、液晶基板を使用してコンデンサだけを実現することが可能になる一方で、インダクタは、例えば表面実装などの標準的な技術を用いて実現することができる。こうして、装置の等価物のサイズが大幅に低減され、その大きさは実質的にインダクタの長さによって決まり得る。

【 0 0 0 9 】

このようにして、1つの移相装置を実現することができる。この移相装置は、移相装置によって調整されるべき入力信号を受け取る入力部を備え得る。この入力部を出力部と結合することができる結合装置を設けることができる。結合装置はまた、少なくとも1つの集中等価インピーダンス変成器回路と結合することもできる。その場合、入力信号は、集中等価インピーダンス変成器回路で受け取ることができる。液晶可変コンデンサを集中等価インピーダンス変成器回路内に設けることができる。その場合、液晶可変コンデンサにより、液晶可変コンデンサに印加されるバイアス電圧に応じて入力信号を調整し、その調整済み入力信号を出力信号として結合装置に供給することができる。このように、インピーダンス変成器としてマイクロストリップ・ラインを使用せずに、集中等価回路を代わりに設けてもよいことが分かる。

【 0 0 1 0 】

集中要素等価物回路が、マイクロストリップ・ラインの同等特性を実現する個別のリアクタンス性装置の回路網を含み得ることが理解されよう。これらのリアクタンス性装置の一部は液晶可変コンデンサによって実現することができ、そのリアクタンスは、これらの可変コンデンサに印加されるバイアス信号に応じて変わり得る。集中等価インピーダンス変成器回路を使用すると、入力信号を調整できるようにする可変性が得られる一方でまた、コンパクトな回路構成を実現できるようにもなる。

【 0 0 1 1 】

一実施形態では、集中等価インピーダンス変成器回路は、半波長集中等価インピーダンス変成器回路を備え、当該半波長集中等価インピーダンス変成器回路は、直列の1対のインダクタを含み、当該直列の1対のインダクタは、その端部が第1、第2および第3の液晶可変コンデンサに結合され、当該第1、第2および第3の液晶可変コンデンサは、バイアス電圧に応じて、可変インピーダンスおよび可変の有効電氣的長さの両方を、混成カプラに提供して、調整済み位相入力信号を出力信号として供給するように動作可能である。したがって、集中等価インピーダンス変成器回路は、半波長マイクロストリップ・ラインと等価である個別構成要素からなる等価回路を形成するために、2つのインダクタと結合された3つの液晶可変コンデンサからなる回路網を備えることができる。半波長マイクロストリップ・ラインと等価である集中等価回路を形成することによって、可変コンデンサにバイアスをかけてその静電容量を変化させることにより入力信号の位相を調整しやすくすることが可能になる。集中等価回路として半波長マイクロストリップ・ラインを実施すると、回路のサイズとその動作周波数との間のいずれの直接的倍率関係も分断するのに役立つ。言い換えると、動作周波数を何分の1かに低下させることは、それに対応する何倍かに回路の構成要素の長さが必然的に増加するという結果にはもはやならない。

【 0 0 1 2 】

一実施形態では、第1および第2の液晶可変コンデンサは、等しい静電容量を有する。

【 0 0 1 3 】

一実施形態では、第1および第2の液晶可変コンデンサのリアクタンスの絶対値は、1対のインダクタそれぞれのリアクタンスの絶対値と一致する。

【 0 0 1 4 】

一実施形態では、第2の液晶可変コンデンサは、第1および第3の液晶可変コンデンサそれぞれの静電容量の2倍である静電容量を有する。

【 0 0 1 5 】

一実施形態では、集中等価インピーダンス変成器回路は、整数倍数の半波長集中等価インピーダンス変成器回路を含む。

【0016】

－実施形態では、
集中等価インピーダンス変成器回路は、半波長集中等価インピーダンス変成器回路を備え、当該半波長集中等価インピーダンス変成器回路は、直列の1対の液晶可変コンデンサを含み、当該直列の1対の液晶可変コンデンサは、その端部が第1、第2および第3のインダクタに結合され、当該第1、第2および第3のインダクタは、バイアス電圧に応じて、可変インピーダンスおよび可変の有効電氣的長さの両方を、混成カプラに提供して、調整済み位相入力信号を出力信号として供給するように動作可能である。

【0017】

－実施形態では、1対の液晶可変コンデンサは、等しい静電容量を有する。

10

【0018】

－実施形態では、第1および第2のインダクタのリアクタンスの絶対値は、1対の液晶可変コンデンサそれぞれの絶対値と一致する。

【0019】

－実施形態では、第2のインダクタは、第1および第3のインダクタそれぞれのインダクタンスの半分であるインダクタンスを有する。

【0020】

－実施形態では、集中等価インピーダンス変成器回路は、整数倍数の半波長集中等価インピーダンス変成器回路を含む。

【0021】

20

－実施形態では、集中等価インピーダンス変成器回路は、少なくとも1対の半波長集中等価インピーダンス変成器回路を含む。したがって、装置実施態様に依拠して、1対の半波長集中等価インピーダンス変成器回路を設けることが、結合装置が適正に動作できるようにするために、かつ必要な出力信号を入力信号から形成するために必要になり得る。

【0022】

－実施形態では、集中等価インピーダンス変成器回路は、少なくとも1対の半波長集中等価インピーダンス変成器回路を含み、1対の半波長集中等価インピーダンス変成器回路の両方が混成カプラに並列に結合される。

【0023】

－実施形態では、集中等価インピーダンス変成器回路は、4分の1波インピーダンス変成器によって結合された少なくとも1対の半波長集中等価インピーダンス変成器回路を含む。したがって、それぞれの集中等価インピーダンス変成器回路は、4分の1波インピーダンス変成器によって共に結合された2つ以上の半波長集中等価インピーダンス変成器回路を含み得る。追加の半波長集中等価インピーダンス変成器回路を設けることによって、装置の帯域幅が改善することを理解されたい。さらに、位相シフトの増大が可能である。しかし、これは挿入損失の増大につながり得る。この挿入損失の増大に対処することは、それぞれの半波長集中等価インピーダンス変成器回路によって得られる位相シフト量を低減させることによって、ただし、この対の総位相シフトは、例えば90°などの所定の量よりも可能な限り広帯域にわたって確実に大きくなるようにすることによって、可能である。それぞれの半波長集中等価インピーダンス変成器回路によって得られる位相シフトを低減することは、液晶可変コンデンサの長さが低減するという結果になり、これにより装置サイズが低減し得る。

30

40

【0024】

－実施形態では、集中等価インピーダンス変成器回路は、4分の1波インピーダンス変成器によって結合された少なくとも第1の対の半波長集中等価インピーダンス変成器回路と、4分の1波インピーダンス変成器によって結合された少なくとも第2の対の半波長集中等価インピーダンス変成器回路とを含み、第1の対および第2の対の両方が混成カプラと並列に結合される。したがって、第1および第2の対の半波長集中等価インピーダンス変成器回路は、適切な信号を受け取り出力するために、両方が混成カプラと結合され得る。

50

【 0 0 2 5 】

－実施形態では、液晶可変コンデンサは、平行板液晶可変コンデンサを含む。

【 0 0 2 6 】

－実施形態では、インダクタは、マイクロストリップ・ラインを含む。

【 0 0 2 7 】

本発明のさらなる特定の態様および好ましい態様が、添付の独立請求項および従属請求項に記載されている。従属請求項の諸特徴は、独立請求項の諸特徴と適宜に組み合わせられても、各請求項に明示的に記載されたもの以外と一緒に組み合わせられてもよい。

【 0 0 2 8 】

次に、本発明の諸実施形態を図面を参照してさらに説明する。

10

【図面の簡単な説明】

【 0 0 2 9 】

【図 1】反射型移相器の図である。

【図 2】液晶構造の図である。

【図 3】半波長共振マイクロストリップ・ラインに対応する集中等価回路の図である。

【図 4】半波長共振マイクロストリップ・ラインに対応する代替の集中等価回路の図である。

【図 5】半波長共振マイクロストリップ・ラインに対応する代替の集中等価回路の図である。

【図 6】半波長共振マイクロストリップ・ラインに対応する代替の集中等価回路の図である。

20

【図 7】第 1 の移相器の図である。

【図 8 a】図 7 の移相器の構成ブロックとして使用される等価集中回路の例示的な実施態様の図である。

【図 8 b】図 7 の移相器の構成ブロックとして使用される等価集中回路の例示的な実施態様の図である。

【図 8 c】図 7 の移相器の構成ブロックとして使用される等価集中回路の例示的な実施態様の図である。

【図 9】図 7 の移相器の例示的な実施態様の図である。

【図 1 0】図 7 の移相器の微分位相シフトを示すグラフである。

30

【図 1 1】図 7 の移相器 1 0 0 の挿入損失を示すグラフである。

【図 1 2】図 7 の移相器 1 0 0 の反射減衰量を示すグラフである。

【図 1 3 a】第 2 の移相器を形成するための構成ブロックとして使用されている 1 / 4 マイクロストリップ・ライン変成器によって結合された 1 対の等価集中回路の例示的な実施態様の図である。

【図 1 3 b】第 2 の移相器を形成するための構成ブロックとして使用されている 1 / 4 マイクロストリップ・ライン変成器によって結合された 1 対の等価集中回路の例示的な実施態様の図である。

【図 1 4】第 2 の移相器の例示的な実施態様の図である。

【図 1 5】図 1 4 の移相器の微分位相シフトを示すグラフである。

40

【図 1 6】図 1 4 の移相器 1 0 0 の挿入損失を示すグラフである。

【図 1 7】図 1 4 の移相器 1 0 0 の反射減衰量を示すグラフである。

【発明を実施するための形態】

【 0 0 3 0 】

概説

諸実施形態をいくつか詳細に論じる前に、諸実施形態による移相装置の概説をここで論じる。上述のように、諸実施形態では、移相装置で特に高周波（ワイヤレス電気通信機器で利用されるギガヘルツ周波数など）で動作するものは、必要な信号処理を行うために共振液晶電極を共振マイクロストリップ・ラインとして利用できることが認められる。しかし、上述のように、液晶構造をこのように利用することの問題は、装置の動作周波数が低

50

下するにつれて共振液晶電極の長さを増す必要があることである。

【 0 0 3 1 】

上述のように、図 1 は、マイクロストリップ・ラインを使用して実施された移相器を示す。この移相器は、混成カブラの 1 つの入力部で入力を受け取り、位相シフトされた出力信号を混成カブラの出力部から出力する。入力信号は分割され、ある位相シフトにより両方の共振液晶電極マイクロストリップ・ラインに供給される。共振液晶電極マイクロストリップ・ラインの長さは、処理されるべき入力信号の周波数に依存する。2 ギガヘルツ信号では、共振液晶電極マイクロストリップ・ラインの長さは約 6 0 m m である必要がある。この長さは、周波数が低下するにつれて増加する。あるバイアス電圧を共振液晶電極マイクロストリップ・ラインに印加すると、出力信号に位相シフトが生じる。

10

【 0 0 3 2 】

諸実施形態では、液晶装置を共振電極として使用するのではなく、代わりに共振マイクロストリップ・ラインと同じ特性を有する、個別のリアクタンス性構成要素で作られた集中要素等価回路を設ける。したがって、マイクロストリップ・ラインと同じ効果を、この集中等価回路と、個別構成要素の特性を調整することによって適合された回路特性とを用いて得ることができる。具体的には、このような集中等価回路は、インダクタおよびコンデンサからなる回路網を備え、このコンデンサは、可変コンデンサにするために液晶構造体から形成され、その可変コンデンサの特性は、液晶構造体にバイアス電圧を印加することによって変えることができる。

20

【 0 0 3 3 】

こうして、少なくとも 1 つの共振マイクロストリップ・ラインを使用して信号処理を行う移相装置が、集中等価回路を形成する個別装置を代わりに使用して実施できることが分かり、この集中等価回路では、集中等価回路内の個別構成要素のうちの少なくとも 1 つとして設けられた液晶可変コンデンサに印加されるバイアスを単に変えるだけで、入力信号に加えられるべき変更が可能になる。実際の共振マイクロストリップ・ラインを使用しないようにすることによって、装置の大きさは、入力信号の周波数によって決まるその動作周波数による影響が少なくなる。このような手法により、小型で拡張性のある移相装置が実現することが理解されよう。

【 0 0 3 4 】

この移相装置構成を詳細に論じる前に、液晶装置の概説を次に示す。最も一般に使用される液晶相であるネマチックの分子は、印加された電界または磁界の方向に並んで配向する細長い棒とみなすことができる。印加された電磁界に対するこれらの細長い分子の向きにより、図 2 に示されるように誘電異方性が生じる。ここで、ネマチック液晶の分子は、基板上に都合よく堆積された 2 つの電極のシステム内に収容されている。この図示の例では、電極はポリイミドを用いて処理され、このポリイミドは、印加される電磁界が無い状態で液晶分子の向きを確実に既定の方向にするのに必要な配向層として機能する。これにより、液晶層の比誘電率

30

【 0 0 3 5 】

【 数 1 】

$$\epsilon_{r_{\perp}}$$

40

によって巨視的に特徴付けられる液晶分子の「接地」状態または「ゼロ」状態が実際上定義され、ここで $\epsilon_{r_{\perp}}$ は、R F 電界の方向が液晶分子の方向に対して垂直であることを示す。バイアス電圧 (D C または低周波電圧) が増加するにつれ、液晶分子は印加された電界の方向に配向し、それによって液晶層の異なる誘電率

【 0 0 3 6 】

【 数 2 】

$$\epsilon_{r_{\parallel}}$$

50

が生じ、ここで P は、液晶分子と R F 電界が互いに平行であることを表す。このようにして見ると、液晶の誘電率は電圧可調整であり、この可調整の程度は、誘電異方性と呼ばれる 2 つの比誘電率の間の差

【 0 0 3 7 】

【 数 3 】

$$\Delta\epsilon_r = \epsilon_{r_p} - \epsilon_{r_l}$$

によって決まる。R F 周波数では、

【 0 0 3 8 】

【 数 4 】

$$\epsilon_{r_l}$$

は 2 . 7、

【 0 0 3 9 】

【 数 5 】

$$\epsilon_{r_p}$$

は 3 . 2 であるが、これは使用される液晶の種類によって変わり得る。図 2 に示された 2 電極液晶システムは實際上、静電容量比が

【 0 0 4 0 】

【 数 6 】

$$r_c = \frac{C_{\max}}{C_{\min}} = \frac{\epsilon_{r_p}}{\epsilon_{r_l}} \approx 1.2.$$

で与えられる電圧可調整平行板コンデンサである。

【 0 0 4 1 】

集中等価回路

信号プロセッサの構成ブロックは、様々な構成で使用される半波長共振マイクロストリップ・ラインに取って代わる液晶可変コンデンサを組み込む集中等価回路である。4 つの例示的な集中等価回路を次に説明する。

【 0 0 4 2 】

例 1

図 3 は、半波長共振マイクロストリップ・ライン 2 0 に対応する集中等価回路 1 0 を表す。集中等価要素回路 1 0 は、リアクタンス性個別装置の回路網である。この例では、回路網 1 0 上に示された点 A は、半波長マイクロストリップ・装置 2 0 上に示された点 A に対応し、点 B も同様である。

【 0 0 4 3 】

回路網 1 0 は、2 つのインダクタおよび 3 つの液晶可変コンデンサを含む。各インダクタは、点 A と点 B の間に直列に配置される。第 1 のコンデンサは、点 A に対してインダクタの 1 つと並列に設けられる。同様に、1 つのコンデンサが、点 B に対して第 2 のインダクタと並列に設けられる。第 3 のコンデンサが、第 1 と第 2 のインダクタの間のノードに結合されて設けられる。これらのインダクタは、等しいインダクタンスを有する。第 1 および第 2 のコンデンサは、等しい静電容量を有する。第 3 のコンデンサの静電容量は、第 1 または第 2 のコンデンサのそれぞれの 2 倍である。第 1 または第 2 のコンデンサのリアクタンスの絶対値は、第 1 または第 2 のインダクタのリアクタンスの絶対値と一致する。

【 0 0 4 4 】

コンデンサは液晶基板上で実装される。インダクタは、マイクロストリップ・ラインま

10

20

30

40

50

たは標準的な表面実装技術を使用して実装される。これにより等価集中回路 10 のサイズは、図 1 に示された共振液晶電極マイクロストリップ・ラインと比較して大幅に低減することが可能になり、等価集中回路 10 の長さがインダクタの長さによって實際上決まる。

【0045】

等価集中回路 10 の位相シフトは、液晶可変コンデンサが形成されている液晶基板に印加されるバイアス電圧を変えることによって実現することができる。

【0046】

この等価集中回路 10 は、その整数倍数、すなわち

【0047】

【数 7】

$$n \frac{\lambda_g}{2}$$

と共に液晶ベースの移相器内で使用することができ、 $n = 1, 2, 3 \dots$ である。

【0048】

例 2

マイクロストリップ・ライン 20 の半波長に近いものを得る別法が、等価集中回路 10 A を示す図 4 に表されている。この構成では、図 3 の集中インダクタを表すために、長さの短いマイクロストリップ・ラインが使用される。

【0049】

この等価集中回路 10 A は、その整数倍数、すなわち

【0050】

【数 8】

$$n \frac{\lambda_g}{2}$$

と共に液晶ベースの移相器内で使用することができ、 $n = 1, 2, 3 \dots$ である。

【0051】

例 3

マイクロストリップ・ライン 20 の半波長に近いものを得る別法が、等価集中回路 10 B を示す図 5 に表されている。

【0052】

この例では、等価集中回路 10 B は、第 3 の整数倍数、すなわち

【0053】

【数 9】

$$\frac{3\lambda_g}{2}$$

の半波長マイクロストリップ・ラインと等価である（これは、図 3 の集中等価回路 10 の回路と類似しているが、 $n = 3$ である）。

【0054】

この等価集中回路 10 B は、その整数倍数、すなわち

【0055】

【数 10】

$$n \frac{3\lambda_g}{2}$$

と共に液晶ベースの移相器内で使用することができ、 $n = 1, 2, 3 \dots$ である。

【0056】

10

20

30

40

50

例 4

マイクロストリップ・ライン 20 の半波長に近いものを得る別法が、等価集中回路 10 C を示す図 6 に表されている。この構成では、図 5 の集中インダクタを表すために、短い長さのマイクロストリップ・ラインが使用される。

【0057】

この等価集中回路 10 C は、その整数倍数、すなわち

【0058】

【数 11】

$$n \frac{3\lambda_g}{2}$$

10

と共に液晶ベースの移相器内で使用することができ、 $n = 1, 2, 3 \dots$ である。

【0059】

移相器

例 1 単一負荷

図 7 は、移相器 100 として動作する電圧可調整反射回路を表し、この回路では、図 1 に示された共振液晶電極マイクロストリップ・ラインを置き換えるための、図 3 に示された 1 対の集中等価回路 10 が混成カプラ 110 と結合される。図 3 の集中等価回路がこの移相器 100 の構成ブロックとして使用されているが、他の集中等価回路も使用できるこ

20

【0060】

図 8 a から図 8 c は、移相器 100 の構成ブロックとして使用されている等価集中回路 10 の例示的な実施態様を示す。

【0061】

図 8 a から図 8 c で分かるように、反射負荷が、スペーサ層 110 で分離されて接地板 120 上に堆積された 2 層基板の上に設けられる。液晶が注入される空洞 130 が、長さ L_h および L_e の 2 つのストリップ、および最上部液晶層カバー 140 によって形成される。スペーサ層 110 の高さ H_2 は約 $101 \mu\text{m}$ であるが（この厚さで Rogers dur oid 材料が入手可能であるので）、液晶分子の挙動に著しい影響を及ぼすことなく約 $200 \mu\text{m}$ まで増加させることができる。

30

【0062】

反射負荷は、最上部液晶層カバー 140 の底面に印刷され、その高さは可能な限り低くなければならない。その高さ H_1 は、この例では $50 \mu\text{m}$ である（この厚さで Rogers dur oid 材料が入手可能であるので）。反射負荷の高さには複数の実施態様があり得る。液晶層カバー 140 が液晶空洞 130 の上に直接置かれているので、反射負荷用の材料の選択が重要になる。巨視的に見た場合に液晶は可調整誘電体であるので、その可調整度は、液晶カバー層 140 が存在することにより低減する。この影響は、液晶カバー層 140 に薄い低誘電率材料を選択することにより最小限になり、この場合は $\epsilon_{r2} = 3.48$ 、 $H_2 = 50 \mu\text{m}$ である。

40

【0063】

図 9 は、移相器 100 の例示的な実施態様を示す。図で分かるように、可調整可変コンデンサは、液晶基板上に実現される。コンデンサの寸法は、 $L_c = 7.25 \text{ mm}$ 、 $L_{2c} = 14.5 \text{ mm}$ 、および $W = 1.5 \text{ mm}$ である。これらの寸法は、 $\epsilon_r = 2.72$ である接地液晶基板上でマイクロストリップ・ラインの等価特性インピーダンス Z_c が約 20Ω になるように選ばれる。選択された特性インピーダンス Z_c は、位相シフト量と挿入損失の間の妥協点になる。コンデンサ間の間隔 L_s は、表面実装インダクタ L の長さによって決まり、反射負荷の実際的な実現を可能にすると共に隣接コンデンサ間の結合を防止するために、約 1 mm 以上でなければならない。長さ L_h はカプラのサイズによって決まり、この例では L_h は 2.5 mm である。長さ L_e は重要ではなく、この設計では 1 m

50

mである。したがって、全体のサイズが約 $11\text{ mm} \times 34\text{ mm}$ である装置が実現する。

【0064】

移相器100のシミュレーションされた動作が図10から図12に示されている。シミュレーションで使用された表面実装インダクタは、可能な限り実際的な装置の動作を得るために、AVX manufacturerのデータから入手可能な、.S2Pファイルによって表された。

【0065】

移相器100の性能は、2つの場合について、すなわち印加バイアス電圧が0ボルトである場合、および印加バイアス電圧が11ボルトである場合についてシミュレーションされた。各電圧バイアス状態は、液晶の誘電特性、誘電率および損失正接からなる組で特徴付けられる。シミュレーションで使用された特定の液晶（一般にE7と呼ばれる）では、2ギガヘルツで0ボルトおよび11ボルトの電圧バイアスにおける比誘電率の値が知られているが、損失正接の値は知られていない。しかし、より高い周波数（30から60ギガヘルツの範囲内）での損失正接の値が知られているので、これらの値が2ギガヘルツでの損失正接の代わりに使用された。これにより、結果として、実際に発生するよりも高い損失が予測された可能性があり、装置の性能が低く表されることになり得る。しかし、2ギガヘルツでの損失正接が30ギガヘルツでの値から著しく減少しなければ、これによりまた、挿入損失性能のワースト・ケース・シナリオが作られる。この特別の場合で、30ギガヘルツでの損失正接は、 $\tan(\delta) = 0.04(0\text{ V})$ 、および $\tan(\delta_p) = 0.02(11\text{ V})$ である。

【0066】

図10は、11V（（ピーク） $\epsilon_{rp} = 3.18$ ）での移相器100の微分位相シフトを0V（ $\epsilon_r = 2.72$ ）を基準として示す。

【0067】

図11は、a) 0V、およびb) 11Vのバイアス電圧での移相器100の挿入損失を示す。

【0068】

図12は、a) 0V、およびb) 11Vのバイアス電圧での移相器100の反射減衰量を示す。

【0069】

図で分かるように、これらの図は、移相器100が90°の位相シフトを170メガヘルツの帯域にわたって5.7dBの最大挿入損失で実現することを表す。

【0070】

例2 2負荷

図13aおよび図13bは、4分の1波長マイクロストリップ・ライン変成器15で結合された1対の等価集中回路10'の例示的な実施態様を示し、4分の1波長マイクロストリップ・ライン変成器15は、帯域幅の増大を可能にする移相器100Aを形成するための構成ブロックとして使用されている。図3の集中等価回路がこの移相器100Aの構成ブロックとして使用されているが、他の集中等価回路も使用できることが理解されよう。

【0071】

この2負荷構成の利点は、前の構成に対していくつか修正した後で、広帯域の位相シフト動作と、前述の単一負荷構成と同様な挿入損失とを可能にできることである。さらに、この構成では、前記と同じ反射負荷が使用された場合、得られる位相シフトが2倍になる。しかし、この構成ではまた、得られる挿入損失も2倍になる。

【0072】

したがって、損失の増大を克服するために、2負荷の半波長等価集中回路それぞれで得られる位相シフトの量が低減される。しかし、2負荷で得られる全位相シフトは、可能な限り広い帯域幅に対して90°を超えるように選択される。近似半波長マイクロストリップ・ラインの特性インピーダンス Z_c がここでは約7.5オームに設定されているので、

それぞれの等価集中回路 10' で得られる位相シフトを低減することは、液晶で形成された可変コンデンサの長さが低減するという結果になる。

【0073】

図14は、移相器100Aの例示的な実施態様を示す。分布コンデンサの長さは $L_c = 2.3\text{ mm}$ 、 $L_{2c} = 4.6\text{ mm}$ であるが、幅 W は 1.5 mm のままである。各負荷の間隔は $L_{sp} = 1.9\text{ mm}$ である。2つの負荷は、広帯域・高位相シフト動作に必要な約100オームの特性インピーダンス Z_c を有する4分の1波長変成器マイクロストリップ15によって分離される。4分の1波長変成器マイクロストリップ15は、図13a、13bおよび14に示されるように、基板の上に曲がりくねらせてある。この例での移相器100Aの全体寸法は、約 $32 \times 11\text{ mm}$ である。それ以外のすべての寸法は、前述の実施形態と同じである。

10

【0074】

移相器100Aのシミュレーションされた性能が図15～17に表されている。前述の実施形態と同様に、2ギガヘルツで使用される液晶に対して高い損失正接が想定されている。

【0075】

図15は、 11 V （（ピーク） $\epsilon_{rp} = 3.18$ ）での移相器100Aの微分位相シフトを 0 V （ $\epsilon_r = 2.72$ ）を基準として示す。

【0076】

図16は、a) 0 V 、およびb) 11 V のバイアス電圧での移相器100Aの挿入損失を示す。

20

【0077】

図17は、a) 0 V 、およびb) 11 V のバイアス電圧での移相器100Aの反射減衰量を示す。

【0078】

図で分かるように、このシミュレーションは、装置が 90° の位相シフトを370メガヘルツの帯域にわたって6.4 dBの最大挿入損失で実現することを表す。

【0079】

反射負荷は3つ以上の負荷を有するように作ることができ、帯域幅はさらに増大できることが理解されよう。また、液晶ベースの装置の電力取扱い能力を増大させるために、電力取扱いが3 dBだけ増大する4方向混成カプラを使用することもできる。さらに、装置の電力取扱いは、それぞれの等価回路内のインダクタおよびコンデンサの個数を多くすることによって増大させることができる。

30

【0080】

「プロセッサ」または「論理回路」と標示されたいずれの機能ブロックも含めて、図に示された様々な要素の機能は、専用のハードウェア、ならびにソフトウェアを適切なソフトウェアと共同で実行できるハードウェアを使用することによって実現することができる。プロセッサによって実現される場合、諸機能は、単一の専用プロセッサ、単一の共用プロセッサ、または複数の、その一部が共用されることがある個別プロセッサによって実現することができる。さらに、明示的に用いられる「プロセッサ」または「コントローラ」または「論理回路」という用語が、ソフトウェアを実行できるハードウェアだけを指すと解釈されるべきではなく、これらには、それだけには限らないが、デジタル信号プロセッサ(DSP)ハードウェア、ネットワーク・プロセッサ、特定用途向け集積回路(ASIC)、フィールド・プログラマブル・ゲート・アレイ(FPGA)、ソフトウェア記憶用の読出し専用メモリ(ROM)、ランダム・アクセス・メモリ(RAM)、および不揮発性記憶装置が暗示的に含まれ得る。従来、および/または特定用途向けの他のハードウェアもまた含まれ得る。同様に、図に示されたいずれのスイッチも概念的なものにすぎない。その機能は、プログラム論理回路の動作によっても、専用論理回路によっても、プログラム制御と専用論理回路の相互作用によっても、または手動でも実行することができ、その特定の技法は、本明細書からより具体的に理解されるように、実施者によって選択可

40

50

能である。

【 0 0 8 1 】

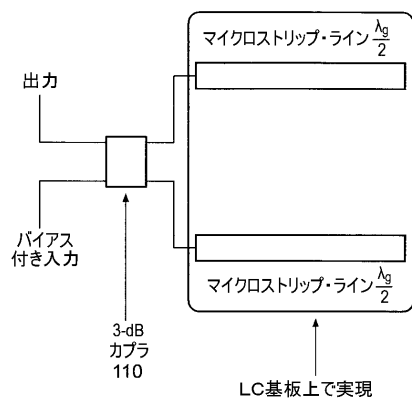
本明細書のいずれのブロック図も、本発明の原理を具現化する例示的な回路の概念図を表すことが当業者には理解されるはずである。同様に、いずれのフローチャート、流れ図、状態遷移図、擬似コードなども様々な処理を表し、これらの処理は、コンピュータ可読媒体で十分に表すことができ、そのようにコンピュータまたはプロセッサによって実行することが、このようなコンピュータまたはプロセッサが明示的に示されていなくても、可能であることを理解されたい。

【 0 0 8 2 】

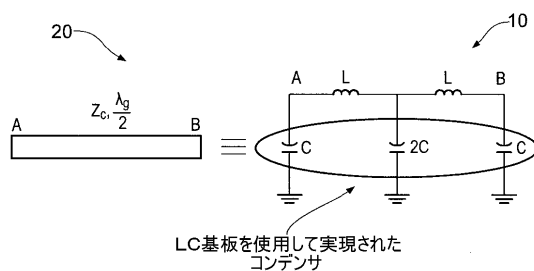
説明および図面では、単に本発明の原理を例示するにすぎない。したがって、本明細書に明示的に説明または図示されていないが本発明の原理を具現化する、かつ本発明の趣旨および範囲内に含まれる様々な構成は、当業者が考案できることを理解されたい。さらに、本明細書に列举されたすべての例は主に、本発明の原理、および当技術分野を推進するために本発明者（1人または複数）によって寄与された概念を理解するのを助ける教育的な目的のためのものであり、このような具体的に列举された諸例および諸条件に限定することがないと解釈されるべきことが明白に意図されている。さらに、本発明の諸原理、諸態様、および諸実施形態、ならびに本発明の具体的な例を列举する本明細書のすべての記述は、本発明の等価物を包含することが意図されている。

10

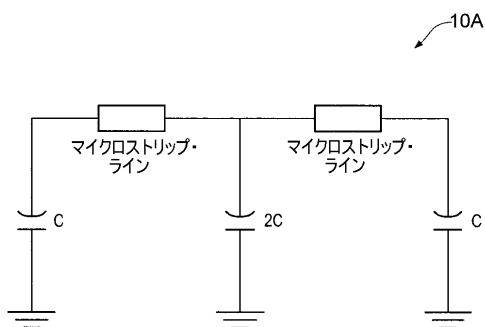
【 図 1 】



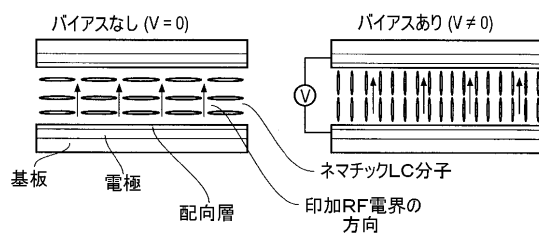
【 図 3 】



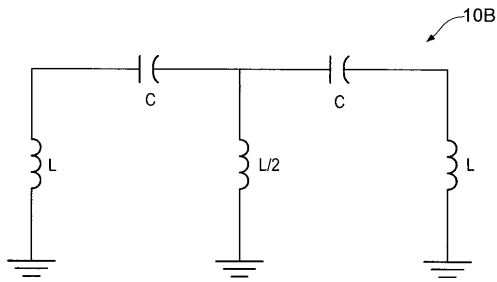
【 図 4 】



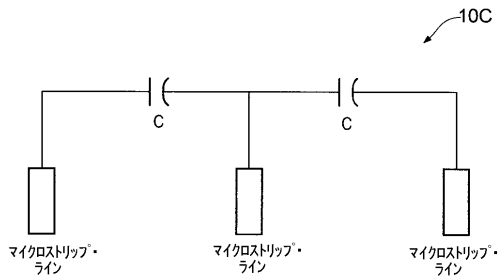
【 図 2 】



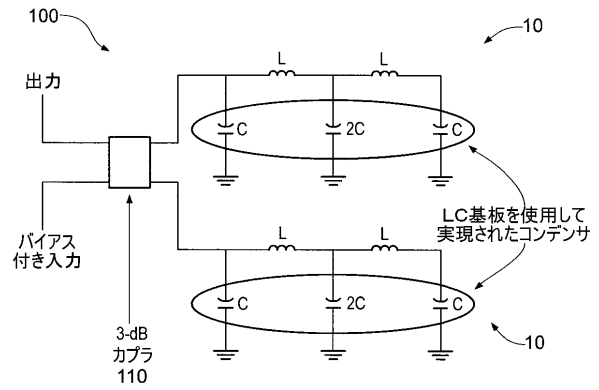
【図 5】



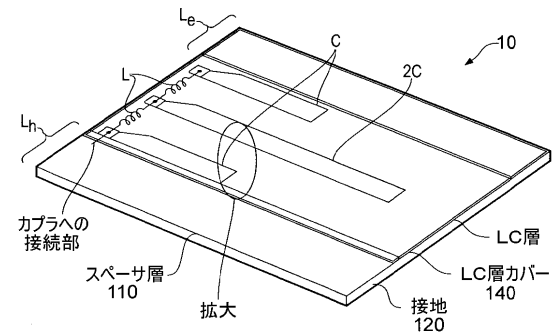
【図 6】



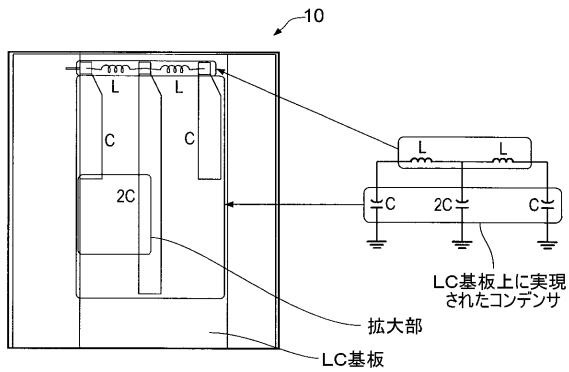
【図 7】



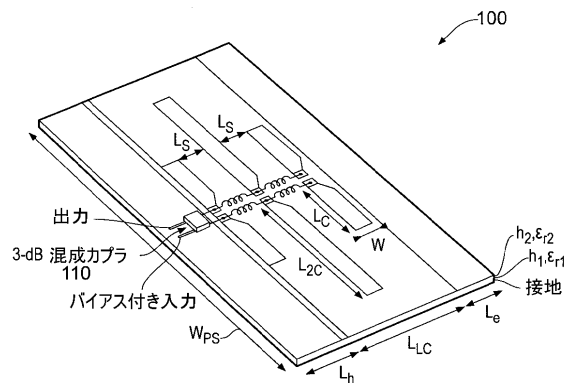
【図 8 a】



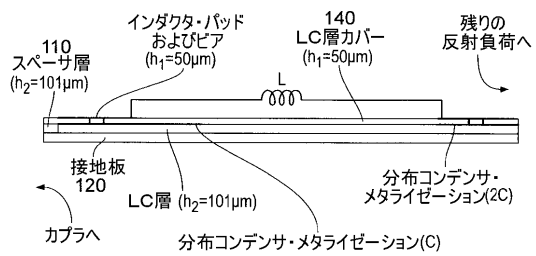
【図 8 b】



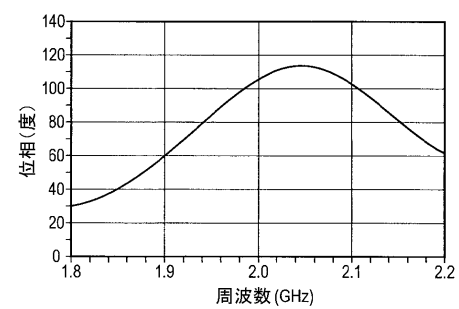
【図 9】



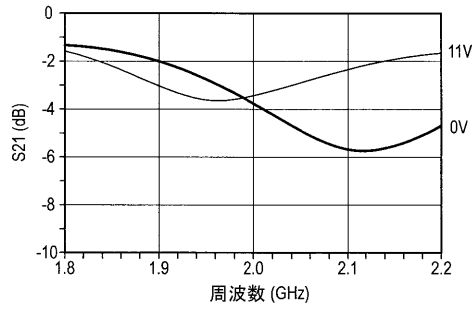
【図 8 c】



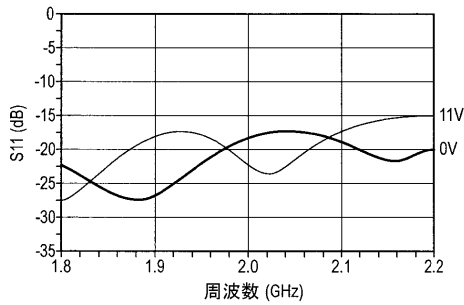
【図 10】



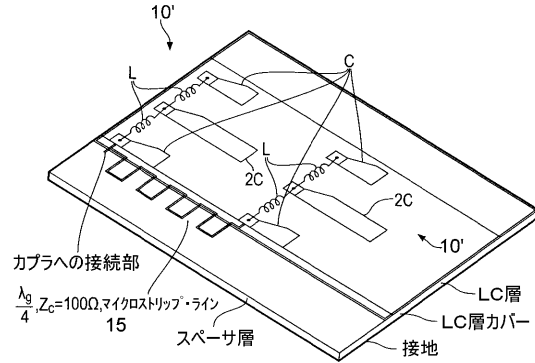
【図 1 1】



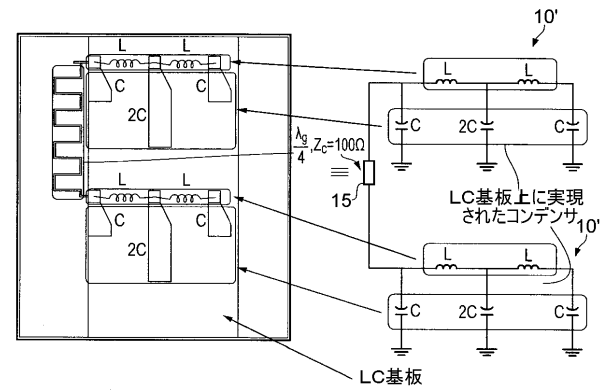
【図 1 2】



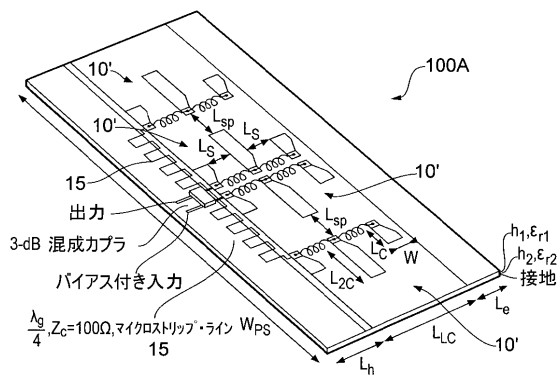
【図 1 3 a】



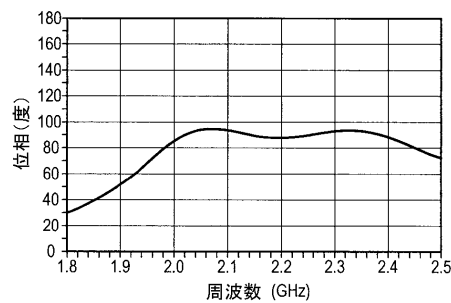
【図 1 3 b】



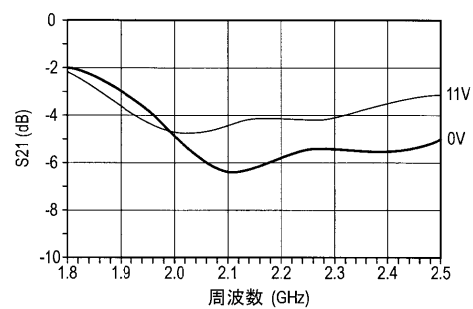
【図 1 4】



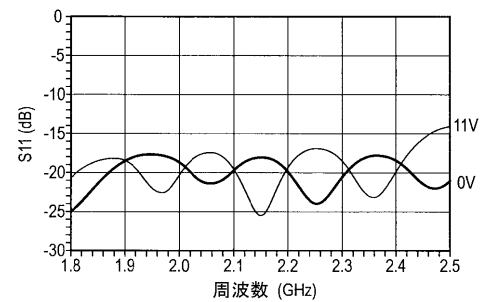
【図 1 5】



【図 1 6】



【図 1 7】



フロントページの続き

(72)発明者 ブルジャ, セナド

アイルランド アイルランド, ダブリン 15, アッシュタウン, ロイヤル カナル パーク, コ
ンパス コート サウス 28

審査官 岸田 伸太郎

(56)参考文献 米国特許第03882431(US, A)

米国特許第04859972(US, A)

特開2008-079027(JP, A)

特開2002-076810(JP, A)

米国特許第05084801(US, A)

J.A.Yeh, et al., "Microwave characteristics of liquid-crystal tunable capacitors", IEEE

Electron Device Letters, 2005年 6月, Vol.26, No.7, , pp.451-453

(58)調査した分野(Int.Cl., DB名)

H01P 1/18

H03H 7/20