(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103180961 B
(45)授权公告日 2016.02.17

(21)申请号 201180050938.9
(22)申请日 2011.10.20
(30)优先权数据
61/405,293 2010.10.21 US
13/222,249 2011.08.31 US
(85)PCT国际申请进入国家阶段日
2013.04.22
(86)PCT国际申请的申请数据
PCT/US2011/057012 2011.10.20
(87)PCT国际申请的公布数据
WO2012/054682 EN 2012.04.26
(73)专利权人 威世通用半导体公司
地址 美国纽约
(72)发明人 许志维 弗洛林·乌德雷亚
林意茵
(74)专利代理机构 中原信达知识产权代理有限责任公司 11219
代理人 张焕生 谢丽娜
(51)Int.Cl.
H01L 29/872(2006.01)
H01L 29/868(2006.01)
H01L 21/329(2006.01)
(56)对比文件
US 6633071 B1,2003.10.14,
US 6633071 B1,2003.10.14,
US 6191447 B1,2001.02.20,
JP 特开平 5-90565 A,1993.04.09, 全文.
CN 1738010 A,2006.02.22, 全文.
US 2009/0309181 A1,2009.12.17, 全文.
审查员 孙鹏

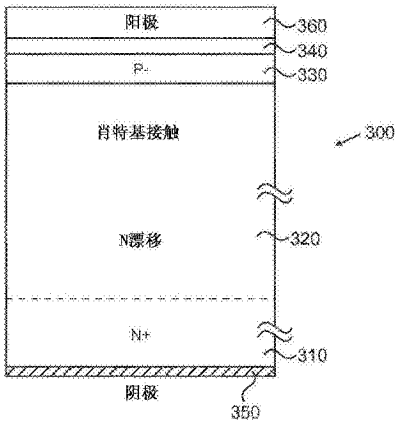
权利要求书2页 说明书5页 附图7页

(54)发明名称

改进的肖特基整流器

(57)摘要

一种半导体整流器包括具有第一导电类型的半导体衬底。在衬底上形成的第一层具有第一导电类型,并且比衬底更轻度地被掺杂。具有第二导电类型的第二层形成在衬底上,并且金属层被布置在第二层上方。第二层被轻度掺杂使得在金属层和第二层之间形成肖特基接触。第一电极形成在金属层上方,并且第二电极形成在衬底的背侧上。



CN 103180961 B

1. 一种半导体整流器，包括：

具有第一导电类型的半导体衬底；

在所述衬底上形成的第一层，所述第一层具有所述第一导电类型，并且较之所述衬底更轻度地被掺杂；

形成在所述衬底上的第二层，所述第二层具有第二导电类型；

被布置在所述第二层上方的金属层，其中，所述第二层被轻度掺杂以使得在所述金属层和所述第二层之间形成肖特基接触；

形成在所述金属层上方的第一电极和形成在所述衬底的背侧上的第二电极；

在所述第一层中形成的至少一个沟槽；

衬于所述至少一个沟槽的底部和侧壁的电介质层；以及

填充所述至少一个沟槽的导电材料，

其中，所述至少一个沟槽包括形成在所述第一层中的多个沟槽，并且所述第二层仅形成在所述第一层中选择的沟槽对之间而非在所有沟槽对之间。

2. 根据权利要求 1 所述的半导体整流器，其中，较之在所述金属层和所述第二层之间形成欧姆接触所需的掺杂浓度，所述第二层具有更低的掺杂浓度。

3. 根据权利要求 1 所述的半导体整流器，其中，所述第二层形成在所述第一层中，并且与所述沟槽的至少一侧相邻。

4. 根据权利要求 1 所述的半导体整流器，其中，所述第二层与所述沟槽的两侧相邻。

5. 根据权利要求 1 所述的半导体整流器，其中，硅化物层形成在所述金属层和第二层之间的界面处。

6. 根据权利要求 1 所述的半导体整流器，其中 TMBS 存在于器件的不包括所述第二层的部分。

7. 根据权利要求 6 所述的半导体整流器，其中所述多个沟槽仅存在于所述整流器的不包括所述第二层的部分，并且其中所述第二层作为平面结构存在于器件的剩余有源区。

8. 一种制造整流器的方法，包括：

提供第一导电类型的半导体主体；

在衬底上形成第一层，所述第一层具有所述第一导电类型，并且较之所述衬底更轻度地被掺杂；

在所述衬底上方形成第二层，所述第二层具有第二导电类型；

在所述第二层上方形成金属层，其中，所述第二层被轻度掺杂以使得在所述金属层和所述第二层之间形成肖特基接触；并且

在所述金属层上方形成第一电极，并且在所述衬底的背侧上形成第二电极；

在所述第一层中形成至少一个沟槽；

把电介质层衬于所述至少一个沟槽的底部和侧壁；以及

用导电材料填充所述至少一个沟槽，

其中，所述至少一个沟槽包括形成在所述第一层中的多个沟槽，并且第二层仅形成在所述第一层中选择的沟槽对之间而非在所有沟槽对之间。

9. 根据权利要求 8 所述的方法，其中，形成所述第二层包括：向所述第一层内植入或扩散第二类型的掺杂剂。

10. 根据权利要求 8 所述的方法，其中，在形成所述金属层之前，执行在所述第一层中形成至少一个沟槽。

11. 根据权利要求 8 所述的方法，其中，形成所述第二层包括：形成所述第二层以实现在导通状态性能和开关性能之间的期望的权衡。

12. 根据权利要求 8 所述的方法，其中，较之在所述金属层和所述第二层之间形成欧姆接触所需的掺杂浓度，所述第二层具有更低的掺杂浓度。

13. 根据权利要求 8 所述的方法，其中，在所述第一层中形成所述第二层。

14. 根据权利要求 8 所述的方法，其中，形成第二层包括：通过向所述第一层内的植入或扩散来形成所述第二层。

改进的肖特基整流器

[0001] 相关申请

[0002] 本申请要求在 2010 年 10 月 21 日提交的美国临时申请 No.61/405,293 和在 2011 年 8 月 31 日提交的美国专利申请 No.13/222,249 的优先权，它们通过引用被整体并入在此。

背景技术

[0003] 常规的肖特基整流器作为对于传统 PIN 二极管的替代品用在高速应用中。它们具有有限的阻断范围，并且它们的主要成功在需要小于大约 200V 的击穿电压的应用中。它们有限的阻断电压的范围的主要原因是因为在高击穿电压下导通状态正向电压降上的严重增大，这继而是由在漂移区的掺杂浓度上的降低和伴随的在漂移区的深度上的增大而导致的。结果，漂移区的特定导通状态电阻与 $V_{BR}^{2.5}$ 大约成比例，其中，V_{BR} 是击穿电压。在导通状态电阻和击穿电压之间的该超线性关系使得肖特基整流器难以应对用于较高阻断电压的市场。另外，在肖特基接触中存在的高电场导致势垒降低效应，并且因此导致在高阻断电压下的高泄漏电流。

[0004] 图 1 和 2 分别示出常规 PIN 二极管和常规肖特基整流器。PIN 二极管包括被重度掺杂第一导电类型(例如，n+ 型)掺杂剂的高掺杂半导体衬底 110。外延漂移层 120 形成在衬底 110 上，并且被更轻度地掺杂第一导电类型(例如，n- 型)的掺杂剂。重度掺杂的欧姆接触层 130 形成在漂移层 120 上。接触层 130 被重度地掺杂第二导电类型(例如，p+ 型)的掺杂剂。阴极电极 150 形成在衬底 110 的背侧上，并且阳极金属 140 形成在欧姆接触层 130 上方。

[0005] 在图 2 中所示的常规肖特基整流器包括被重度地掺杂第一导电类型(例如，n+ 型)的掺杂剂的高掺杂衬底 210。类似于 PIN 二极管，漂移层 220 形成在衬底 210 上，并且被更轻度地掺杂第一导电类型(例如，n- 型)的掺杂剂。然后，取代欧姆接触层，在漂移层 230 上方形成金属层 230。肖特基接触形成在金属层 230 和漂移层 220 之间的界面处。阴极电极 250 形成在衬底 210 的背侧上，并且在金属层 230 上方形成阳极金属 240。

[0006] 为了降低肖特基接触对于电场的承受能力，已经开发了沟槽 MOS 势垒肖特基(TMBS)器件。该器件特征在于在其有源区中的多个沟槽 MOS 单元以降低表面电场，并且建立与泄漏电流的流动相反的横向势垒。结果，显著地降低了截止状态泄漏电流。而且，MOS 沟槽也作为场板，并且因此允许在漂移区的掺杂上的略微增大，而不折衷击穿。然而，TMBS 器件的导通状态电压降在其中击穿超过 300V 的高压应用中仍然成问题。这是因为肖特基整流器的单极导通机制不象 PIN 类型的二极管特有的双极导通那样有效。

发明内容

[0007] 根据本发明，提供了一种半导体整流器。该整流器包括具有第一导电类型的半导体衬底。在衬底上形成的第一层具有第一导电类型，并且比衬底更轻度地掺杂。具有第二导电类型的第二层形成在衬底上，并且金属层被布置在第二层上方。第二层被轻度掺杂使

得在金属层和第二层之间形成肖特基接触。第一电极形成在金属层上方，并且第二电极形成在衬底的背侧上。

[0008] 根据本发明的另一个方面，提供了一种制造整流器的方法。该方法包括：提供第一导电类型的半导体主体，并且在衬底上形成第一层。第一层具有第一导电类型，并且比衬底更轻度地掺杂。第二层形成在衬底上方。第二层具有第二导电类型。在第二层上方形成金属层。第二层被轻度掺杂使得在金属层和第二层之间形成肖特基接触。第一电极形成在金属层上方，并且第二电极形成在衬底的背侧上。

附图说明

[0009] 图 1 和 2 分别示出常规 PIN 二极管和常规肖特基整流器。

[0010] 图 3 示出根据本发明的原理构造的肖特基二极管的一个实施例。

[0011] 图 4 示出(a)常规 PIN 二极管，(b)常规肖特基整流器，以及(c)根据本发明的肖特基二极管的典型导通状态特性的图。

[0012] 图 5 示出(a)常规 PIN 二极管，(b)常规肖特基整流器，以及(c)根据本发明的肖特基二极管的典型反向恢复特性的示意图。

[0013] 图 6 示出基于沟槽 MOS 势垒肖特基(TMBS)设计的肖特基整流器的一个替代实施例。

[0014] 图 7 示出对于在透明区中的不同植入剂量，在图 6 中所示的器件的模拟的输出特性。

[0015] 图 8 示出对于不同的 p 型植入剂量，在图 6 中所示的器件的过量少数载流子(过量空穴)分布剖面。

[0016] 图 9 是对于图 6 的器件在截止瞬态时的电流波形的示意图。

[0017] 图 10 图示在图 6 中所示的器件的截止状态阻断特定。

[0018] 图 11 和 12 示出肖特基整流器的替代实施例。

具体实施方式

[0019] 如下所述，提供了肖特基二极管或整流器器件，它们象常规肖特基二极管那样提供快的速度和低的开关损耗，但是具有较高的电流能力和相当低的导通状态损耗。

[0020] 图 3 示出根据本发明的原理构造的肖特基二极管的一个实施例。如所示，肖特基二极管 300 包括高掺杂衬底 310，该衬底 310 被重度掺杂第一导电类型(例如，n+ 型)的掺杂剂。外延漂移层 320 形成在衬底 310 上，并且被更轻地掺杂第一导电类型(例如，n- 型)的掺杂剂。第二导电型(例如，p- 型)的轻度掺杂的层 330 形成在漂移层 320 上方。因为下述的原因，有时将轻度掺杂的层称为透明层。在形成透明层 330 后，沉积金属层 340，该金属层 340 由能够形成硅化物的金属(例如，镍)形成。一旦已经形成硅化物，则通过选择性蚀刻来去除还没有与半导体材料进行反应的金属。在衬底 310 的背侧上形成阴极电极 350，并且在金属层 340 上方形成阳极金属 360。

[0021] 所谓的透明层 330 形成肖特基接触，在其表面具有敷金属，并且在其与 n- 型漂移层 320 的界面处具有低注入效率结。不同于常规的整流器件，该器件具有分别被 p- 透明层 /n- 漂移层注入和肖特基势垒控制的混合的双极和单极导电。与常规肖特基整流器相比，二

极管 300 具有显著地更低的导通状态电阻和泄漏电流，同时在二极管的反向恢复期间提供显著地更快的速度和更低的损耗。

[0022] 图 4 示出(a)常规 PIN 二极管，(b)常规肖特基整流器，以及(c)根据本发明的肖特基二极管 300 的通常的导通状态特性的图。该图示出了二极管 300 在其特性上具有不同的弯曲(因为其中发生双极导电和肖特基限制导电的不同区域)，并且与常规肖特基整流器相比提供显著改善的导通状态能力。

[0023] 图 5 示出(a)常规 PIN 二极管，(b)常规肖特基整流器，以及(c)根据本发明的肖特基二极管 300 的通常的反向恢复特性的示意图。

[0024] 如图 5 中所示，特征在于 p+ 注入层和阳极欧姆接触的 PIN 二极管经受过高的反向泄漏电流、高损耗和慢速度。另一方面，作为单极器件的肖特基二极管提供快的速度和低的开关损耗。根据本发明的器件 300 在速度和损耗上更接近肖特基二极管，但是(如图 4 中所示)与肖特基整流器相比仍然保留更高的电流能力和显著地更低的导通状态损耗。

[0025] 因为透明层 330，与常规 PIN 二极管和肖特基整流器两者相比在导通状态性能和反向恢复损失之间的有益权衡是可能的，该透明层 330 在漂移区中注入少数载流子(空穴)，并且允许等离子体的形成(以大于掺杂水平的浓度，在准中性平衡上的电子和空穴的过量)。然而，等离子体的注入被肖特基接触限制，并且进一步被透明层 330 的“透明”控制。通过使得透明层 300 更轻度地被掺杂，透明度增大，允许电子流的更大的部分渗透透明层 300，并且达到阳极接触。这导致在导通状态中更少的等离子体形成，并且结果，导致更快的反向恢复响应。通过增大在透明层中的掺杂，但是仍然保留肖特基接触(换句话说，抑制特定于欧姆接触的显著的隧道化)，等离子体水平可以随着导通状态性能的进一步增加而增加，尽管以增大开关损耗为代价。将在下面进一步描述这种权衡。

[0026] 在本发明的一个替代实施例中，提供了肖特基整流器，该肖特基整流器基于前述的沟槽 MOS 势垒肖特基(TMBS)设计。该器件特征在于其有源区中有多个沟槽 MOS 单元，以减小表面电场，并且产生与泄漏电流的流动相对的横向势垒。在图 6 中示出本发明的这个实施例的一个示例。

[0027] 图 6 的 TMBS 二极管 400 包括重度掺杂的 n- 型半导体晶片 401，在该晶片 401 上形成轻度掺杂的 n- 型外延层 402。在这个外延层中形成开口，该开口可以例如是沟槽形状。在开口中形成导电区 403，导电区 403 例如由掺杂的多晶硅制成。绝缘层 404 插入在每一个导电区和对应的开口(例如，沟槽)的壁之间。可以例如通过热氧化来形成绝缘层 404，并且，可以通过共形沉积并且随后通过平坦化步骤来以多晶硅填充开口。然后，可以通过使用例如植入或扩散技术来形成透明区 410 (在这个示例中是 p- 型)。例如，在一种实现方式中，通过植入来形成透明区，并且随后通过快速退火和可能的光推进以控制透明区 410 的剂量和结深度。如上所述，可以适当地调整透明区 410 的掺杂浓度(或电荷剂量)以确定在导通状态电压和截止能量损耗之间的适当权衡。

[0028] 在形成透明区 410 后，沉积能够在外延层 402 上方和多晶硅填充区域上方形成硅化物层 415 的金属，诸如镍。一旦已经形成硅化物，则通过选择性蚀刻来去除还没有与半导体材料进行反应的金属。其后，在金属层 415 上方的上面表面侧上形成阳极金属 407，并且，在衬底 401 的下表面侧上形成阴极金属 408。

[0029] 图 7 示出对于在透明区 410 中的不同植入剂量模拟的 p-TMBS 器件的输出特性。可

以看出，在 250A/cm^{2}的电流密度（即，运行电流密度）下的导通状态电压降随着增大在透明区 410 中的植入剂量而减小。增大在透明层中的掺杂水平或剂量的效果是增大 p- 透明层/n- 漂移区的注入效率，或者降低透明度。然而，在低电流密度下，该趋势反转，因为 P/N 结的内建电势（V_{bi}）具有下面的形式：

[0030] $$V_{bi}=\frac{kT}{q}\ln\left(\frac{N_d N_a}{n_i^2}\right)$$ 等式（1）

[0031] 其中，K 是波尔兹曼常数，T 是在开氏温标上的温度，q 是电荷，N_d是在 N 侧上的电子密度，并且 N_a是在 P 侧上的空穴密度。增大 N_a导致更大的 V_{bi}，这继而使得 P/N 结难以传导电流，直到内建的势垒被克服。

[0032] 在图 8 中示出对于不同的 p- 型植入剂量的 p-TMBS 器件的过量少数载流子（过量空穴）分布剖面。过量空穴浓度（等同于等离子体）随着在透明层中的 p- 型植入剂量而增大，并且这是为什么导通状态电压随着剂量水平而变化的原因。也值得注意的是，其 p- 型剂量最高的情况 D 具有最大的过量空穴浓度，特别是在漂移区的中间。已知在中间区域中的过量载流子是在瞬态操作期间最后被去除，并且因此在这个区域的空穴越少，则截止开关速度越快。事实上，注入剂量对于情况 D 是 1×10^{15}cm^{-2}，并且这应当被看作 p+ 植入，而不是 p- 植入。在该情况下，该器件实际上是 PIN 二极管，因为由于隧道化，所以接触不再是肖特基的，而是欧姆的。

[0033] 图 9 是在截止瞬态下的电流波形的示意图。它示出了植入剂量越高，则截止时间越长。然而，如果在漂移区中的载流子浓度很低（例如，象在情况 A 中那样），则电导率调制效应不重要，并且发现导通状态电压在电流密度 250A/cm^{2}下超过 1.5V（参见图 7）。

[0034] 在肖特基接触下的 p- 透明层的存在也有助于减小反向泄漏电流，如图 10 中所示，图 10 图示器件的截止状态阻断特性。在阳极电极处的 PN 结的存在增强了肖特基接触相对于在高电场下的势垒降低效应的免疫。因此，可以看出，没有任何 p- 型植入的器件具有最高的泄漏电流。另一方面，其他器件即使当 p- 透明层植入剂量最低时也显示显著减小反向泄漏电流的优点。

[0035] 总之，已经在此给出了基于肖特基接触和透明阳极的结构。已经通过下述示例来给出了两个实施例：（i）p- 平面结构和（ii）p-TMBS。这些结构相对于先前的解决方案提供了几个优点：（1）因为存在透明层，可以能够向漂移区内注入少数载流子，使得可以因为存在等离子体（电导率调制）而降低漂移区电阻率，并且可以降低导通状态电压；（2）透明层浅并且被轻度掺杂，并且仅存在于有限的区，因此也限制了少数载流子注入。这给出了在导通状态电压和开关速度之间的权衡的更好控制；（3）在高电流密度下的等离子体的进一步限制是因为存在 p- 透明层和敷金属之间形成的肖特基势垒；以及，（4）透明层可以防止肖特基接触被电场影响，使得减轻势垒降低效应，并且可以将泄漏电流保持得低。

[0036] 在图 11 和 12 中示出本发明的其他实施例。图 11 示出仅在器件的一些部分（例如，截面 / 区域 / 单元）中插入透明层 410（在这个示例中掺杂了 p- 型）。例如，在这个示例中，透明层 410 仅位于某些相邻的 MOS 沟槽对之间，而不位于其他的对。在不包括透明层的器件的其他部分中，存在常规的 TMBS。在这个实施例中，结构实际上是与常规 TMBS 平行的集成透明肖特基二极管。图 12 是图 11 的变化形式，其中，仅在常规 TMBS 单元中存在沟槽，而存在透明层 410 作为在器件的有源区的剩余部分中的平面结构。

[0037] 示例

[0038] 在图 6 的实施例中所示的透明层被布置为围绕沟槽的区。可以使用适当的 p- 型掺杂剂通过离子植入和 / 或扩散来形成该透明层。为了最小化植入引起的晶体损害，可以将植入能量保持得低(例如，25KeV)。植入步骤之后可以是退火步骤(例如，在 950° C 的温度下持续 60 分钟)使得半导体表面保持足够光滑以形成高质量的肖特基接触。取决于所选择的设计和等级(阻断电压能力、泄漏电流和截止速度)，结构中主层的几何尺寸和导电率给出如下：

[0039] (1) P- 浓度：$1x10^{13}cm^{3}$至 $5x10^{18}cm^{3}$

[0040] (2) P- 深度：0.05 μm 至 10 μm

[0041] (3) 沟槽深度：0.5 μm 至 10.0 μm

[0042] (4) 沟槽宽度：0.5 μm 至 5.0 μm

[0043] (5) 台面宽度(即，在相邻的沟槽之间的间隔)：0.3 μm 至 30.0 μm

[0044] (6) N- 漂移区长度：5 μm 至 200 μm

[0045] (7) N- 漂移区浓度：$5x10^{12}cm^{3}$至 $5x10^{17}cm^{3}$

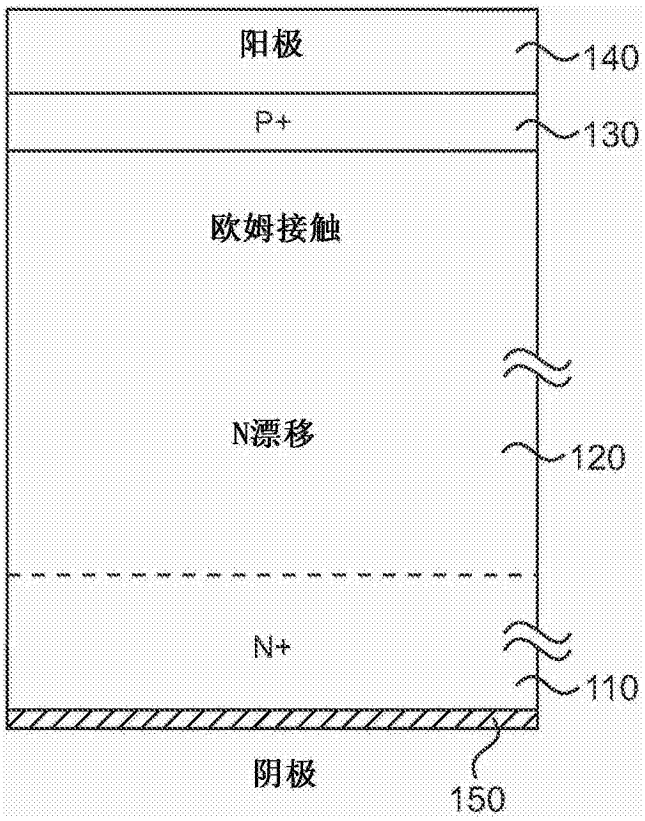


图 1

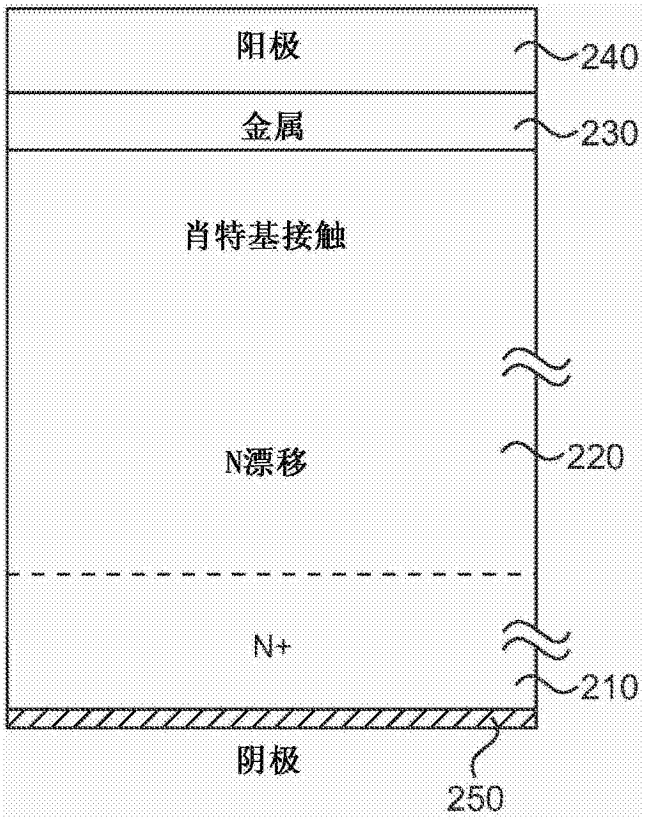


图 2

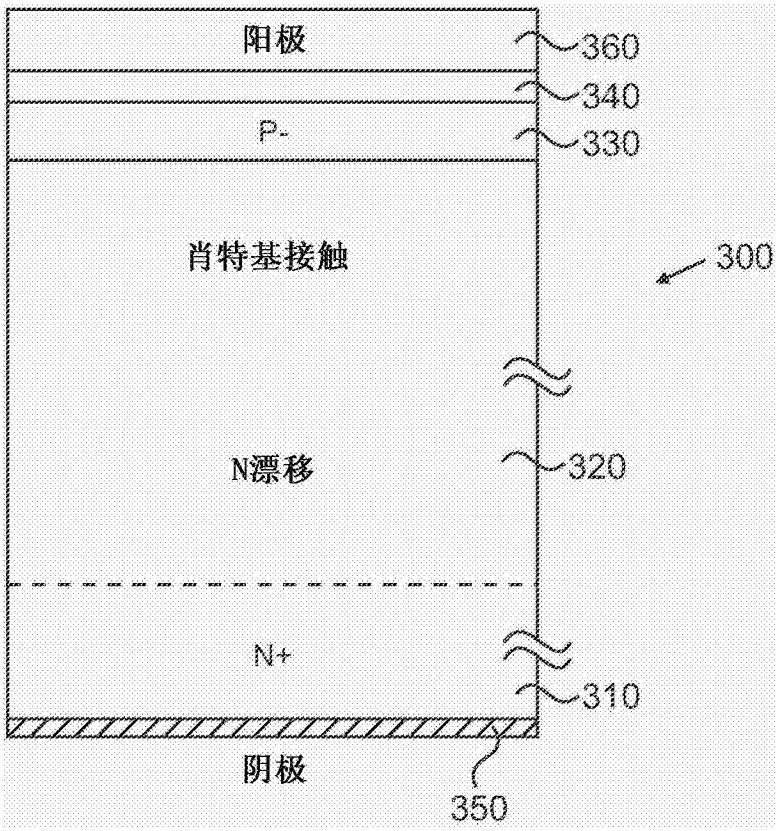

阳极
360
340
P-
330
肖特基接触
300
N漂移
320
N+
310
阴极
350

图 3

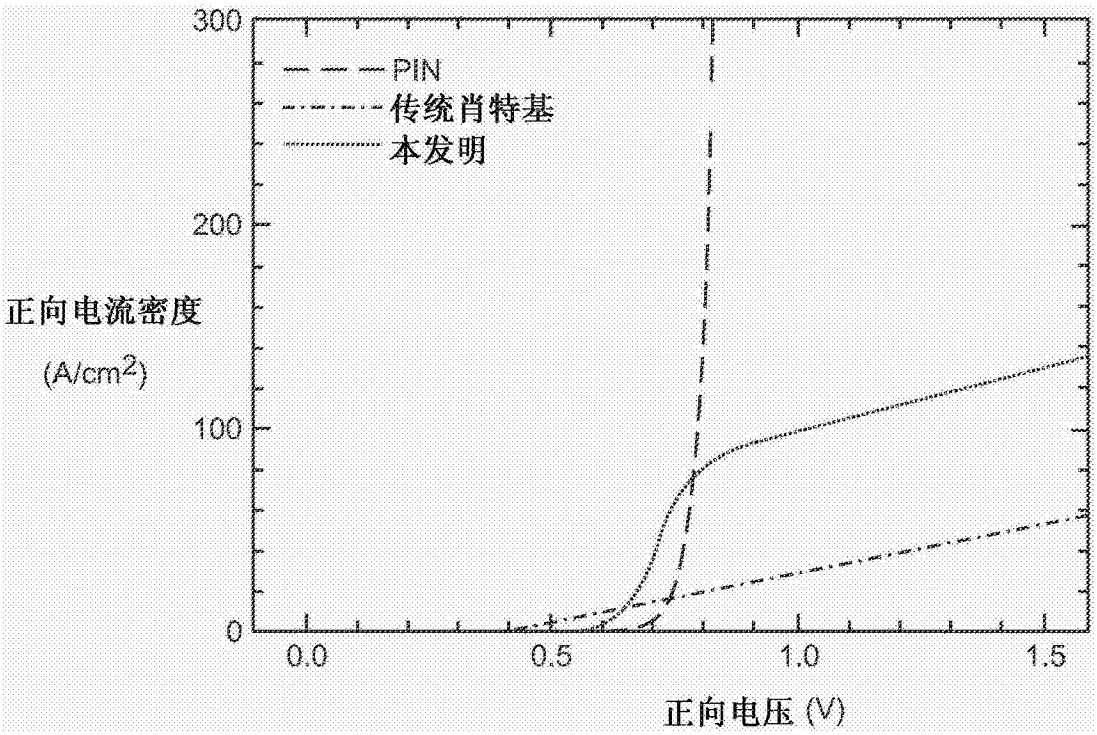

300
200
100
0
PIN
传统肖特基
本发明
正向电流密度
(A/cm2)
0.0
0.5
1.0
1.5
正向电压 (V)

图 4

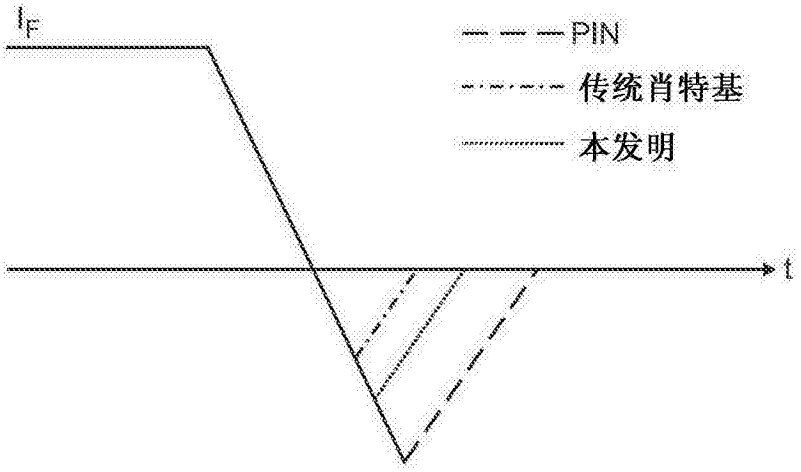

I_F
PIN
传统肖特基
本发明
t

图 5

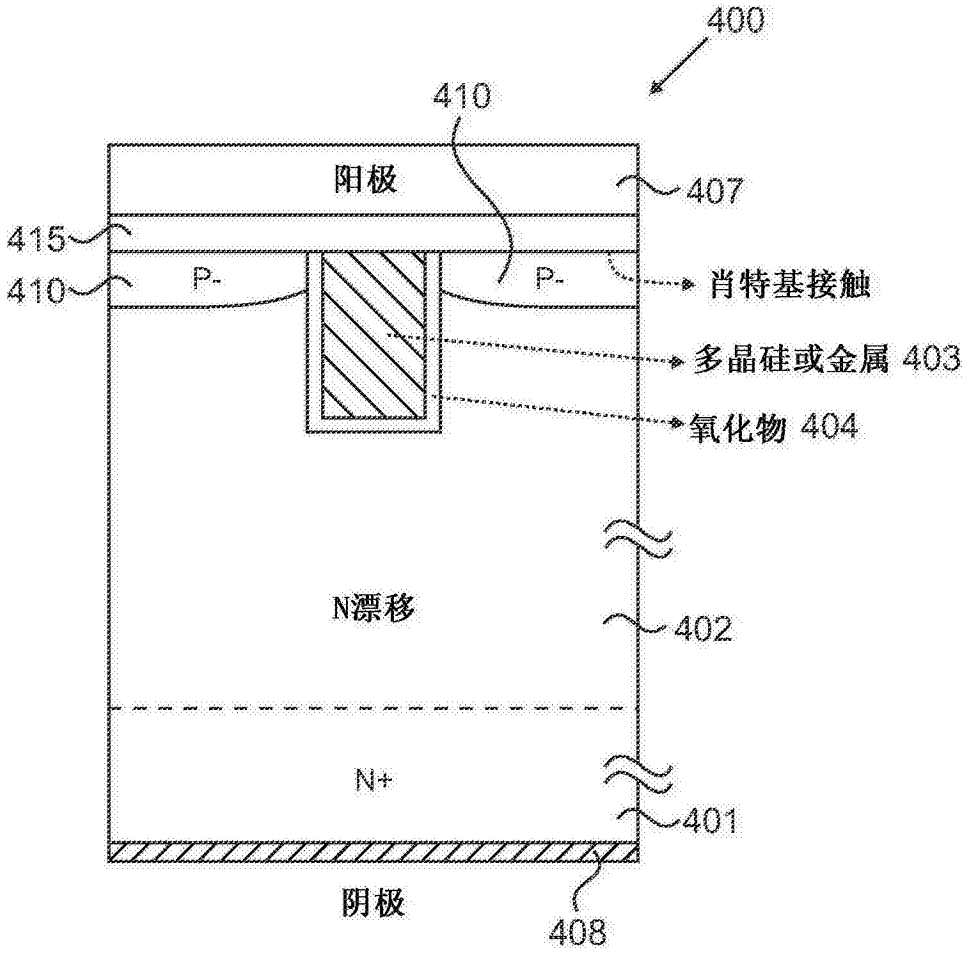

400
410
阳极
407
415
410
P-
P-
肖特基接触
多晶硅或金属 403
氧化物 404
N漂移
402
N+
401
阴极
408

图 6

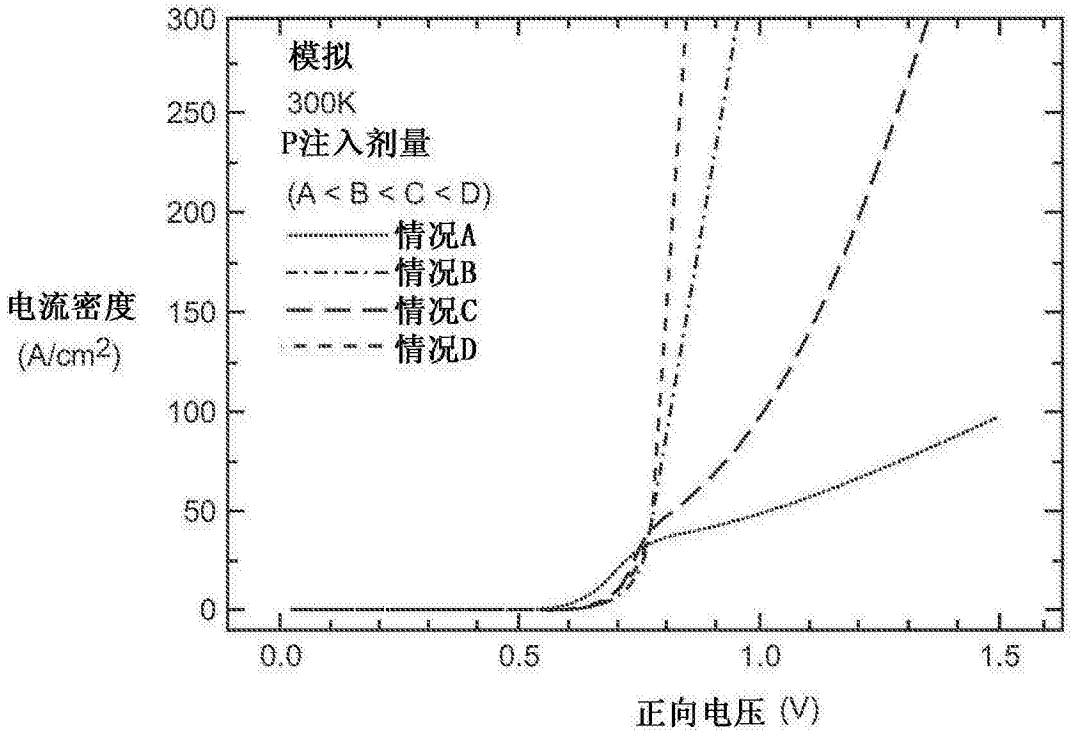

模拟
300K
P注入剂量
(A < B < C < D)
情况A
情况B
情况C
情况D
电流密度
(A/cm2)
300
250
200
150
100
50
0
0.0
0.5
1.0
1.5
正向电压 (V)

图 7

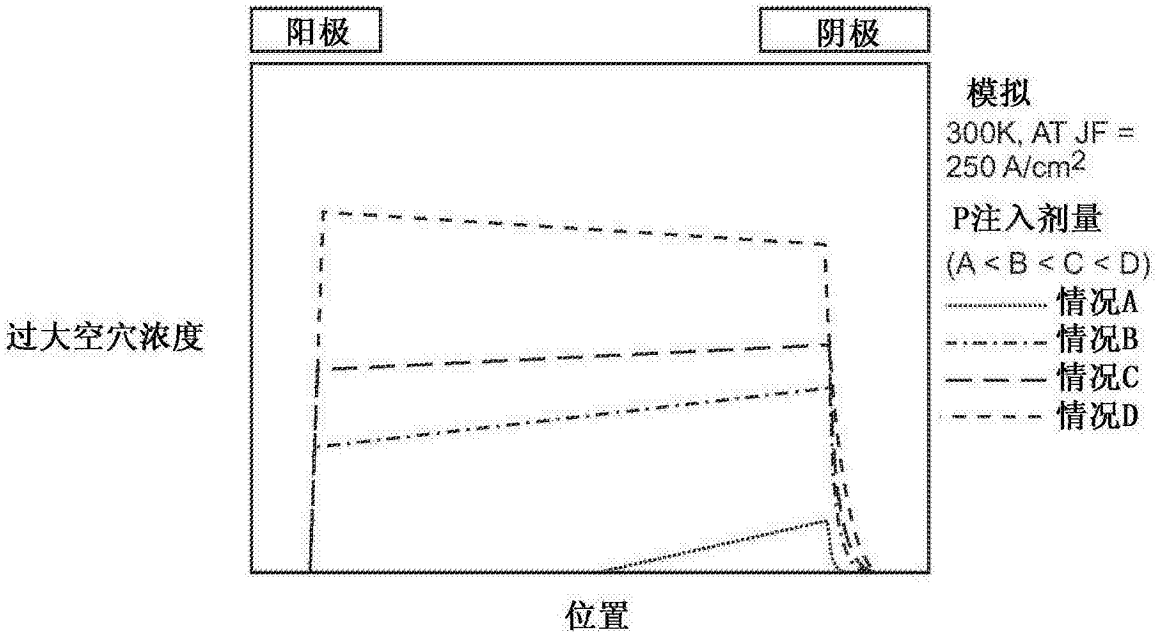

阳极
阴极
模拟
300K, AT JF =
250 A/cm2
P注入剂量
(A < B < C < D)
情况A
情况B
情况C
情况D
过大空穴浓度
位置

图 8

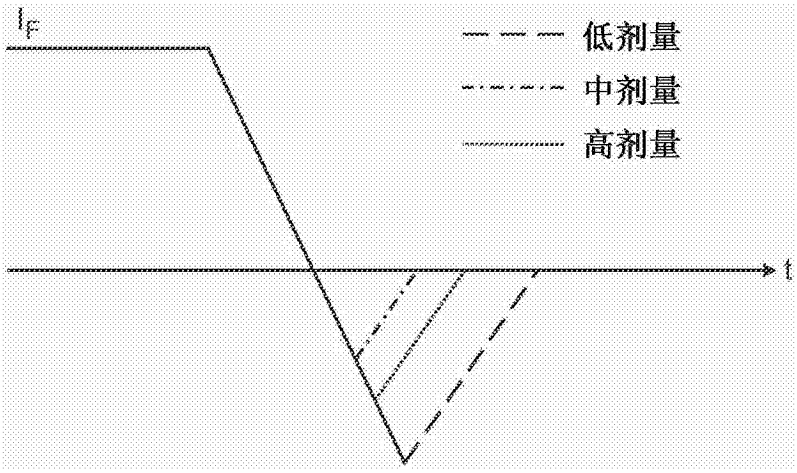

I_F
低剂量
中剂量
高剂量
t

图 9

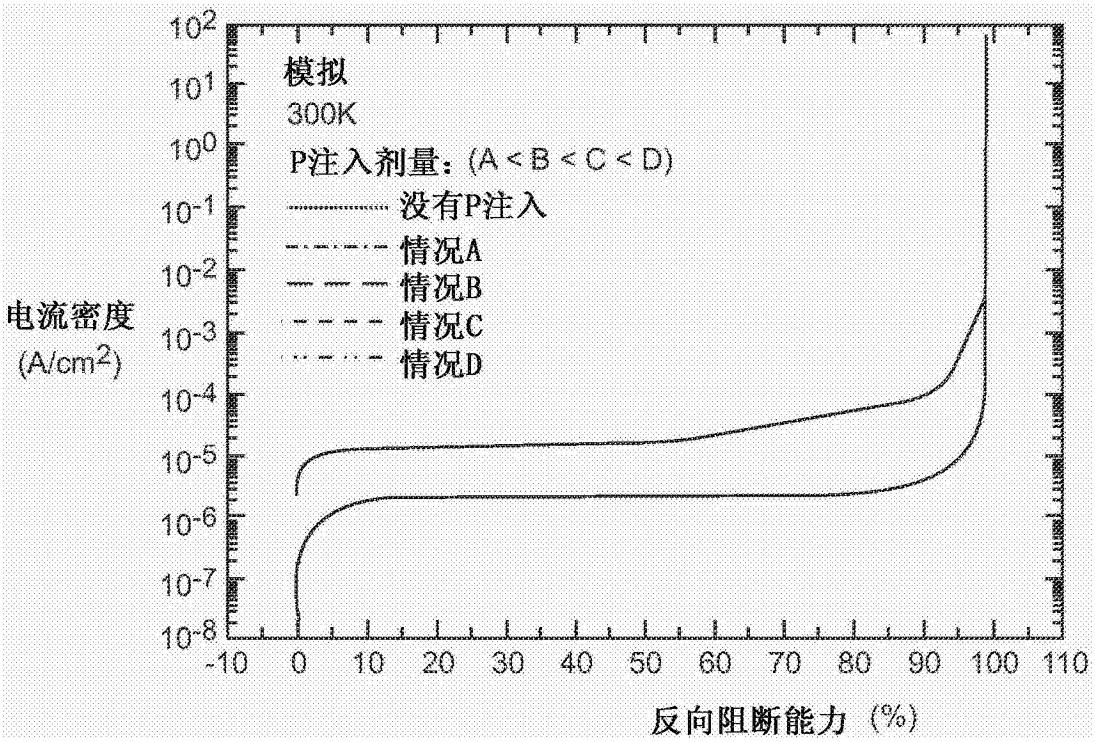

模拟
300K
P注入剂量：(A < B < C < D)
没有P注入
情况A
情况B
情况C
情况D
电流密度
(A/cm2)
反向阻断能力 (%)

图 10

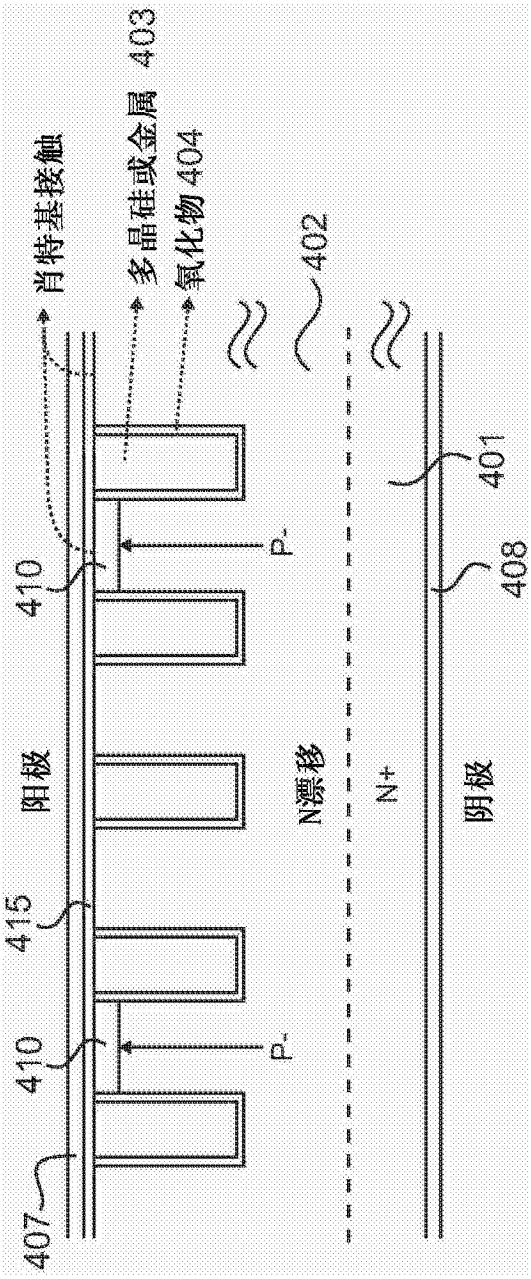

肖特基接触
多晶硅或金属 403
氧化物 404
402
401
408
P-
410
阳极
415
410
P-
407
N漂移
N+
阴极

图 11

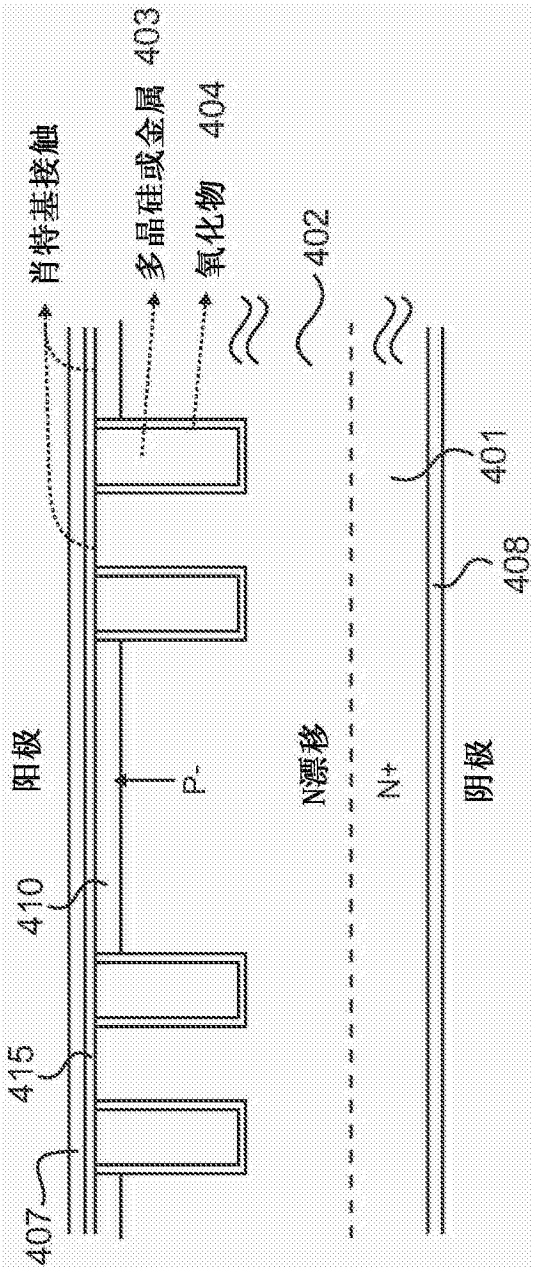

肖特基接触
多晶硅或金属 403
氧化物 404
402
401
408
阳极
P-
410
415
407
N漂移
N+
阴极

图 12