

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成24年10月4日 (2012.10.4)

【公開番号】特開2011-54885(P2011-54885A)

【公開日】平成23年3月17日 (2011.3.17)

【年通号数】公開・登録公報2011-011

【出願番号】特願2009-204662(P2009-204662)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/12 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 N

H 0 1 L 29/78 6 5 2 H

H 0 1 L 29/78 6 5 8 E

H 0 1 L 29/78 6 5 2 S

H 0 1 L 29/78 6 5 2 T

【手続補正書】

【提出日】平成24年8月21日 (2012.8.21)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 5

【補正方法】変更

【補正の内容】

【0 0 0 5】

耐圧とオン抵抗にはトレードオフの関係がある。かかる関係を改善する方法として耐圧の確保が必要な領域に、p 型半導体領域と n 型半導体領域を縞状、あるいは島状に配置したスーパージャンクション構造の縦型 MOSFET が知られている（例えば、特許文献 1 参照）。この縦型 MOSFET（以下、「スーパージャンクション縦型 MOSFET」という）では、オン状態では導電層の n 型半導体領域が電流を流し、オフ状態では p 型半導体領域、n 型半導体領域が完全に空乏化することで耐圧を確保することができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【0 0 1 3】

そこで、上記目的を達成するために、請求項 1 に記載の発明は、第 1 導電型の半導体基体と、前記半導体基体の上面側に形成され、前記半導体基体の上面に対して平行な第 1 の方向をそれぞれ長手方向とした第 1 導電型の第 1 ピラー領域と第 2 導電型の第 2 ピラー領域とが、前記半導体基体の上面に対して平行で且つ前記第 1 の方向と直交する第 2 の方向に沿って、交互に配置される領域を含む第 1 の半導体領域と、素子領域内の前記第 2 ピラー領域表面に、前記第 1 ピラー領域に接して形成された第 2 導電型の第 2 の半導体領域と、隣接する前記第 2 の半導体領域の一部とその間の前記第 1 ピラー領域の上に、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極側部下方の前記第 2 の半導体領域上の一部に形成された第 1 導電型のソース領域である第 3 の半導体領域と、半導体素子が形成される前記素子領域を囲む終端領域の一部の領域であって、前記終端領域一部の前記第 1 ピラー領域と前記第 2 ピラー領域の上に形成された第 2 導電型のリサーフ領域と、を

備え、前記素子領域から前記終端領域に亘って形成された前記第 2 ピラー領域の幅を第 1 幅とすると共に、前記素子領域に形成された各前記第 1 ピラー領域の幅及び前記終端領域のリサーフ領域に接続されている各前記第 1 ピラー領域の幅を第 2 幅とする一方、前記終端領域に形成され、かつ前記リサーフ領域が表面に形成されていない各第 1 ピラー領域の幅を、前記第 2 幅より狭い幅とした半導体装置とした。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

また、請求項 5 に記載の発明は、請求項 2 ~ 4 のいずれか 1 項に記載の半導体装置において、前記第 2 導電型の半導体が直上に形成された 2 以上の前記第 2 ピラー領域に対し、前記第 1 ピラー領域を介して前記第 1 方向に連続する 1 以上の第 2 ピラー領域の表面には前記第 2 導電型の半導体が形成されないこととした。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

また、請求項 6 に記載の発明は、請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置において、前記終端領域における各前記第 2 ピラー領域を、前記素子領域の第 1 ピラー領域幅よりも幅が狭い第 1 導電型の半導体により分断して、両端位置が前記リサーフ領域の前記第 1 方向における両端位置に略一致する第 1 領域と、当該第 1 領域の前記第 1 方向の両端にそれぞれ位置する第 2 領域を形成することとした。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

また、請求項 8 に記載の発明は、第 1 導電型の半導体基体上に、第 1 導電型の半導体層を形成する第 1 工程と、前記第 1 導電型の半導体層に、前記半導体基体の上面に対して平行な第 1 の方向をそれぞれ長手方向としたトレンチ溝を、前記半導体基体の上面に対して平行で且つ前記第 1 の方向と直交する第 2 の方向に沿って、間隔を空けて複数形成し、前記トレンチ溝間に第 1 導電型の第 1 ピラー領域を複数形成する第 2 工程と、各前記トレンチ溝に第 2 導電型の半導体をエピタキシャル成長により埋め込んで第 2 導電型の第 2 ピラー領域を複数形成する第 3 工程と、素子領域内の前記第 2 ピラー領域表面に、前記第 1 ピラー領域に接して第 2 導電型の第 2 の半導体領域を形成する第 4 工程と、前記第 2 の半導体領域上の一部と前記第 1 ピラー領域上の一部に跨るように、ゲート絶縁膜を介してゲート電極を形成する第 5 工程と、前記ゲート電極側部下方の前記第 2 の半導体領域上の一部に第 1 導電型のソース領域である第 3 の半導体領域を形成する第 6 工程と、半導体素子が形成される前記素子領域を囲む終端領域の一部の領域であって、終端領域一部の前記第 1 ピラー領域と前記第 2 ピラー領域の上に第 2 導電型のリサーフ領域を形成する第 7 工程と、を有し、前記第 2 工程において、前記素子領域から前記終端領域に亘って形成された前記第 2 ピラー領域の幅を第 1 幅とすると共に、前記素子領域に形成された各前記第 1 ピラー領域の幅及び前記終端領域のリサーフ領域に接続されている各前記第 1 ピラー領域の幅を第 2 幅とする一方、前記終端領域に形成され、かつ前記リサーフ領域が表面に形成されていない各第 1 ピラー領域の幅を、前記第 2 幅より狭い幅とする半導体装置の製造方法と

した。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

素子領域 A の p 型半導体ピラー領域 22 表面には、n 型半導体ピラー領域 21 に接して形成された p 型半導体領域 30 が形成される。この p 型半導体領域 30 は、p 型不純物として例えば不純物濃度が $1 \times 10^{17} \sim 4 \times 10^{17}$ 個 / cm^3 の B を導入した Si (p 型半導体) により形成されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

さらに、終端領域 B の n 型半導体ピラー領域 21 のうちリサーフ領域 C に接続されていない各 n 型半導体ピラー領域 21b の幅は、第 2 幅 w_2 より狭い第 3 幅 w_3 としている。なお、本実施形態の半導体装置 1A では、各 n 型半導体ピラー領域 21b の幅を、一定の第 3 幅 w_3 としているが、第 2 幅 w_2 より狭い幅であればよく、これに限られない。例えば、Y 方向であって素子領域 A から遠ざかる方向に、第 3 幅 w_3 と、第 3 幅 w_3 よりも狭い幅とを交互に繰り返すようにしてもよい。また、Y 方向であって素子領域 A から遠ざかる方向に、各 n 型半導体ピラー領域 21b の幅を狭くしていくようにしてもよい。このことは他の実施形態でも同様である。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

第 2 実施形態に係る半導体装置 1B においては、電位保持領域である p + 型半導体 51 は空乏化しないため、MOSFET のエッジで電界強度が強くなる領域が発生する可能性があり、耐圧低下を招く要因の一つとなる。一方、第 3 実施形態に係る半導体装置 1C では、p 型半導体ピラー領域 22b の両端に p + 型半導体 52 が存在しない領域を設けているので、かかる領域が空乏化する。そのため、MOSFET のエッジでの電界強度の強くなってしまふのを抑制することができる。よって、より安定した高耐圧 MOSFET を供給することが可能になる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

第 4 実施形態に係る半導体装置 1D では、図 12 に示すように、終端領域 B における各 p 型半導体ピラー領域 22b を n 型半導体 53 により分断して、両端位置がリサーフ領域 C の X 方向における両端位置に略一致する第 1 領域 22b1 と、当該第 1 領域 22b1 の X 方向の両端側にそれぞれ位置する第 2 領域 22b2 を形成している。このようにすることで、第 1 領域 22b1 の両端が n 型半導体 53 になり、かかる領域が空乏化する。さらに分断に用いる n 型半導体 53 の幅を素子領域 A の n 型半導体ピラー領域 21a よりも幅

が狭くすることで、電位をよりMOSFETの外側へ伝えやすくなる。

【手続補正10】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1導電型の半導体基体と、

前記半導体基体の上面側に形成され、前記半導体基体の上面に対して平行な第1の方向をそれぞれ長手方向とした第1導電型の第1ピラー領域と第2導電型の第2ピラー領域とが、前記半導体基体の上面に対して平行で且つ前記第1の方向と直交する第2の方向に沿って、交互に配置される領域を含む第1の半導体領域と、

素子領域内の前記第2ピラー領域表面に、前記第1ピラー領域に接して形成された第2導電型の第2の半導体領域と、

隣接する前記第2の半導体領域の一部とその間の前記第1ピラー領域の上に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極側部下方の前記第2の半導体領域上の一部に形成された第1導電型のソース領域である第3の半導体領域と、

半導体素子が形成される前記素子領域を囲む終端領域の一部の領域であって、前記終端領域一部の前記第1ピラー領域と前記第2ピラー領域の上に形成された第2導電型のリサーフ領域と、を備え、

前記素子領域から前記終端領域に亘って形成された前記第2ピラー領域の幅を第1幅とすると共に、前記素子領域に形成された各前記第1ピラー領域の幅及び前記終端領域のリサーフ領域に接続されている各前記第1ピラー領域の幅を第2幅とする一方、

前記終端領域に形成され、かつ前記リサーフ領域が表面に形成されていない各第1ピラー領域の幅を、前記第2幅より狭い幅とした半導体装置。

【請求項2】

前記終端領域に形成され、かつ前記リサーフ領域と接続されていない第2ピラー領域のうち、前記リサーフ領域と接続した第2ピラー領域に対し、前記第1ピラー領域を介して前記第1方向に連続する2以上の第2ピラー領域のそれぞれの表面に、当該第2ピラー領域の濃度よりも不純物濃度が高い第2導電型の半導体を形成する請求項1に記載の半導体装置。

【請求項3】

前記第2導電型の半導体は、その直下に形成されている前記第2ピラー領域よりも幅を狭くした請求項2に記載の半導体装置。

【請求項4】

前記第2導電型の半導体の前記第1方向における両端位置を、前記リサーフ領域の前記第1方向における両端位置に略一致させる請求項2又は3に記載の半導体装置。

【請求項5】

前記第2導電型の半導体が直上に形成された2以上の前記第2ピラー領域に対し、前記第1ピラー領域を介して前記第1方向に連続する1以上の第2ピラー領域の表面には前記第2導電型の半導体が形成されていない請求項2～4のいずれか1項に記載の半導体装置。

【請求項6】

前記終端領域における各前記第2ピラー領域を、前記素子領域の第1ピラー領域幅よりも幅が狭い第1導電型の半導体により分断して、両端位置が前記リサーフ領域の前記第1方向における両端位置に略一致する第1領域と、当該第1領域の前記第1方向の両端にそれぞれ位置する第2領域を形成した請求項1～4のいずれか1項に記載の半導体装置。

【請求項7】

前記第 1 の半導体領域は、前記半導体基体の上面に形成された第 1 導電型の半導体層に複数のトレンチ溝を形成して当該トレンチ溝間に前記第 1 ピラー領域が形成され、各前記トレンチ溝に第 2 導電型の半導体をエピタキシャル成長により埋め込んで前記第 2 ピラー領域が形成されている請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

第 1 導電型の半導体基体上に、第 1 導電型の半導体層を形成する第 1 工程と、

前記第 1 導電型の半導体層に、前記半導体基体の上面に対して平行な第 1 の方向をそれぞれ長手方向としたトレンチ溝を、前記半導体基体の上面に対して平行で且つ前記第 1 の方向と直交する第 2 の方向に沿って、間隔を空けて複数形成し、前記トレンチ溝間に第 1 導電型の第 1 ピラー領域を複数形成する第 2 工程と、

各前記トレンチ溝に第 2 導電型の半導体をエピタキシャル成長により埋め込んで第 2 導電型の第 2 ピラー領域を複数形成する第 3 工程と、

素子領域内の前記第 2 ピラー領域表面に、前記第 1 ピラー領域に接して第 2 導電型の第 2 の半導体領域を形成する第 4 工程と、

前記第 2 の半導体領域上の一部と前記第 1 ピラー領域上の一部に跨るように、ゲート絶縁膜を介してゲート電極を形成する第 5 工程と、

前記ゲート電極側部下方の前記第 2 の半導体領域上の一部に第 1 導電型のソース領域である第 3 の半導体領域を形成する第 6 工程と、

半導体素子が形成される素子領域を囲む終端領域の一部の領域であって、終端領域一部の前記第 1 ピラー領域と前記第 2 ピラー領域の上に第 2 導電型のリサーフ領域を形成する第 7 工程と、を有し、

前記第 2 工程において、前記素子領域から前記終端領域に亘って形成された前記第 2 ピラー領域の幅を第 1 幅とすると共に、前記素子領域に形成された各前記第 1 ピラー領域の幅及び前記終端領域のリサーフ領域に接続されている各前記第 1 ピラー領域の幅を第 2 幅とする一方、前記終端領域に形成され、かつ前記リサーフ領域が表面に形成されていない各第 1 ピラー領域の幅を、前記第 2 幅より狭い幅とする半導体装置の製造方法。