公告本

申請日期：87.5.4	案號：87108574
類別：H03K 19/0175	

（以上各欄由本局填註）

發明專利說明書 502499

一、發明名稱	中文	供低電壓介面用之高速輸入緩衝電路
	英文	HIGH SPEED INPUT BUFFER CIRCUIT FOR LOW VOLTAGE INTERFACE
二、發明人	姓名（中文）	1. 林奎南
	姓名（英文）	1. KYU-NAM LIM
	國籍	1. 南韓
	住、居所	1. 大韓民國京畿道水原市八達區靈通洞973-3番地宇成APT. 821棟1602號
三、申請人	姓名（名稱）（中文）	1. 韓商三星電子股份有限公司
	姓名（名稱）（英文）	1. SAMSUNG ELECTRONICS CO., LTD.
	國籍	1. 南韓
	住、居所（事務所）	1. 大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名（中文）	1. 尹鍾龍
	代表人姓名（英文）	1. JONG-YONG YUN

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	1999/05/19	99-18095	無
南韓 KR	2000/02/17	00-7522	無

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

發明之背景

1. 發明之領域

本發明關於一半導體記憶體設備，及特指一輸入緩衝器電路。

2. 相關技藝之說明

電晶體-電晶體邏輯(TTL)半導體設備及互補金屬氧化半導體(CMOS)被一起使用在數位系統。因此，需要介面電路在TTL半導體設備及CMOS半導體設備間。因此，輸入緩衝器(一般參考如TTL至CMOS輸入緩衝器或TTL相容輸入緩衝器)被包括在CMOS半導體設備用以轉換TTL輸入位準至CMOS位準。

當作動在一低供給電壓3.3伏特的TTL半導體設備及CMOS半導體設備最近被廣泛使用，輸入緩衝器被使用在CMOS半導體設備用以轉換低電壓電晶體-電晶體邏輯(LVTTL)輸入位準為CMOS位準。在一低供給電壓3.3伏特之作動，一輸入低電壓(VIL)為0伏特及一輸入高電壓(VIH)為2.8伏特，為典型LVTTL輸入位準。而且，在最壞例，LVTTL輸入位準的最大VIL為0.8伏特及最低VIH為2.0伏特。一般，CMOS半導體設備的輸入緩衝器被設計以使得不僅轉換LVTTL位準也轉換小擺動電晶體邏輯(SSTL)位準為CMOS位準。

最近，已有可支撐低電壓介面之輸入緩衝器需求，其中VIL為0伏特及VIH為1.8伏特，如同一般LVTTL，其中VIL為0伏特及VIH為2.8伏特，以響應可攜式資訊設備之發展，如對行動電話而言低電壓及低功率消耗是非常重要的。

五、發明說明 (2)

傳統N型差動放大器輸入緩衝器如圖1所示及傳統P型差動放大器輸入緩衝器如圖2所示，其皆未能同步支持1.8伏特的低電壓介面及2.8伏特的LVTTL介面。

因此，為了可以同步支持低電壓介面及LVTTL和SSTL介面，自行偏壓差動放大器型式輸入緩衝器被導入。一種代表型自行偏壓差動放大器型式輸入緩衝器則由貝茲(M. Bazes)所描述【兩種獨特完全互補自行偏壓CMOS差動放大器，固態電路IEEE期刊，第26冊，165-169頁，1991年2月版】。而且，圖3所示該改良自行偏壓差動放大器型式輸入緩衝器也由Yasuhiro Takai及Mamoru Fujita所述【一種具有一雙向延遲及一體間共有冗贅機構，ISSCC技術文件文摘，1999年2月】。

在圖3所示該自行偏壓差動放大器型式輸入緩衝器，跨導增益gm有一點減少於一參考電壓VREF減少時。因此，一低電壓介面特性略微劣化及輸入緩衝器的作動速度略減。

發明之概要

為了解決上述問題，本發明的一個目的係提供一支持一低電壓介面及一低電壓電晶體-電晶體邏輯(LVTTL)介面及高速作動之輸入緩衝器電路。

因此，為了獲致上述目的，其提供一輸入緩衝器電路，包含一差動放大器電路用以產生一內部自行偏壓訊號及一輸出訊號，其係依一參考電壓及一輸入訊號間電壓差異而定，一電流控制電路用以供給電流至差動放大器電路及從差動放大器電路下陷電流，為了響應內部自行偏壓訊號以

五、發明說明（3）

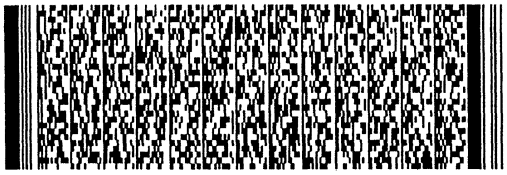
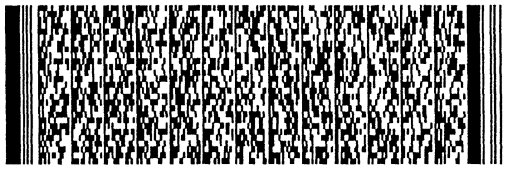
保持內部自行偏壓訊號為實質均一，及一擺動寬度控制電路以防止輸出訊號的擺動寬度變得過大，以響應輸出訊號的反向訊號。

該擺動寬度控制電路較佳包含一NMOS電晶體連接於差動放大電路的輸出節點間，由此輸出訊號被輸出，及電流控制電路的第一節點，NMOS電晶體用以響應輸出訊號的反向訊號及一PMOS電晶體連接於差動放大電的輸出節點和電流控制電路的第二節點間，該PMOS電晶體用以響應輸出訊號的反向訊號。

該電流控制電路較佳包含一電流源連接在一供給電壓端子和差動放大電路間，該電流源用以供給電流至差動放大器以響應內部自行偏壓訊號及一連接在差動放大器電路和一地電壓端子間的電流下陷，該電流下陷用以從差動放大電路下陷電流以響應內部自行偏壓訊號。較佳係該電流源是一PMOS電晶體及該電流下陷是一NMOS電晶體。

根據一較佳具體例，該差動放大器電路是由一自行偏壓差動放大器及包含第一至第四PMOS電晶體和第一至第四NMOS電晶體。

第一PMOS電晶體則連接在電流控制器電路及一內部節點間，由此該內部自行偏壓訊號經由參考電壓被輸出及脈衝。第二PMOS電晶體被連接在第一節點和內部節點間及由內部自行偏壓訊號脈衝。第三PMOS電晶體被連接在第一節點和內部節點間，由此該輸出訊號被輸出及經由內部自行偏壓訊號所脈衝。第四PMOS電晶體則連接在第一節點及輸

五、發明說明（4）

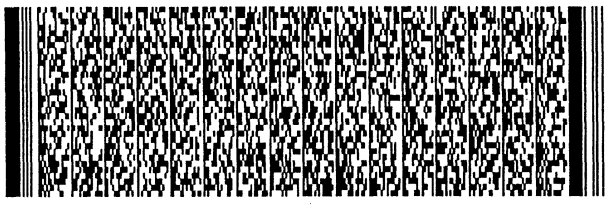
出節點間及經由內部訊號所脈衝。

第一NMOS電晶體連接在電流控制電路的第二節點與內部節點間且由參考電壓所脈衝。第二NMOS電晶體則連接在第二節點與內部節點間及由內部自行偏壓訊號所脈衝。第三NMOS電晶體則連接在第二節點與輸出節點間及由內部自行偏壓訊號所脈衝。第四NMOS電晶體則連接在第二節點與輸出節點間及由輸入訊號所脈衝。

根據另一較佳具體例，差動放大電流係由一自行偏壓栓鎖型式差動放大器所構成，該放大器包含一栓鎖型式的正迴饋迴路及包含第一至第五PMOS電晶體及第一至第五NMOS電晶體。

第一PMOS電晶體則連接在電流控制器電路的第一節點及一內部節點間，由此該內部自行偏壓訊號經由參考電壓被輸出及由參考電壓所脈衝。第二PMOS電晶體被連接在第一節點和內部節點間及由輸出訊號所脈衝。第三PMOS電晶體被連接在第一節點和內部節點間，由此該輸出訊號被輸出及經由內部自行偏壓訊號所脈衝。第四PMOS電晶體則連接在第一節點及輸出節點間及經由內部訊號所脈衝。第五PMOS電晶體具有一源極連接至第一節點及一閘極和一汲極共同連接至內部節點。

第一NMOS電晶體連接在電流控制電路的第二節點與內部節點間且由參考電壓所脈衝。第二NMOS電晶體則連接在第二節點與內部節點間及由輸出訊號所脈衝。第三NMOS電晶體則連接在第二節點與輸出節點間及由內部自行偏壓訊號



五、發明說明 (5)

所脈衝。第四NMOS電晶體則連接在第二節點與輸出節點間及由輸入訊號所脈衝。第五NMOS電晶體具有一閘極及一汲極共同連接至內部節點及一源極連接至第二節點。

附圖之簡單說明

本發明的上述目的和優點將隨著較佳具體例之詳細說明及參考附圖而更加清楚其中：

圖1是一傳統N型式差動放大輸入緩充器的一電路圖；

圖2是一傳統P型式差動放大輸入緩充器的一電路圖；

圖3一傳統傳統自行偏壓差動放大輸入緩充器的一電路圖；

圖4是本發明的一第一具體例之一輸入換衝器電路的一電路圖；

圖5是本發明的一第二具體例之一輸入換衝器電路的一電路圖；

圖6是本發明的一第三具體例之一輸入換衝器電路的一電路圖；

圖7A則圖示當接地電壓VSS為0伏特時，依據參考電壓VREF之平均傳遞延遲時間tPD之改變之模擬結果；

圖7B則圖示當接地電壓VSS為0.3伏特時，依據參考電壓VREF之平均傳遞延遲時間tPD之改變之模擬結果；

圖8A則圖示當接地電壓VSS為0伏特時，依據參考電壓VREF之斜率變化之改變之模擬結果；

圖8B則圖示當接地電壓VSS為0.3伏特時，依據參考電壓VREF之斜率變化之改變之模擬結果；



五、發明說明 (6)

圖9則圖示依據參考電壓VREF之平均電流落後之改變之模擬結果。

較佳具體例之簡單說明

本發明現將根據所附附圖予以更詳細說明，其中本發明的較佳具體例亦如示。不同圖之相同參考號碼代表相同元件。

參考圖4，根據本發明的一第一具體例之一輸入緩衝器電路包括一差動放大電路41，一電流控制電路43，及一擺動寬度控制電路45。該輸入緩衝器電路，其中一種軌至軌共同模式輸入電壓被改良，具有一自行偏壓機構。

差動放大電路41，其係一種自行偏壓差動放大電路，則連接在一第一節點N1與一第二節點N2間。差動放大電路41提供一內部自行偏壓訊號至一內部節點01及提供一輸出訊號至一輸出節點02，以一參考電壓VREF和一輸入訊號IN間電壓差異為基礎。

差動放大電路41具有一種型式其中一P型差動放大器及一N型差動放大器被混合。差動放大電路41包括第一至第四PMOS電晶體P41、P42、P43及P44以及第一至第四NMOS電晶體N41、N42、N43及N44。第一PMOS電晶體P41則連接在第一節點N1及一內部節點01間及由參考電壓VREF所脈衝。第二PMOS電晶體P42則連接至平行於第一節點N1與內部節點01間的第一PMOS電晶體P41及由內部節點輸出的一訊號，即是自行偏壓訊號，所脈衝。第三PMOS電晶體P43則連接在第一節點N1和輸出節點02間及由自行偏壓訊號所脈

五、發明說明（7）

衝。第四PMOS電晶體P44則連接至平行於第一節點N1和輸出節點O2間之第三PMOS電晶體P43及由輸入訊號IN所脈衝。

第一NMOS電晶體N41則連接在第二節點N2及一內部節點O1間及由參考電壓VREF所脈衝。第二NMOS電晶體N42則連接至平行於第二節點N2與內部節點O1間的第一NMOS電晶體N41及由自行偏壓訊號所脈衝。第三NMOS電晶體N43則連接在第二節點N2和輸出節點O2間及由自行偏壓訊號所脈衝。第四NMOS電晶體N44則連接至平行於第二節點N2和輸出節點O2間之第三NMOS電晶體N43及由輸入訊號IN所脈衝。

電流控制電路43供給電流至差動放大電路41及從差動放大電路41下陷電流以響應自行偏壓訊號以保持內部節點O1的自行偏壓訊號輸出的電壓位準為實質均一。

電流控制電路43包括由一PMOS電晶體P46所構成的一電流源和由一NMOS電晶體N46所構成的電流下陷。該PMOS電晶體P46則連接在一供給電壓端子VDD和第一節點N1間。PMOS電晶體P46供給電流至差動放大電路41以響應施於該閘極的自行偏壓訊號。該NMOS電晶體N46則連接在第二節點N2和一地電壓端子VSS間。該NMOS電晶體N46從差動放大電路41下沉電流以響應施於該閘極的自行偏壓訊號。

如上述，在根據圖4所示本發明的第一具體例之該輸入緩衝器電路，內部節點O1的自行偏壓訊號輸出係使用不僅是追蹤一來自差動放大電路41的共同模式輸入電壓也用以控制電流源P46的電流及電流下陷N46。因此，內部節點O1

五、發明說明（8）

的自行偏壓訊號輸出的電壓位準可以保持為實質均一。所以，在根據圖4所示本發明的第一具體例之該輸入緩衝器電路，不論參考電壓VREF的變化，差動放大電路41的整個跨導增益gm為實質均一，因為自行偏壓訊號的電壓位準被保持為實質均一。結果，一低電壓介面特性被改善。

該擺動寬度控制電路45防止差動放大電路41的輸出訊號的擺動寬度變得過大於響應差動放大電路41的輸出節點02所輸出訊號的反向訊號，即是，一反向器14的輸出訊號OUT。

擺動寬度控制電路45包括一NMOS電晶體N45及一PMOS電晶體P45。該NMOS電晶體N45則連接在第一節點N1和輸出節點02及響應反向器14的輸出訊號OUT。該PMOS電晶體P45則連接在輸出節點02和第二節點N2間及響應反向器的輸出訊號OUT。若為必須，NMOS電晶體N45可以連接在供給電壓端子VDD和輸出節點02間，及PMOS電晶體P45可以連接在輸出節點02和地電壓端子VSS間。

因此，NMOS電晶體N45防止輸出節點02的電壓位準過份降低。該PMOS電晶體P45防止輸出節點02的電壓位準過份增加。而NMOS電晶體N45和PMOS電晶體P45則防止輸出節點02輸出之訊號的擺動寬度變得過大。

因此，在根據圖4所示本發明的第一具體例之該輸入緩衝器電路，因為其可以經由擺動寬度控制電路45防止輸出節點02輸出之訊號的擺動寬度變得過大，以減少輸入緩衝器的作動速度。

五、發明說明（9）

圖5是根據本發明的第二具體例之一輸入緩衝器電路的一電路圖。

參考圖5，根據本發明的第二具體例之一輸入緩衝器電路則不同於根據本發明第一具體例之輸入緩衝器電路，其僅在於一差動放大電路41A的連接關係是不同於差動放大電路41的連接關係。

在該差動放大電路41A，經由內部節點O1輸出的自行偏壓訊號所脈衝的PMOS電晶體P42A和P43A的源極是直接連接至供給電壓端子VDD。而且經由自行偏壓訊號所脈衝的MOS電晶體N42A和N43A的源極係直接連接到接地電壓端子VSS

因此，更多電流流經PMOS電晶體P42A和P43A及NMOS電晶體N42A和N43A，因而增加了輸入緩衝器的作動速度。

圖6是根據本發明的一第三具體例之一輸入換衝器電路的一電路圖。

參考圖6，根據本發明的一第三具體例之一輸入換衝器電路是不同於根據本發明第一具體例之輸入緩衝器電路之處是在於差動放大電路41B的結構是不同於差動放大電路41的結構。

差動放大電路41B是一種自行偏壓型式差動放大電路，包括一栓鎖型式的正回饋迴路。差動放大電路41B則連接於第一節點N1與第二節點N2之間。差動放大電路41B提供自行偏壓訊號至內部節點O1及提供輸出訊號至輸出節點O2，此係以參考電壓VREF和輸入訊號IN間之電壓差異為基礎的。

五、發明說明 (10)

差動放大電路41B具有一種型式其中一P型栓鎖型式差動放大器及一N栓鎖型式差動放大器被混合。差動放大電路41B包括第一至第四PMOS電晶體P41、P42B、P43B及P44以及第一至第四NMOS電晶體N41、N42B、N43B及N44。第一及第四PMOS電晶體P41和P44及第一和第四NMOS電晶體N41和N44具有相同連接關係如同第一和第四PMOS電晶體P41和P44及第一和第四NMOS電晶體N41及N44，以上係根據本發明第一具體例。第二PMOS電晶體P42B則連接在第一節點N1和內部節點01之間及經由輸出節點02的輸出訊號所脈衝。第三PMOS電晶體P43B連接於第一節點N1和輸出節點02間及由內部節點01輸出的自行偏壓訊號所脈衝。第二NMOS電晶體N42B則連接於第二節點N2和內部節點01間及由輸出的節點02輸出的訊號所脈衝。第三NMOS電晶體N43B，則連接於第二節點N2和輸出節點02間及由自偏壓訊號所脈衝。

在差動放大電路41B，第二和第三PMOS電晶體P42B和P43B及第二和第三NMOS電晶體N42B和N43B以栓鎖型式形成正回饋迴路。

差動放大電路41B另包括一二極體型式的第五PMOS電晶體P47及一二極體型式的第七NMOS電晶體N47以減少迴路增益，因為一偏壓點可以由正回饋迴路增益所栓鎖。第五PMOS電晶體P47具有一源極連接至第一節點N1及一閘極和一汲極共同連接至內部節點01。第五NMOS電晶體N47具有一閘極和一汲極共同連接至內部節點01和一源極連接至第

二節點N2。

更詳細地說，當內部節點01低於或等於一預定電壓以防止內部節點01的電壓過度減少及供給電流至內部節點01時，第五PMOS電晶體P47被啟動。當第五PMOS電晶體P47的閘極和源極間的電壓變得高於第五PMOS電晶體P47的閥限電壓Vtp時，第五PMOS電晶體P47被啟動及電流被供給至內部節點01。而且，當內部節點01的電壓高於或等於預定電壓以防止內部節點01的電壓過度增加及下沉內部節點01的電流時，第五NMOS電晶體N47被啟動。相同地，當第五NMOS電晶體N47的源極和閘極間電壓Vgs高於第五NMOS電晶體N47的閥限電壓Vtn，第五NMOS電晶體N47被啟動及內部節點01的電流被下陷。

因此，自行偏壓經由第五PMOS電晶體P47被執行及第五NMOS電晶體N47和迴路增益被穩定控制。

所以，圖6所示根據本發明的第三具體例之輸入緩衝器電路的作動將更詳細地被描述。

當參考電壓VREF高於或等於一預定電壓時，差動放大電路41B的P栓鎖型式差動放大器及N栓鎖型式差動放大器作動。因此，差動放大電路41B的整個跨導增益gm變成2 gm0。

同時，當參考電壓VREF為低，即是，低於或等於0.9伏特，僅差動放大電路41B的P栓鎖型式差動放大器作動。因此，差動放大電路41B的整個跨導增益gm為一由P型式源極耦合對的增加增益所獲得的一值，即是，$\sqrt{2}$ gm0至一正

五、發明說明 (12)

回饋NMOS迴路的增益。當正回饋NMOS的增益為$(2-\sqrt{2})gm0$，差動放大電路41B的整個跨導增益gm為2gm0。因此，在差動放大電路41B，整個跨導增益gm可以被保持為實質均一，而不論參考電壓VREF的改變。

而且，內部節點01的自行偏壓訊號輸出不僅用於差動放大電路41B，而且也用於電流源P46及電流下沉N46，就像圖4所示之第一具體例。因此，內部節點01的自行偏壓訊號輸出的電壓位準是保持為實質均一。

因此，在圖6所示根據本發明的第三具體例之輸入緩衝器電路，因為自行偏壓訊號的電壓位準被保持為實質均一，差動放大電路41B的整個跨導增益gm為實質均一，而不論參考電壓VREF的改變。結果，低電壓介面特性被改善。

而且，根據第三具體例之輸入緩衝器電路包括擺動寬度控制電路45用以防止輸出節點02輸出的訊號之擺動寬度變得非常大。因此，斜率被減少，因此改善了輸入緩衝器的作動寬度。

第一至第三具體例之擺動寬度控制電路45可以連接至一般差動放大器電路的輸出節點，除了自行偏壓差動放大電路係用以減少斜率及增加輸入緩衝器的作動速度。

圖7A至9則圖示圖1至圖3所示傳統輸入緩衝器得低電壓介面性能之模擬的結果及根據圖4所示根據本發明的輸入緩衝器得低電壓介面性能。在模擬狀況下，供給電壓VDD為2.8伏特，溫度為100℃，及輸入訊號IN為VREF±0.35伏特。而且，模擬是在相對一地電壓VSS為0伏特及0.3伏特

五、發明說明（13）

下執行，以觀察對接地噪音之免疫情形。

圖7A展示當地電壓VSS為0伏特，依平均傳遞延遲時間tPD而定之參考電壓VREF改變下之模擬結果。在此，A1表示圖2的P差動放大型式輸入緩衝器之平均傳遞延遲時間。A2表示圖1的N差動放大型式輸入緩衝器之平均傳遞延遲時間。A3表示圖3的自行偏壓差動放大型式輸入緩衝器之平均傳遞延遲時間。A4表示表示圖4所示根據本發明的輸入緩衝器之平均傳遞延遲時間。

圖7B展示當接地電壓VSS為0.3伏特，參考電壓VREF依平均傳遞延遲時間tPD而定之變化的模擬結果。在此，B1表示圖2所示之P差動放大型式輸入緩衝器之平均傳遞延遲時間。B2表示圖1的N差動放大型式輸入緩衝器之平均傳遞延遲時間。B3表示圖3的自行偏壓差動放大型式輸入緩衝器之平均傳遞延遲時間。B4表示表示圖4所示根據本發明的輸入緩衝器之平均傳遞延遲時間。

參考圖7B，當接地電壓VSS為0.3伏特，N差動放大型式輸入緩衝器之平均傳遞延遲時間B2於參考電壓VREF低於或等於1.0伏特時快速增加，及P型差動放大型式輸入緩衝器的平均傳遞延遲時間B1於參考電壓低於或等於0.7伏特時快速增加。而且，圖3所示的自行偏壓差動放大型式輸入緩衝器之平均傳遞延遲時間B3於參考電壓低於或等於0.7伏特時快速增加。相同地，考慮到平均傳遞延遲時間，圖1所示之N差動放大型式輸入緩衝器，圖2所示之P差動放大型式輸入緩衝器，及圖3所示的自行偏壓差動放大型式輸

五、發明說明 (14)

入緩衝器對地電壓較薄弱及不適合低電壓介面。

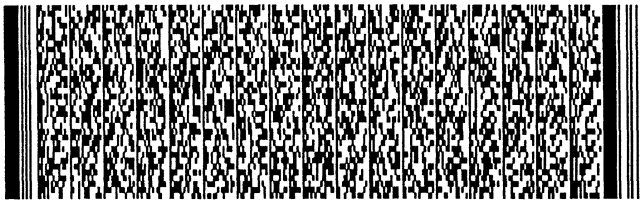
根據圖4所示的本發明的輸入緩衝器的平均傳遞延遲時間B4為實質均一而不論當地電壓VSS為0.3伏特時參考電壓VREF之改變。相同地，考慮到圖4所示根據本發明的輸入緩衝器的平均傳遞延遲時間對接地噪音較不薄弱及適合低電壓介面。

參考圖7A和7B，根據圖4所示本發明的輸入緩衝器之平均傳遞延遲時間A4和B4則相似於圖3所示自行偏壓差動放大型式輸入緩衝器的平均傳遞延遲時間A3和B3。

圖8A展示當接地電壓VSS為0伏特，參考電壓VREF的斜率改變之模擬結果。在此，C1表示圖2所示P差動放大型式輸入緩衝器的斜率。C2表示圖1所示N差動放大型式輸入緩衝器的斜率。C3表示圖3所示自行偏壓差動放大型式輸入緩衝器的斜率。C4表示根據圖4所示根據本發明的輸入緩衝器的斜率。

圖8A展示當接地電壓VSS為0.3伏特時，依參考電壓VREF之斜率改變而定之模擬結果。在此，D1表示圖2所示P差動放大型式輸入緩衝器的斜率。D2表示圖1所示N差動放大型式輸入緩衝器的斜率。D3表示圖3所示自行偏壓差動放大型式輸入緩衝器的斜率。D4表示根據圖4所示根據本發明的輸入緩衝器的斜率。

參考圖8A和8B，圖2所示P型差動放大型式輸入緩衝器的斜率C1和D1及圖1所示N型差動放大型式輸入緩衝器的斜率C2和D2是遠大於圖3所示自行偏壓差動放大型式輸入緩衝



五、發明說明 (15)

器的斜率C3和D3及圖4所示根據本發明的輸入緩衝器的斜率C4和D4。參考圖8B，當接地電壓VSS為0.3伏特，P型差動放大型式輸入緩衝器的斜率D1於參考電壓VREF低於或等於0.9伏特時快速增加及N型差動放大型式輸入緩衝器的斜率D2於參考電壓VREF低於或等於0.8伏特時快速增加。而且，圖3的自行偏壓差動放大輸入緩衝器的斜率D3於參考電壓VREF低於或等於0.9伏特時快速增加。相同地，考慮到斜率，圖1所示N差動放大型式輸入緩衝器，圖2所示P差動放大型式輸入緩衝器，及圖3所示自行偏壓差動放大型式輸入緩衝器對地電壓之改變較難承受及不適合作低電壓介面。

圖4所示根據本發明的輸入緩衝器之斜率C4和D4則為實質均一而不論參考電壓VREF之變化。相同地，考慮到斜率，圖4所示根據本發明的輸入緩衝器對接地電壓較能承受及適合作為低電壓介面。

圖4所示本發明的輸入緩衝器的斜率C4和D4係比圖1至3所示傳統輸入緩衝器的斜率小的。

圖9展示依參考電壓VREF變化而定之平均電流Iavg之模擬結果。在圖9，E1表示圖2所示P差動放大型式輸入緩衝器的平均電流Iavg。E2表示圖1所示N差動放大型式輸入緩衝器的平均電流。E3表示圖3所示自行偏壓差動放大型式輸入緩衝器的平均電流。E4表示圖4所示根據本發明的輸入緩衝器的平均電流。

參考圖9，圖3所示自行偏壓差動放大型式輸入緩衝器消

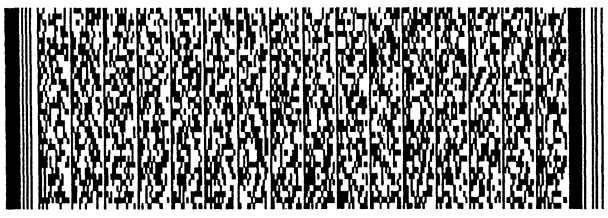
五、發明說明（16）

耗相當大量電流。

綜言之，圖4所示根據本發明的輸入緩衝器對接地電壓之改變較能承受及適合低電壓介面，考量到平均傳遞延遲時間及斜率。根據本發明的平均傳遞延遲時間及斜率是小於圖1至圖3所示的平均傳遞延遲時間及斜率。相同地，根據本發明的輸入緩衝器的作動速度是高於圖1至圖3所示的傳統輸入緩衝器的作動速度。

如上述，根據本發明的輸入緩衝器電路可支持低電壓介面及一般LVTTL介面及高速作動。

在該等圖及明細中，其已揭露本發明的典型較佳具體例及，雖然使用特定項目，它們皆係使用為一般及描述目的而非為限制目的，本發明的範圍則設定為下列申請專利範圍。因此，習知本技藝者將明瞭到不同的型式和明細之改變在不背離本發明之申請專利範圍所界定之精神與範圍下皆可達成。



圖式簡單說明

四、中文發明摘要　（發明之名稱：供低電壓介面用之高速輸入緩衝電路）

一種輸入緩衝電路用以同步支撐一低電壓介面及一種作動在高速之一般低電壓電晶體-電晶體邏輯(LVTTL)。在該輸入緩衝電路，一種自行偏壓差動放大電路產生的自行偏壓電壓被使用不僅是用以追蹤差動放大電路內的一共同模式輸入電壓也可用以控制一電流源的電流以供給電流至差動放大電路及一電流陷落用以從差動放大電路陷落電流。因此，其可以保持該自行偏壓電壓為實質均一。所以，該差動放大電路的整個轉換電感增益為實質均一而不論一參考電壓輸入至差動放大電路的改變。結果，一低電壓介面特性被改善。而且，該輸入緩衝電路另包含一擺動寬度控制電路用以防止差動放大電路的輸出訊號之反向訊號變得太大，以響應差動放大電路的輸出訊號之反向訊

英文發明摘要　（發明之名稱：HIGH SPEED INPUT BUFFER CIRCUIT FOR LOW VOLTAGE INTERFACE）

An input buffer circuit which simultaneously supports a low voltage interface and a general low voltage transistor-transistor logic (LVTTL) interface and which operates at high speed is provided. In the input buffer circuit, a self bias voltage generated by a self biased differential amplification circuit is used not only for tracking a common mode input voltage in the differential amplification circuit but also for controlling the current of a current source

四、中文發明摘要　(發明之名稱：供低電壓介面用之高速輸入緩衝電路)

號。因此，斜率產生，因而改良輸入緩衝器的作動速度。

英文發明摘要　(發明之名稱：HIGH SPEED INPUT BUFFER CIRCUIT FOR LOW VOLTAGE INTERFACE)

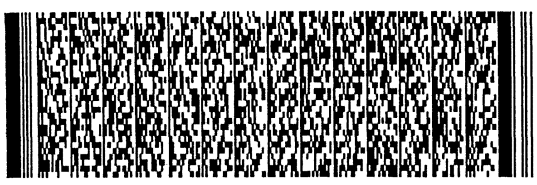
for supplying current to the differential amplification circuit and a current sink for sinking current from the differential amplification circuit. Accordingly, it is possible to maintain the self bias voltage to be substantially uniform. Therefore, the entire transconductance gain gm of the differential amplification circuit is substantially uniform regardless of the change in a reference voltage input to the differential amplification circuit.



四、中文發明摘要　（發明之名稱：供低電壓介面用之高速輸入緩衝電路）

英文發明摘要　（發明之名稱：HIGH SPEED INPUT BUFFER CIRCUIT FOR LOW VOLTAGE INTERFACE）

As a result, a low voltage interface characteristic is improved. Also, the input buffer circuit further includes a swing width control circuit for preventing the swing width of the output signal of the differential amplification circuit from becoming excessively large, in response to the inverted signal of the output signal of the differential amplification circuit. Accordingly, skew is reduced, to thus improve the operating speed of the input buffer.



六、申請專利範圍

1. 一種輸入緩衝器電路，包含：

一差動放大電路，用以產生一種內部自行偏壓訊號及一輸出訊號，其係基於一參考電壓和一輸入訊號的電壓差異而定的；

一電流控制電路，用以供給電流至差動放大電路及從差動放大電路陷落電流，以響應內部自行偏壓訊號以保持內部自行偏壓訊號的位準為實質均一；及

一擺動寬度控制電路，用以防止輸出訊號的擺動寬度變得過大，以響應輸出訊號的反向訊號。

2. 根據申請專利範圍第1項之輸入緩衝器電路，其中擺動寬度控制電路包含：

一NMOS電晶體連接在差動放大電路的輸出節點及電流控制電路的第一節點之間，輸出訊號由該差動放大電路輸出，該NMOS電晶體用以響應輸出訊號的反向訊號；及

一PMOS電晶體連接在差動放大電路的輸出節點及電流控制電路的第二節點間，該PMOS電晶體用以響應輸出訊號的反向訊號。

3. 根據申請專利範圍第1項之輸入緩衝器電路，其中擺動寬度控制電路包含：

一NMOS電晶體連接在差動放大電路的輸出節點間，由此輸出訊號被輸出，及一供給電壓端子，NMOS電晶體用以響應輸出訊號的反向訊號；及

一PMOS電晶體連接在差動放大電路的輸出節點及一接地電壓端子間，該PMOS電晶體用以響應輸出訊號的反向訊

六、申請專利範圍

號。

4. 根據申請專利範圍第1項之輸入緩衝器電路，其中該電流控制電路包含：

一電流源連接在一供給電壓端子及差動放大電路之間，該電流源用以供給電流至差動放大電路用以響應內部自行偏壓訊號；及

一電流下沉連接在差動放大電路及一接地電壓端子間，該電流下沉用以從差動放大電路下沉電流以響應內部自行偏壓訊號。

5. 根據申請專利範圍第4項之輸入緩衝器電路，其中該電流源是一PMOS電晶體。

6. 根據申請專利範圍第4項之輸入緩衝器電路，其中電流下沉是一NMOS電晶體。

7. 根據申請專利範圍第1項之輸入緩衝器電路，其中差動放大電路包含：

一第一PMOS電晶體連接在電流控制電路的第一節點及一內部節點間從此內部自行偏壓訊號被輸出，第一PMOS電晶體係由參考電壓所脈衝；

一第二PMOS電晶體連接在第一節點及一內部節點間及由內部自行偏壓訊號所脈衝；

一第三PMOS電晶體連接在第一節點及一內部節點間從此輸出訊號被輸出，第三PMOS電晶體係由內部自行偏壓訊號所脈衝；

一第四PMOS電晶體連接在第一節點及輸出節點間及由輸

六、申請專利範圍

入訊號所脈衝；

一第一NMOS電晶體連接在電流控制電路的第二節點及一內部節點間及由參考電壓所脈衝；

一第二NMOS電晶體連接在第二節點及一內部節點間及由內部自行偏壓訊號所脈衝；

一第三NMOS電晶體連接在第二節點及輸出節點間及由內部自行偏壓訊號所脈衝；

一第四NMOS電晶體連接在第二節點及輸出節點間及由輸入訊號所脈衝。

8.根據申請專利範圍第1項之輸入緩衝器電路，其中差動放大電路包含：

一第一PMOS電晶體連接在電流控制電路的第一節點及一內部節點間從此內部自行偏壓訊號被輸出，第一PMOS電晶體係由參考電壓所脈衝；

一第二PMOS電晶體連接在一供給電壓端子及內部節點間及由內部自行偏壓訊號所脈衝；

一第三PMOS電晶體連接在供給電壓端子及內部節點間從此輸出訊號被輸出，第三PMOS電晶體係由內部自行偏壓訊號所脈衝；

一第四PMOS電晶體連接在第一節點及輸出節點間及由輸入訊號所脈衝；

一第一NMOS電晶體連接在電流控制電路的第二節點及內部節點間及由參考電壓所脈衝；

一第二NMOS電晶體連接在一接地電壓端子及內部節點間

六、申請專利範圍

及由內部自行偏壓訊號所脈衝；

一第三NMOS電晶體連接在一接地電壓端子及輸出節點間及由內部自行偏壓訊號所脈衝；

一第四NMOS電晶體連接在電流控制電路的第二節點及輸出節點間及由輸入訊號所脈衝。

9. 根據申請專利範圍第1項之輸入緩衝器電路，其中差動放大電路包含：

一第一PMOS電晶體連接在電流控制電路的第一節點及一內部節點間從此內部自行偏壓訊號被輸出，第一PMOS電晶體係由參考電壓所脈衝；

一第二PMOS電晶體連接在一第一節點及內部節點間及由輸出訊號所脈衝；

一第三PMOS電晶體連接在第一節點及一輸出節點間從此輸出訊號被輸出及由內部自行偏壓訊號所脈衝；

一第四PMOS電晶體連接在第一節點及輸出節點間及由輸入訊號所脈衝；

一第一NMOS電晶體連接在電流控制電路的第二節點及內部節點間及由參考電壓所脈衝；

一第二NMOS電晶體連接在第二節點及內部節點間及由輸出訊號所脈衝；

一第三NMOS電晶體連接在一第二節點及輸出節點間及由內部自行偏壓訊號所脈衝；

一第四NMOS電晶體連接在第二節點及輸出節點間及由輸入訊號所脈衝。

六、申請專利範圍

10. 根據申請專利範圍第9項之輸入緩衝器電路，其中差動放大電路包含：

一第五PMOS電晶體具有一源極連接至第一節點及一閘極及一汲極共同連接至該內部節點；及

一第五NMOS電晶體具有一閘極及一汲極共同連接至內部節點及一源極連接至第二節點。

11. 一種輸入緩衝器電路，包含：

一種差動放大電路用以產生一以參考電壓和一輸入訊號間電壓差異而定之輸出訊號；及

一擺動寬度控制電路用以防止輸出訊號得擺動寬度變得過大，以響應輸出訊號之反向訊號。

12. 根據申請專利範圍第11項之輸入緩衝器電路，其中擺動寬度控制電路包含：

一種NMOS電晶體連接在差動放大電路的輸出節點及一電壓供應端子之間，輸出訊號由該差動放大電路輸出，該NMOS電晶體用以響應輸出訊號的反向訊號；及

一種PMOS電晶體連接在差動放大電路的輸出節點及一接地電壓端子間，該PMOS電晶體用以響應輸出訊號的反向訊號。

圖式

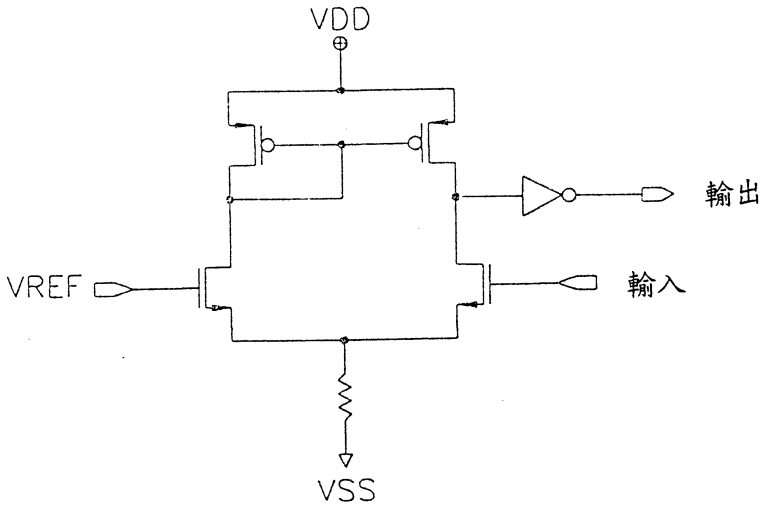


圖 1(先前技藝)

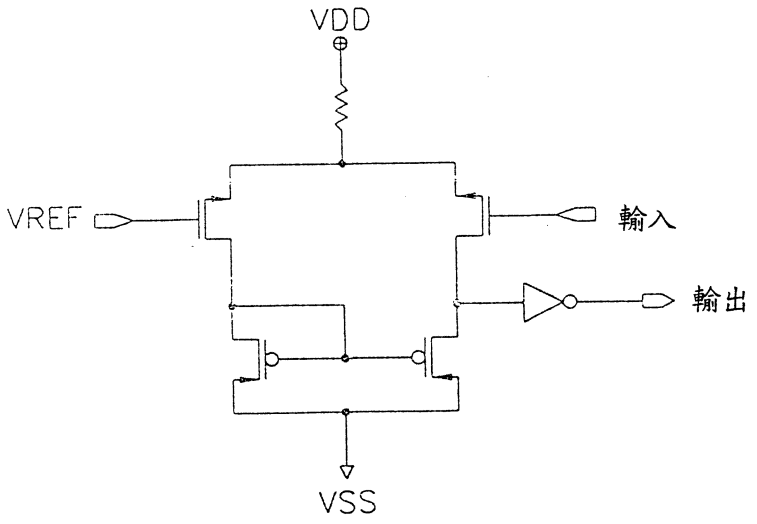


圖 2(先前技藝)

圖式

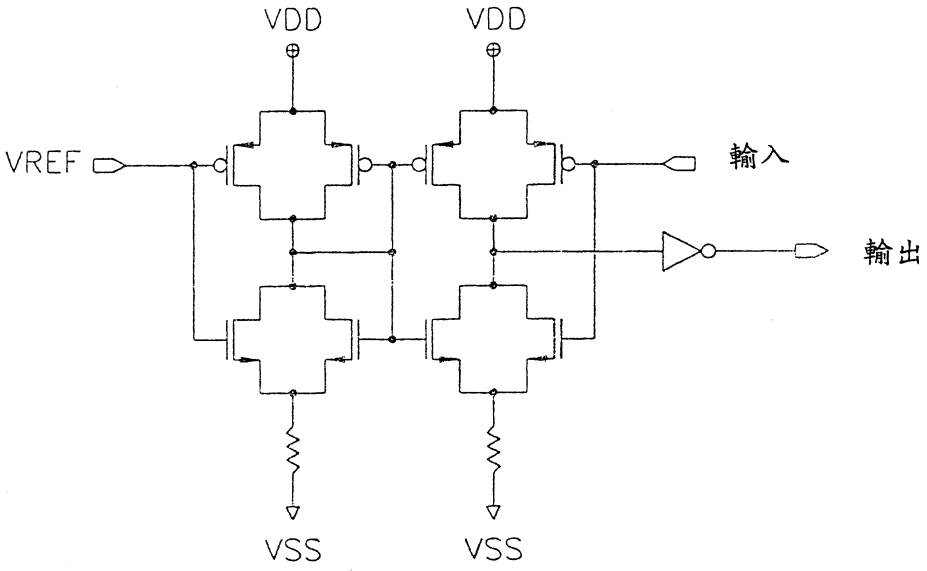
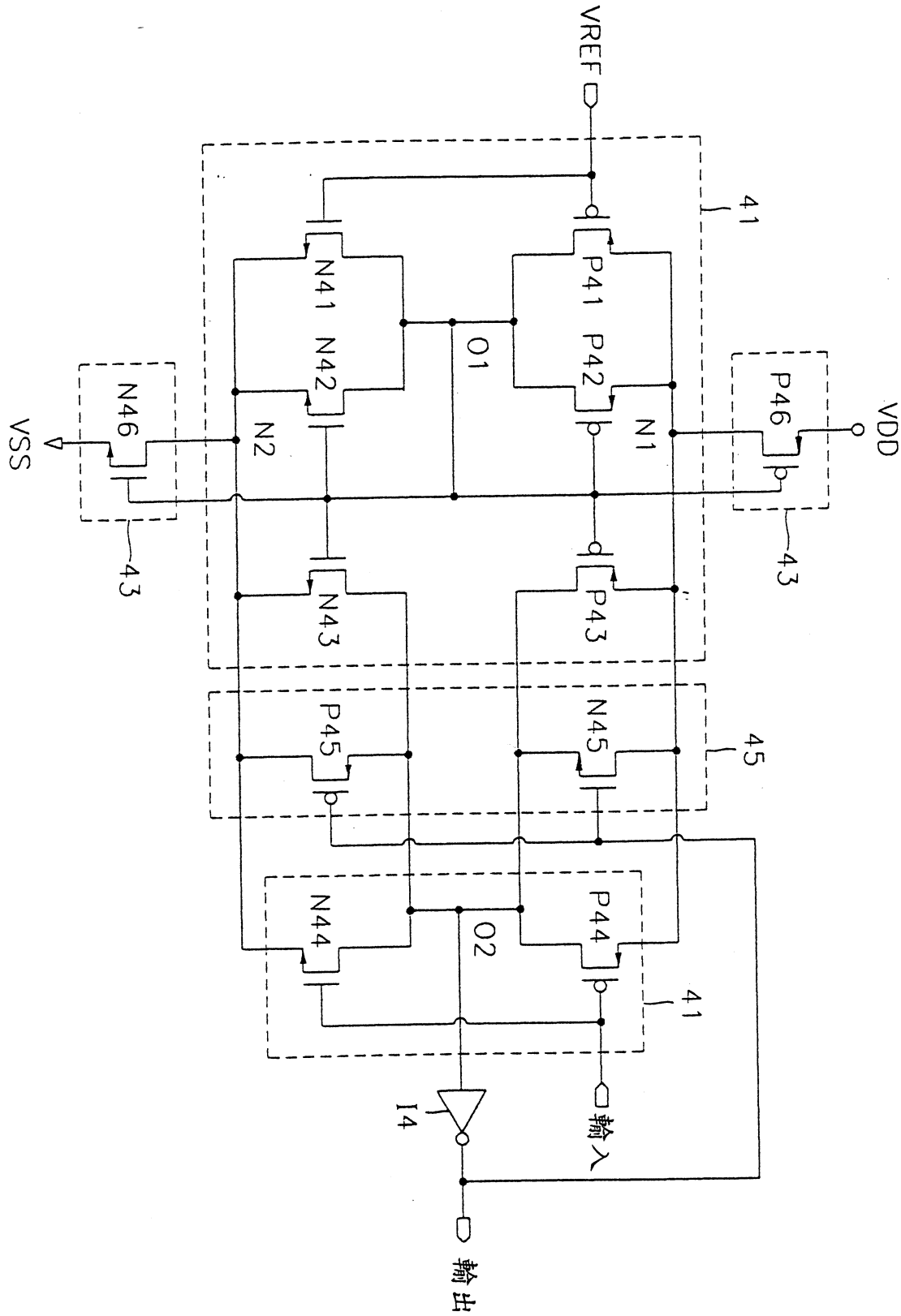


圖 3(先前技藝)

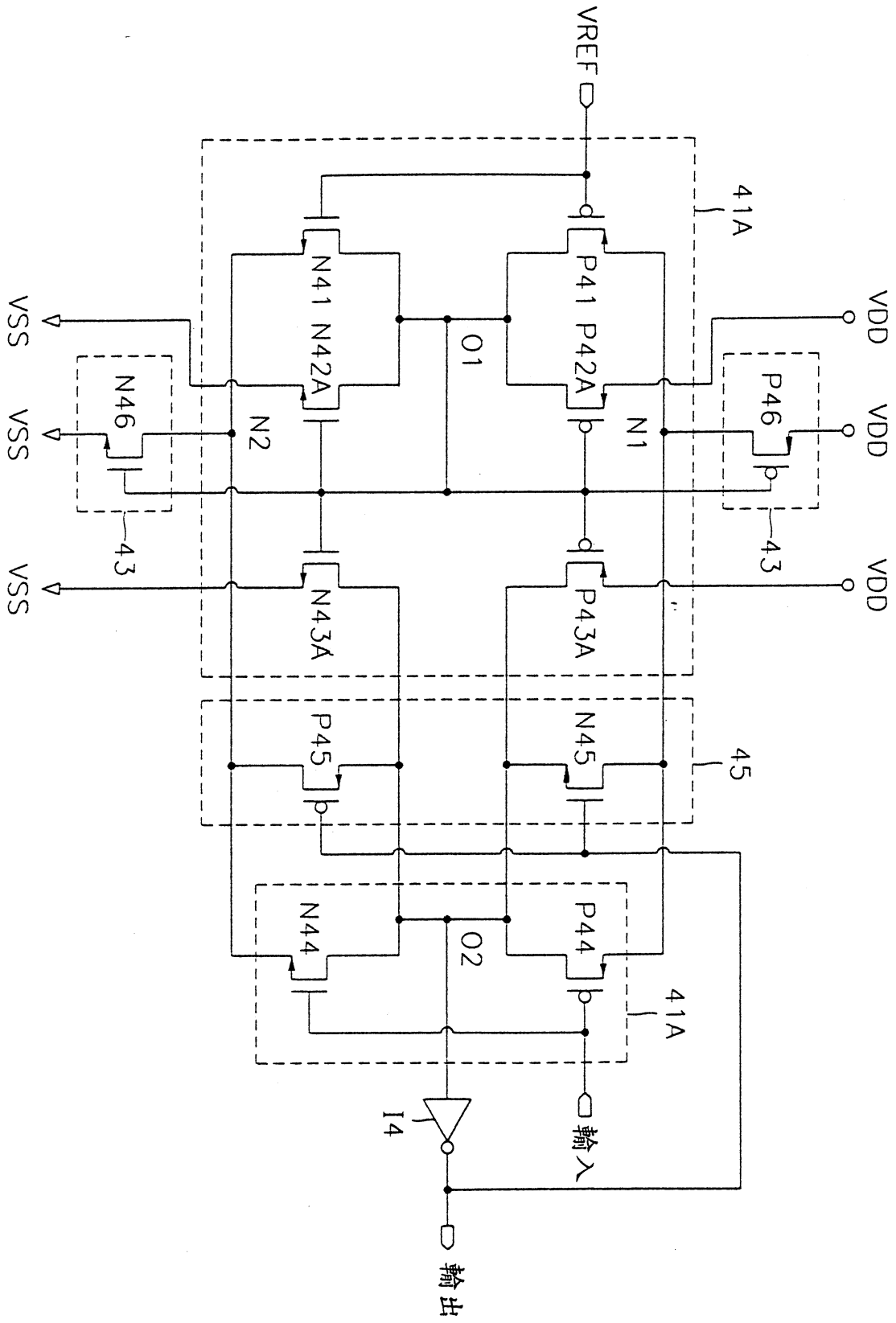
圖式

圖 4


VREF
41
N41
N42
P41
P42
O1
N1
N2
P46
VDD
VSS
N46
43
N43
P43
P45
N45
45
N44
P44
O2
41
I4
輸入
輸出

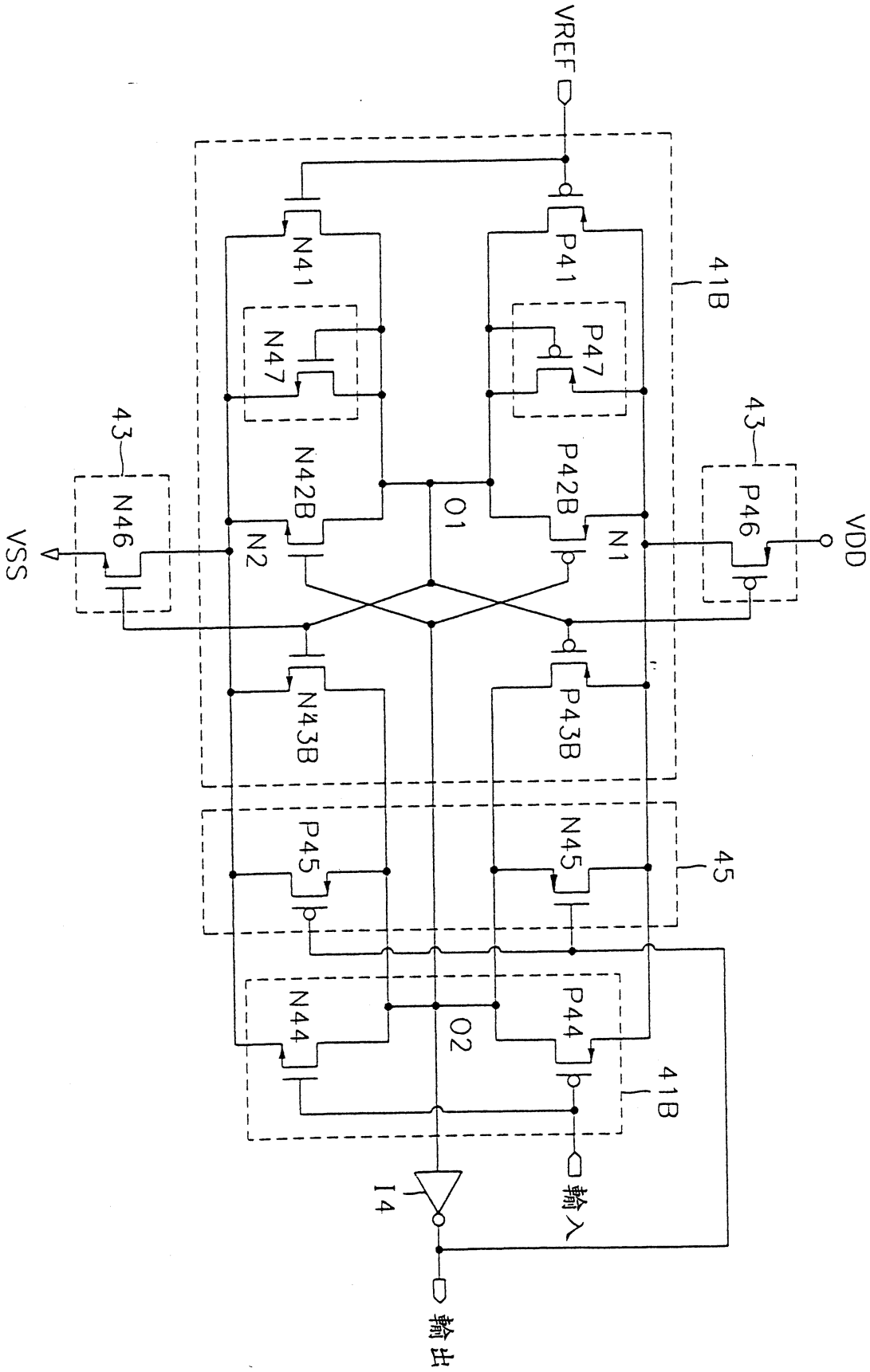
圖式

圖 5


VREF
41A
N41
N42A
P41
P42A
O1
VDD
VSS
N46
P46
N2
N1
43
N43A
P43A
45
P45
N45
N44
P44
O2
I4
輸入
輸出

圖式

圖 6


VREF
N41
P41
41B
N47
P47
43
43
N42B
P42B
VSS
N46
N2
O1
N1
P46
VDD
N43B
P43B
P45
N45
45
N44
P44
O2
41B
I4
輸入
輸出

圖式

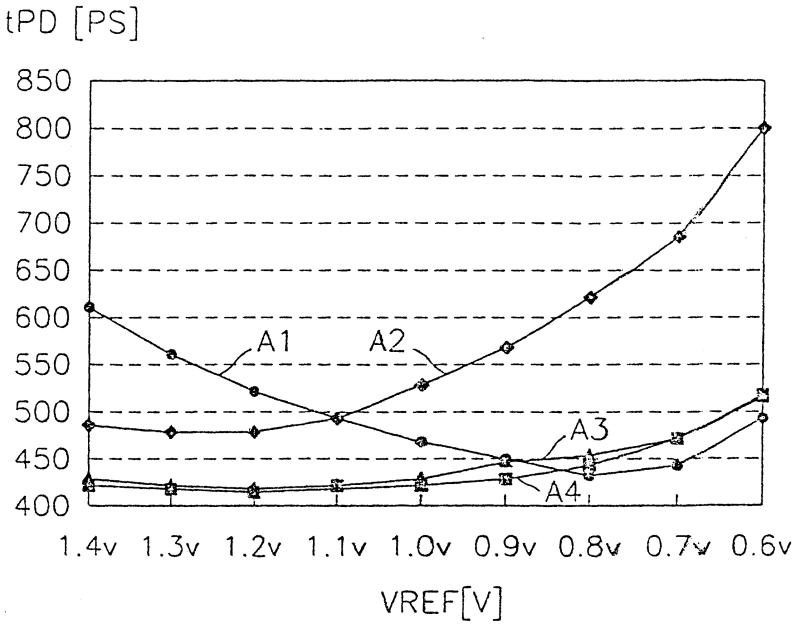

tPD [PS]
850
800
750
700
650
600
550
500
450
400
A1
A2
A3
A4
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

圖 7A

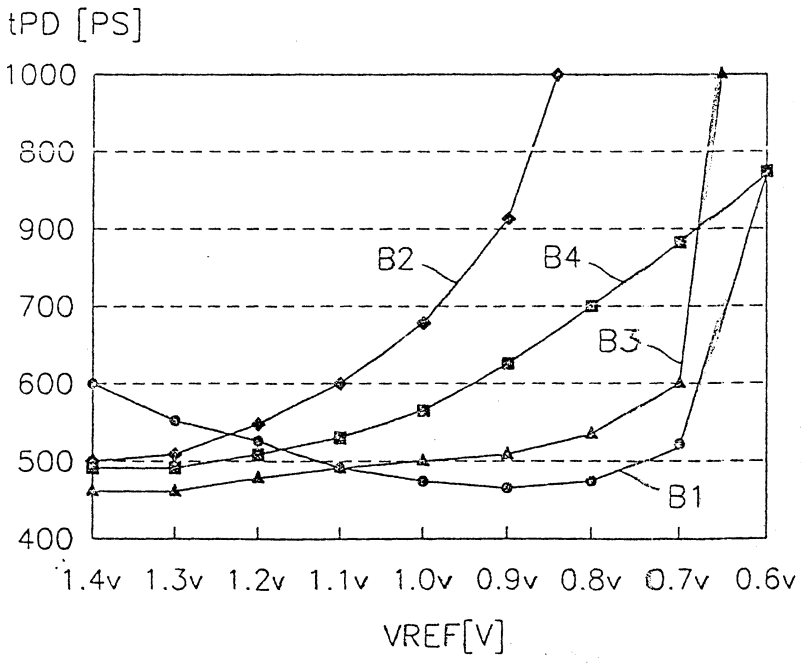

tPD [PS]
1000
800
900
700
600
500
400
B2
B4
B3
B1
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

圖 7B

圖式

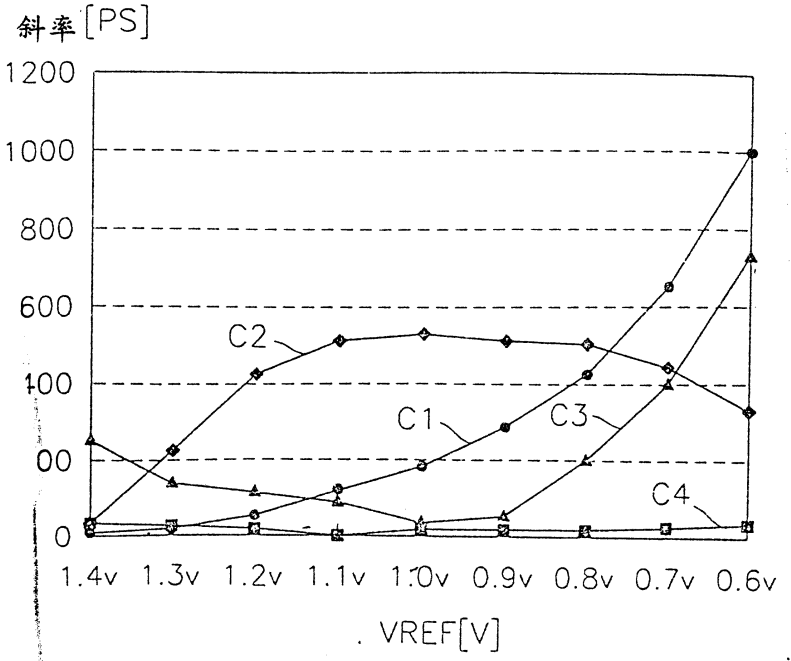

斜率[PS]
1200
1000
800
600
C2
100
C1
C3
00
C4
0
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

圖 8A

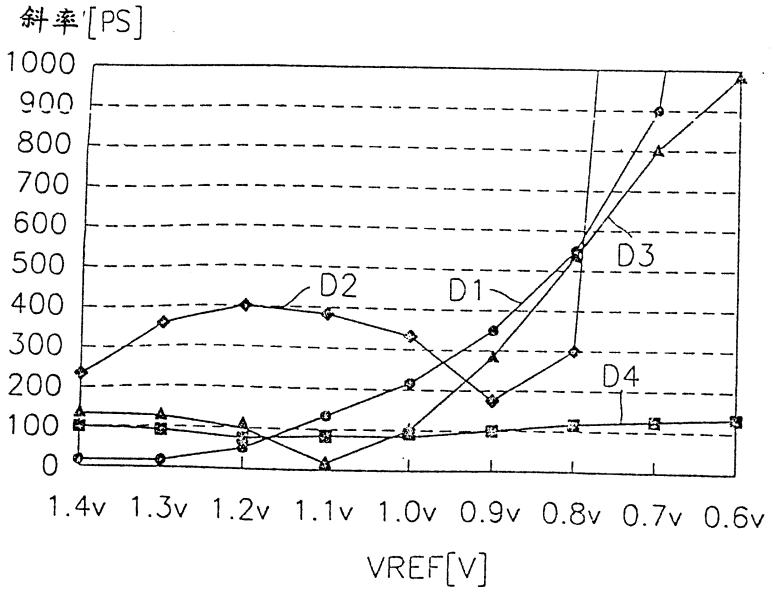

斜率[PS]
1000
900
800
700
600
500
D3
D2
D1
400
300
200
D4
100
0
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

圖 8B

圖式

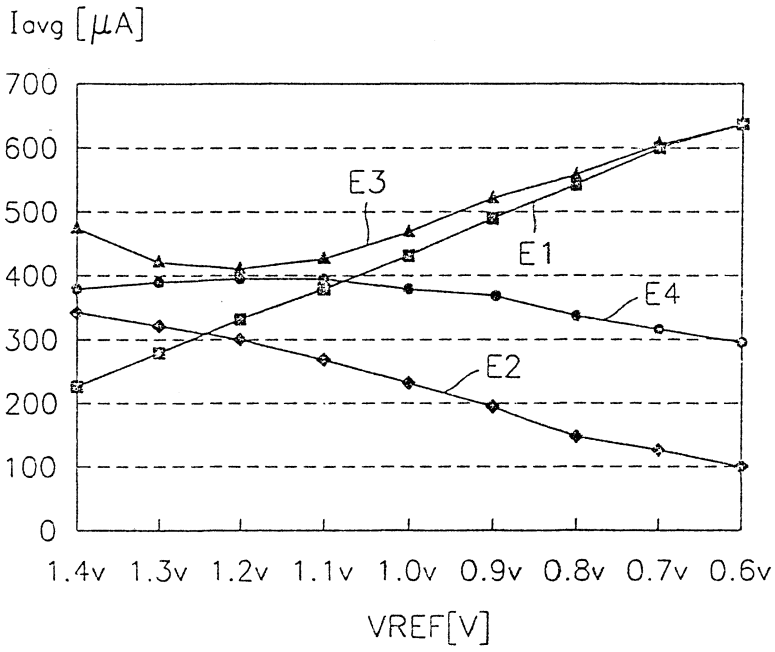

Iavg [μA]
700
600
500
400
300
200
100
0
E3
E1
E4
E2
1.4v 1.3v 1.2v 1.1v 1.0v 0.9v 0.8v 0.7v 0.6v
VREF[V]

圖 9