

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4384908号
(P4384908)

(45) 発行日 平成21年12月16日 (2009.12.16)

(24) 登録日 平成21年10月2日 (2009.10.2)

(51) Int. Cl.	F I
HO 1 L 21/8249 (2006.01)	HO 1 L 27/06 3 2 1 B
HO 1 L 27/06 (2006.01)	HO 1 L 29/72 H
HO 1 L 21/331 (2006.01)	HO 1 L 27/06 1 O 1 U
HO 1 L 29/737 (2006.01)	HO 1 L 27/06 3 2 1 F
HO 1 L 21/8222 (2006.01)	

請求項の数 8 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2003-507896 (P2003-507896)	(73) 特許権者	390009531
(86) (22) 出願日	平成14年6月4日 (2002.6.4)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2004-532534 (P2004-532534A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成16年10月21日 (2004.10.21)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/EP2002/006919		
(87) 国際公開番号	W02003/001603		
(87) 国際公開日	平成15年1月3日 (2003.1.3)	(74) 代理人	100108501
審査請求日	平成16年1月30日 (2004.1.30)		弁理士 上野 剛史
(31) 優先権主張番号	09/887, 310	(74) 代理人	100112690
(32) 優先日	平成13年6月22日 (2001.6.22)		弁理士 太佐 種一
(33) 優先権主張国	米国 (US)	(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 CMOS回路と集積されるバイポーラ・トランジスタを形成する方法

(57) 【特許請求の範囲】

【請求項 1】

CMOS回路と集積される、突出外因性ベース、エミッタおよびコレクタを備えたバイポーラ・トランジスタを形成する方法であって、

(a) バイポーラ区域と、ゲート導体を備えたCMOS区域とを有する中間半導体構造を設けるステップと、

(b) 前記バイポーラ区域に、ある厚さを有する真性ベース層を設けるステップと、

(c) 前記CMOS区域およびバイポーラ区域にわたって、ベース酸化物を形成するステップと、

(d) 前記CMOS区域およびバイポーラ区域上に、ある厚さを有するエミッタ・スタック・シリコン層を被着させるステップと、

(e) フォトレジストを塗布して前記バイポーラ区域を保護するステップと、

(f) 前記バイポーラ区域上の前記エミッタ・スタック・シリコン層の上部表面が、前記CMOS区域の上部表面と同じ高さになるように、前記CMOS区域からのみ前記エミッタ・スタック・シリコン層をエッチングして除去するステップと、

(g) 前記CMOS区域およびバイポーラ区域にわたって、後続のCMPに適した平らな上部表面を有する研磨停止層を被着させるステップとを、順に実行する準備工程後に突出外因性ベースおよびエミッタを形成することを特徴とする、バイポーラ・トランジスタを形成する方法。

【請求項 2】

10

20

ステップ（d）で被着させた前記エミッタ・スタック・シリコン層の厚さが、前記CMOS区域の前記ゲート導体の厚さに等しく、ステップ（f）で、前記バイポーラ区域上の前記エミッタ・スタック・シリコン層の上部表面が、前記CMOS区域中の前記ベース酸化物の上部表面と同じ高さになるように、エッチ・ストップとして前記ベース酸化物を利用するステップをさらに含む、請求項1に記載の方法。

【請求項3】

ステップ（a）において、エッチ・ストップとして働くCMOS保護層を前記CMOS区域に被覆させ、ステップ（d）で被着させた前記エミッタ・スタック・シリコン層の厚さと、ステップ（b）で設けた前記真性ベース層の厚さを合わせたものが、前記CMOS区域の前記ゲート導体の厚さに等しく、ステップ（f）で、前記CMOS保護層をエッチ・ストップとして利用して、前記バイポーラ区域上の前記エミッタ・スタック・シリコン層の上部表面が、前記CMOS区域中の前記CMOS保護層の上部表面と同じ高さになるように、前記CMOS区域だけから、前記エミッタ・スタック・シリコン層、前記ベース酸化物および前記真性ベース層をエッチングして除去するステップをさらに含む、請求項1に記載の方法。

10

【請求項4】

前記研磨停止層が誘電体である、請求項1に記載の方法。

【請求項5】

前記バイポーラ・トランジスタが、ヘテロ接合バイポーラ・トランジスタであり、前記真性ベース層がシリコン・ゲルマニウムである、請求項1に記載の方法。

20

【請求項6】

前記ゲート導体が1,000～2,500Åの厚さを有し、

前記エミッタ・スタック・シリコン層が500～2,000Åの厚さを有するa-Si層であり、

前記研磨停止層が500～2,000Åの厚さを有するSiN研磨停止層である、請求項1に記載の方法。

【請求項7】

前記ゲート導体が1,000～2,500Åの厚さを有し、

前記エミッタ・スタック・シリコン層が500～2,000Åの厚さを有するa-Si層であり、

30

前記研磨停止層が500～2,000Åの厚さを有するSiN研磨停止層である、請求項2に記載の方法。

【請求項8】

前記ゲート導体が1,000～2,500Åの厚さを有し、

前記エミッタ・スタック・シリコン層が500～2,000Åの厚さを有するa-Si層であり、

前記研磨停止層が500～2,000Åの厚さを有するSiN研磨停止層である、請求項3に記載の方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、一般に、バイポーラ・トランジスタに関し、より詳細には、BiCMOS（バイポーラ・相補型金属酸化膜半導体）トランジスタ集積回路中に突出外因性ベースを備えるバイポーラ・トランジスタを形成するプロセスに関する。

【背景技術】

【0002】

トランジスタは、電子回路中で増幅またはスイッチングを行うデバイスとして使用する。この第1応用例では、トランジスタは、微小な交流信号を増幅するように働く。第2応用例では、微小電流を用いて「オン」状態と「オフ」状態の間でトランジスタをスイッチングする。

50

【0003】

バイポーラ・トランジスタは、近接した2つのp-n接合を備えた電子デバイスである。バイポーラ・トランジスタは、エミッタ、コレクタおよびエミッタとコレクタの間に配設されたベースの3つのデバイス領域を有する。理想的には、この2つのp-n接合（エミッターベース接合およびコレクターベース接合）は、互いに特定の距離だけ離間して、半導体材料の単一層中にある。近傍の接合部のバイアスを変えることによって一方のp-n接合中で電流の変調を行うことを「バイポーラ・トランジスタ動作」と呼ぶ。

【0004】

これら3つの領域のそれぞれに外部リード線を取り付けることができ、これらのリード線を使用して、デバイスに外部電圧および電流を印加することができる。エミッタおよびコレクタがn型にドーピングされ、ベースがp型にドーピングされている場合、このデバイスは、「npn」型トランジスタになる。あるいは、これとは逆のドーピング構成が用いられる場合、このデバイスは「pnp」型トランジスタになる。npn型トランジスタのベース領域における少数キャリア（すなわち、電子）の移動度は、pnp型トランジスタのベース中のホールの移動度よりもはるかに高いので、npn型デバイスにより比較的高い周波数の動作および高速の性能が得られる。したがって、集積回路を構築するのに使用するバイポーラ・トランジスタの大部分は、npn型トランジスタである。

【0005】

バイポーラ・トランジスタの垂直寸法がより一層スケール変更されるにつれ、デバイス動作上、深刻な制限に直面するようになった。こうした制限を克服するために活発に研究されている1つの手法は、ベースで用いる材料のバンド・ギャップよりも大きいバンド・ギャップのエミッタ材料でトランジスタを構築することである。このような構造をヘテロ接合トランジスタと呼ぶ。

【0006】

多数キャリア型および少数キャリア型デバイスの両方に、ヘテロ接合を備えるヘテロ構造を用いることができる。最近、多数キャリア型デバイスの中でも、エミッタをSi（シリコン）で形成し、ベースをSiGe（シリコンゲルマニウム）合金で形成するHBT（ヘテロ接合バイポーラ・トランジスタ）が開発された。（しばしば、シリコンゲルマニウムと簡単に表す）シリコンゲルマニウム合金は、シリコンよりもバンド・ギャップが狭い。

【0007】

最先端のシリコンゲルマニウムBiCMOS（バイポーラ・相補型金属酸化膜半導体）技術では、ヘテロ接合バイポーラ・トランジスタ中でシリコンゲルマニウム・ベースを用いる。（数GHzという）高周波数方式では、現在、GaAsおよびInPなどの従来型の化合物半導体が、高速有線通信および無線通信市場で優位に立っている。シリコンゲルマニウムBiCMOSでは、電力増幅器などのデバイスにおいて性能がGaAsに匹敵するだけでなく、ヘテロ接合バイポーラ・トランジスタを標準CMOSと集積化することによりかなりのコスト削減が見込め、それによって、いわゆる「システム・オン・チップ」が得られる。

【0008】

SiGe/Si HBTが得られる高性能HBTの製作では、ベース抵抗を減少させる従来方式の方法は、外因性ベース上へのイオン注入によるものである。しかし、イオン注入は、ベース領域に損傷を与えることになる。このような損傷により、最終的に、デバイス性能の劣化が生じる。

【0009】

注入による損傷を回避するために、従来のSiGe外因性ベース層の上に多結晶シリコン（またはシリコンゲルマニウム）の層を余分に被着させることによって、REXT（突出外因性ベース）を形成する。本質的に、こうした突出外因性ベースを実現するために適用することができるプロセスが2つある。第1のプロセスは選択エピタキシを伴い、他のプロセスはCMP（化学機械研磨）を伴う。

10

20

30

40

50

【0010】

1. 選択エピタキシ

典型的な選択エピタキシ・プロセスでは、突出外因性ベース用多結晶シリコンは、真性ベース用SiGeを被着させる前に形成する。真性ベース用SiGeは、オーバーハング・キャビティ構造内部のシリコンおよび多結晶シリコンの露出表面上に選択的に被着させる。キャビティ構造を伴う選択エピタキシでは、選択性を良好にするために厳しいプロセス要件が要求され、プロセス管理の正確さに欠けるという難点がある。

【0011】

山崎に発行された米国特許第5,523,606号は、選択エピタキシを利用したプロセスを開示している。‘606特許の図7Cおよび7Eの一部にそれぞれ対応する図1および2を参照すると、真性ベース23を被着させる前に、外因性ベース・ポリシリコン21を被着させる。図1に、窒化シリコン被膜15、窒化シリコン側壁スペーサ17および半導体基板1を示す。外因性ベース・ポリシリコン21の下（標示しない）被膜をエッチング除去して、オーバーハング構造のキャビティ（すなわち空洞）22を形成する。次いで、図2に示すように、真性ベース23を、キャビティ22内部のシリコンおよびポリシリコンの露出表面上にのみ選択的に被着させる。‘606特許の第8段の53行目から第9段の17行目までを参照されたい。図2には、n型エピタキシャル・コレクタ層13も示す。‘606特許に開示された手法ではCMPステップを回避するが、この手法は、キャビティ22を充填する際のプロセス管理の正確さに欠ける、選択的被着の条件に関する要件が厳しい、などいくつかの欠点を有する。

【0012】

「Manufacturing Method of Semiconductor Device Comprising BICMOS Transistor」という名称の米国特許第5,620,908号が井納らに発行されている。井納らは、‘606特許で山崎が開示したものに類似の手法を適用している。具体的には、‘908特許の図6Fに示し、第13段（具体的には24～26行目）で論じているように、井納らは、選択エピタキシと、オーバーハング部をエッチングしてキャビティを形成するステップとを組み込んだプロセスを開示している。

【0013】

2. CMP

突出外因性ベースを形成するのに適用することができる第2のタイプのプロセスは、CMPステップを伴うものである。米国特許第5,015,594号は、Chuらに発行され、本発明と同じ譲受人である米国インターナショナル・ビジネス・マシン社に譲渡されている。この発明者らの「Process of Making BICMOS Devices Having Closely Spaced Device Regions」という名称の特許では、Chuらは、CMPによる外因性ベース・ポリシリコンの形成を提案している。熱酸化によって分離を実現しているが、高温の熱プロセスのため、高性能デバイスでは実現可能ではない。

【0014】

ワイ・シー・サン（Y.C. Sun）およびジェイ・ワーノック（J. Warnock）は、「Process for a High-Performance Bipolar-Based BICMOS」、IBM Technical Disclosure Bulletin、第35巻、第4B号（vol.35, no. 4B）、295～97頁、（1992年9月）で、CMPによって突出外因性ベースを形成するプロセスを開示している。真性ベースと直接接触させて外因性ベース部分を形成するが、エッチ・ストップは設けていない。図3および4は、この文献の図1に対応する。図3および4を参照すると、真性ベース領域5の上に直接、外因性ベース・ポリシリコン21を被着させる。真性ベース領域5は、エミッタ開口領域にも接しており、外因性ベース・ポリシリコン21のエミッタ開口エッチング31を停止させる界面皮膜はない。このプロセスでは、プロセス管理に正確さを欠き、したがって、生産を良好に管理することができず、信頼性が高く、再現性のよいバイポーラ・デバイスを得ることができない。

【0015】

エミッタ開口の形成中に外因性ポリシリコンのエッチングを停止するには、外因性ベー

ス・ポリシリコンの下に酸化物などの誘電体材料のエッチ・ストップ層を配設しなければならない。しかし、突出外因性ベースとその下のベース25の間に電気接点を形成するために、このエッチ・ストップ層が外因性ベース領域全体を覆うことはできない。したがって、CMOS回路の集積化能力とともにこれら必要とされる特徴を実現するための実行可能な手法の必要性がまだ残されている。

【特許文献1】米国特許第5,523,606号

【特許文献2】米国特許第5,620,908号

【特許文献3】米国特許第5,015,594号

【非特許文献1】ワイ・シー・サン (Y.C. Sun)、ジェイ・ワーノック (J. Warnock)、
「Process for a High-Performance Bipolar-Based BICMOS」、IBM Technical Disclosure
Bulletin、第35巻、第4B号 (vol. 35, no. 4B)、295～97頁、(1992年9月)

【発明の開示】

【発明が解決しようとする課題】

【0016】

従来方式の方法の不完全性は、突出外因性ベースを備えたHBTを製作する改善されたプロセスが依然として求められていることを示している。従来方式の方法の欠点を克服するために、新しいプロセスが提供される。本発明の目的は、突出外因性ベースを備えたHBTを、CMPによってCMOS回路中に集積化して形成することである。関連する目的は、エミッタ犠牲プラグおよびCMOSゲート・スタックの厚さを正しく設計して、この2つの構造が、ウェハ全体にわたって同じ高さを有し、平らな上部表面を備え、それによって、CMPにより突出外因性ベースならびに分離誘電体層を形成するための研磨停止層として働くようにすることである。

【0017】

関連する別の目的は、CMPによりCMOS回路中に集積化して形成される突出外因性ベースを備えたHBTに用いる特定の層配列および所定の範囲の層の厚さを含む製作プロセスを提供することである。本発明の別の目的は、CMOSゲート誘電体スタックが、HBTのエミッタ・プラグと整列した平らな表面を形成するように設計されるプロセスを提供することである。最後に、本発明の全般的な目的は、CMPプロセスのステップを組み込んだBiCMOS回路全体を形成するプロセス・シーケンスを提供することである。

【課題を解決するための手段】

【0018】

本発明の目的に鑑みて、上記その他の目的を達成するために、本発明は、ゲートを備えたCMOS回路と集積化した突出外因性ベース、エミッタおよびコレクタを備えたバイポーラ・トランジスタを形成するプロセスを提供する。CMOS区域およびバイポーラ区域を有する中間半導体構造を設ける。バイポーラ区域に真性ベース層を設ける。このCMOSおよびバイポーラ区域にわたってベース酸化物を形成し、また、これらの区域上に、(以下では、エミッタ・スタック・シリコン層と称する)シリコン層の犠牲エミッタ・スタックを被着させる。フォトレジストを塗布してバイポーラ区域を保護し、バイポーラ区域上のエミッタ・スタック・シリコン層の上部表面が、CMOS区域の上部表面とほぼ同じ高さになるように、この構造をエッチングして、CMOS区域からのみエミッタ・スタック・シリコン層を除去する。最後に、CMOSおよびバイポーラ区域にわたって、後続のCMP(化学機械研磨)に適したほぼ平らな上部表面を有するように研磨停止層を被着させる。

【0019】

種々の層の相対的な厚さに応じて、本発明の2つの特定の実施形態が可能である。第1実施形態では、エミッタ・スタック・シリコン層の厚さが、CMOS区域のシリコン・ゲートの厚さにほぼ等しい。次いで、このプロセスでは、バイポーラ区域上のエミッタ・スタック・シリコン層の上部表面が、CMOS区域中のベース酸化物の上部表面とほぼ同じ高さになるように、エッチ・ストップとしてベース酸化物を用いる。

【0020】

第2実施形態では、エミッタ・スタック・シリコン層の厚さと真性ベース層の厚さを合わせたものが、CMOS区域のシリコン・ゲートの厚さにほぼ等しい。次いで、このプロセスでは、CMOS保護層がエッチ・ストップとして働く状態で、CMOS区域だけから、エミッタ・スタック・シリコン層、ベース酸化物および真性ベース層をエッチングして除去するステップを含む。このステップにより、確実に、バイポーラ区域上のエミッタ・スタック・シリコン層の上部表面が、CMOS区域中の保護層の上部表面とほぼ同じ高さになる。

【0021】

上記概略の説明および以下の詳細な説明は本発明の例であり、本発明を限定するものではないことを理解されたい。

10

【0022】

本発明は、以下の詳細な説明を添付の図面と合わせ読めば最もよく理解される。一般の慣行に従って、図面の様々な形状は原寸に比例していないことを強調しておく。そうではなく、見やすいように、様々な形状の寸法は任意に拡大縮小されている。

【発明を実施するための最良の形態】

【0023】

CMPは、半導体製作時に、STI（浅いトレンチ分離）（shallow trench isolation）領域およびBEOL（バックエンド・ライン）分離領域を形成するのに広く使用されてきた。しかし、従来方式のプロセスは、バイポーラ区域とCMOS区域の間に異なるトポグラフィをもつBiCMOS回路中に製作されるシリコン・デバイスを平坦化するのにCMPを利用するように取り組んでこなかった。STIの形成では、研磨停止部として、ウエハ加工の初期段階でシリコン基板の平らな表面上に直接被着した誘電体層を用いる。

20

【0024】

本発明のプロセスでは、エミッタ犠牲プラグの上に外因性ベース層を被着させる。この外因性ベースは、多結晶シリコン、すなわち、しばしば「ポリシリコン」を指す「PC」シリコンとすることができる。犠牲プラグの厚さおよび残りのCMOS区域の厚さを正しく調整して研磨前に表面を平らにし、それによって、CMPによる平坦化を行う。CMOS回路中に集積化するHBT用に突出外因性ベースをCMPで形成する本発明のプロセスと従来方式の方法の主要な差異は、（a）本発明の外因性ベース層は、エミッタ犠牲プラグの上に被着させ、（b）この犠牲プラグの厚さおよび残りのCMOS区域の厚さを正しく調整して研磨前に表面を平らにし、それによって、CMPによる平坦化を行うことである。突出外因性ベースを備えたバイポーラ・デバイスを、CMPによりCMOS回路中に集積化して製作するための本発明によるプロセスの詳細なステップを以下に示す。

30

【0025】

次に、全体を通して同じ参照番号は同じ要素を指す図面を参照すると、図5に、本発明のプロセスの最初の3ステップの結果が示されている。出発構造は、誘電体を充填した分離領域110および埋込みコレクタ領域105を備えたシリコンの活性区域100を含む。保護層120を被着させ、CMOS製作用の開口を開ける。保護層120は、バイポーラ区域を保護する。バイポーラ区域は、この説明の例ではNPN型であるが、このタイプに限定されるものではない。これで、このプロセスの第1ステップが完了する。

40

【0026】

第2ステップでは、p型ウェルおよびn型ウェルの注入後、適切な閾値電圧調整によるドーピングを行って、（PFET140およびNFET150を含む）従来型のCMOSデバイスを製作する。ゲート誘電体を形成し、次いで、ゲート導体130を被着させる。第3ステップでは、保護誘電体層160を被着させてCMOSを保護する。任意選択層170を被着させて、後続のベースの核形成を容易にすることができる。これら最初の3ステップにより、図5に示す構造が得られる。

【0027】

これらのステップの後で、図6に示すように、従来方式のフォトリソグラフィを用い、保護層170、160および120をエッチングすることによって、バイポーラ領域に開

50

口を設ける。図6には、STI区域108およびベース開口180も示す。

【0028】

図7に示すように、当業者には周知の技術を用いて、エピタキシャルSiGeベース190を被着させる。パッシベーション用に、酸化物などの誘電体の（一般に、50nm未満の）薄い層を形成してよい。エピタキシャルSiGeベース190の被着およびベース・パッシベーション層200の形成は、従来どおりであり、当業者には周知のものである。図7では、トポグラフィ上の明らかな差異、すなわち、CMOS区域175とバイポーラ区域165の間の段差210がはっきり示されている。段差210は、ゲート導体130の高さ（1,000～2,500Å）にほぼ等しい。

【0029】

図8では、バイポーラ区域とCMOS区域の間の異なるトポグラフィがはっきり示されている。ベース酸化物200の後で、a-Si層のスタック230およびSiN層240を、それぞれ厚さ約500～2,000Å、好ましくは1,000～1,500Åで被着させる。SiN層240は、以下のステップで研磨停止部として利用することになる。高さの差異、すなわち段差250によって、NPN型バイポーラ区域165がCMOS区域175よりも低くなることに留意されたい。段差250は、CMOSゲートの厚さ（段差210）とほぼ同じである。このトポグラフィが、SiN層240がCMOS区域上で高く立ったままの状態、すなわち段差250のままである場合、突出外因性ベースを形成するために良好な研磨停止部を用いてバイポーラ区域165を平坦化することは現実的ではない。すなわち、CMPによって突出外因性ベースを形成するための平らな表面を備えた研磨停止層がない。

【0030】

解決策は、図8に示すようなCMOS区域とNPN区域の間の異なるトポグラフィを考慮に入れて、ウエハ全体にわたって平面すなわち平らな表面を備えた研磨前の停止層を設けることである。層配列および被着材料の厚さを正しく設計することによって、研磨前の平らな表面を設ける。この層配列および厚さはともに、「所定」のものである。というのは、それらは、無作為なものではなく、ある範囲内で合理的に予測可能なものであり、所望の最終製品を得るために計算することができるからである。

【0031】

明らかになったこのトポグラフィの問題を解決するために、研磨停止SiN層240の前に被着させる被膜は、ウエハ全体にわたって同じ高さでなければならない。マスク・エッチング・プロセスによって、同じ高さの表面を実現することができる。このプロセスでは、フォトレジスト235を用いて、バイポーラ区域165を保護する。CMOS区域175を露光し、適当なエッチ・ストップを用いて被膜をエッチング除去する。次のステップで、研磨停止SiN層240を被着させる。研磨停止SiN層240の上部表面は、CMOSおよびバイポーラ区域の両方にわたって同じ高さになる。

【0032】

構造中の層の厚さに応じて、このプロセスには2つの任意選択肢がある。第1の任意選択肢を図9に示す。図9では、a-Si230の厚さが、ゲート導体130の厚さにほぼ等しい。ベース酸化物200を形成した後で、最初にエミッタ・スタックa-Si230を被着させる。a-Si230の厚さは、段の高さの差デルタに等しくなるように選択する。これは、CMOSスタックとNPN型エピタキシャルSiGeベース190の差と同じであり、ゲート導体130とほぼ同じである。フォトレジストによりマスクされたエッチングは、ベース酸化物200上で停止することになり、a-Si230は、レジストによりマスクされたエッチングによって、CMOS区域175中でのみ除去される。その結果、バイポーラ区域165上のa-Si230の表面は、CMOS区域175中のベース酸化物200の上部表面と同じ高さになる。したがって、後で形成するSiN層240は、CMOSおよびバイポーラ区域のウエハ全体にわたって平らな上部表面を有することになる。

【0033】

第2の任意選択肢を図10に示す。図10では、 $a-Si_2O_3$ の厚さとエピタキシャルSiGeベース190の厚さを合わせたものが、ゲート導体130の厚さにほぼ等しい。ゲート導体130の厚さは約2000Åであり、多くの場合、約500~1,500Åの $a-Si_2O_3$ の厚さよりも厚いので、 $a-Si_2O_3$ をエッチングし、さらにベース酸化物200を貫通し、下にあるエピタキシャルSiGeベース190も除去することが実現可能である。このエッチングは、CMOS保護層160上で停止することになる。このプロセスでは、2つの被膜($a-Si_2O_3$ およびエピタキシャルSiGeベース190)を組み合わせた厚さが、ゲート導体130に等しいことが必要である。このため、バイポーラ区域165上の $a-Si_2O_3$ の表面は、CMOS保護層160の上部表面と同じ高さになる。

10

【0034】

図11に、SiN層240を被着させた後の図10の構造を示す。(SiN層240上の厚さ約100~500Åのエッチ・ストップ層であるTEOS245は、任意選択である。)バイポーラ区域165上のSiN層240の上部表面は、CMOS区域175上の上部表面と同じ高さであり、これは、次のCMPステップに必要なことであることに留意されたい。

【0035】

以下のステップでは、これら両方の任意選択肢について、製作プロセスは類似しているので、バイポーラの製作を論じる例として、第2選択肢(図10および11)を用いることができるであろう。第1任意選択肢(図9)の構造の製作を完了させるプロセス・ステップは、以下の考察に基づいて直接導くことができる。このようなステップは、第2選択肢に基づく例に鑑みて、当業者には周知のものであろう。

20

【0036】

本発明によるプロセスの次のステップでは、(図示しない)外因性ベース開口のレジスト・ブロックを被覆する。図12に示すように、層240と層230のスタックRIEにより、外因性ベース開口270が形成され、エミッタ・アイランド280および支持アイランド290が残る。このRIEステップは、ベース酸化物層200で停止する。

【0037】

次に、図13に示すように、スペーサ300を形成する。スペーサ300は、単一または複合誘電体スペーサとすることができる。外因性ベース開口270中のベース酸化物200を除去する。他の区域上のベース酸化物200は、エミッタ・アイランド280および支持アイランド290によって保護される。

30

【0038】

図14に、突出外因性ベース310を形成するところを示す。外因性ベース310は、たとえば、ポリシリコン層313を被着させ、その後、研磨停止部として層240を利用して、外因性ベース開口270の充填レベル315まで下げて平坦化し、その後、さらに陥凹部をエッチングすることによって形成する。突出外因性ベース310は、露出外因性ベース開口270上においてのみ選択エピタキシによる被着を行って形成することもできる。

【0039】

図15に、誘電体分離層323を被着させるところを示す。分離層323にCMPステップを適用してこの層を平坦化し、それによって、平面分離層320を形成する。この場合も、層240は、このステップにおける研磨停止部として利用される。

40

【0040】

次に、フォトリジスト235と同じ像のフォトリジスト・マスクを用いて、バイポーラ区域165をブロックすることができる。次いで、(該当する場合には、スペーサからの残余皮膜とともに)CMOS区域175上の残りの分離層320を除去する。得られた構造を図16に示す。

【0041】

本発明のプロセスでは、次に、マスクとして平面分離層320を用いる。エミッタ・ア

50

アイランド280および支持アイランド290中の犠牲スタック層230および240をエッチング除去する。このエッチングは、CMOS区域175中の保護層160およびバイポーラ区域165中のベース酸化物200のところで停止する。得られた構造を図17に示す。

【0042】

図18に示すように、エミッタ開口内でベース酸化物層200をエッチングし、エミッタ層350を被着させる。次いで、エミッタ接点を形成するためのマスクとして誘電体保護層360を被着させる。後続の加工を容易にするために、フォトレジスト370を設ける。

【0043】

マスクとしてフォトレジスト370を用いて、エミッタ区域の外部で、誘電体保護層360およびエミッタ層350を除去する。平面分離層320およびCMOS保護層160は、エッチ・ストップとして働く。フォトレジスト層380を、外因性ベース領域およびCMOS領域175をともに覆うようにパターン化して、図19に示すように塗布し、開口を開ける。露出領域に方向性エッチングを適用して、まず、酸化物分離層320およびベース酸化物層200をエッチングし、次いで、突出外因性ベース310のポリシリコン被膜およびNPN型エピタキシャルSiGeベース190をエッチングし、保護層160上でエッチングを停止させる。次いで、ウェットまたはドライ・エッチング技術によって誘電体保護層160を除去し、（任意選択で）CMOSの注入およびアニールを行うことができる。

【0044】

バイポーラ区域165のエミッタ、ベースおよびコレクタへの接点ならびにCMOS区域175のソース、ドレインおよびゲートへの接点を形成する以下のステップはすべて、当業者には周知のものである。SiNエッチ・ストップ430を被着させ、その後、BPSSG（ホウ素燐酸シリケート・ガラス）層440を被着させ平坦化する。エミッタ、ベースおよびコレクタならびに他のコンポーネント用の様々な接点450を形成して、この構造の集積化が完了する。このような構造を図20に示す。

【0045】

本発明の製作プロセスと従来方式の方法の複数の重要な差異がいまや明らかなはずである。本発明と、ワイ・シー・サン（Y.C. Sun）およびジェイ・ワーノック（J. Warnock）による文献中の開示との間には、いくつかの主要な差異が存在する。これらの差異の中には、（a）本発明の外因性ベース・ポリシリコンは、エミッタ犠牲プラグの上に被着させ、（b）CMPによる平坦化を行うための研磨前の平らな表面が得られるように、犠牲プラグおよび残りのCMOS区域の厚さを正しく調整することが含まれる。対照的に、参照した文献では、研磨停止部をCMOSゲート誘電体とすることを仮定している。本発明では、CMOSの上部表面は、最初からエミッタ・プラグと同じ高さではなく、本発明の重要な目的の1つは、この平らな表面を実現することである。

【0046】

また、本発明と米国特許第5,523,606号の開示の間にもいくつかの主要な差異が存在する。これらの差異の2つがはっきり示されている。第1に、本発明の外因性ベース・ポリシリコンは、真性ベースの形成後に被着させる。第2に、この外因性ベースは、適切な被膜スタックの設計により研磨停止部が得られることによって可能となるCMPによって形成し、したがって、真性SiGeベースには選択エピタキシの必要がない。

【0047】

ある特定の実施形態に関して上記に示し説明したが、本発明は、ここで示した細部に限定されるものではない。そうではなくて、特許請求の範囲の均等物の範囲内で、本発明の趣旨から逸脱することなく、細部に様々な改変を加えることができる。

【図面の簡単な説明】

【0048】

【図1】米国特許第5,523,606号の図7Cの一部に対応する図である。

【図 2】米国特許第 5, 523, 606 号の図 7 E の一部に対応する図である。

【図 3】ワイ・シー・サン (Y.C. Sun)、ジェイ・ワーノック (J. Warnock)、「Process for a High-Performance Bipolar-Based BICMOS」、IBM Technical Disclosure Bulletin、第 35 巻、第 4B 号 (vol.35, no. 4B)、295~97 頁、(1992 年 9 月) の文献の図 1 に対応する図である。

【図 4】ワイ・シー・サン (Y.C. Sun)、ジェイ・ワーノック (J. Warnock)、「Process for a High-Performance Bipolar-Based BICMOS」、IBM Technical Disclosure Bulletin、第 35 巻、第 4B 号 (vol.35, no. 4B)、295~97 頁、(1992 年 9 月) の文献の図 1 に対応する図である。

【図 5】本発明のプロセスの最初の 3 ステップを適用した後で得られた構造を示す図である。 10

【図 6】異なるトポグラフィを有するいくつかのタイプの区域をはっきり示す、本発明のプロセスの第 4 ステップを示す図である。

【図 7】CMOS 区域とバイポーラ区域の間のトポグラフィ (段差) 上の明らかな差異をはっきり示す、本発明のプロセスの第 5 ステップを示す図である。

【図 8】エミッタ・スタック・シリコン層および SiN 研磨停止層を被着させた後のバイポーラ区域と CMOS 区域の間の異なるトポグラフィをはっきり示し、このトポグラフィにより、突出外因性ベースを形成するために良好な研磨停止部を用いてバイポーラ区域を平坦化することが実際的ではなくなることを示す図である。

【図 9】バイポーラ区域上の a-Si の表面を、CMOS 区域中のベース酸化物の上部表面と同じ高さにする、本発明によるプロセスの第 1 実施形態を示す図である。 20

【図 10】バイポーラ区域上の a-Si の表面を、CMOS 区域中のゲート・ポリシリコンの上部表面と同じ高さにする、本発明によるプロセスの第 2 実施形態を示す図である。

【図 11】研磨停止層として窒化シリコン層を被着させた後の図 10 の構造を示す図である。

【図 12】SiN および a-Si のエミッタ・スタックにより外因性ベース開口を形成するところを示す、本発明のいずれかの実施形態によるプロセスの次のステップを示す図である。

【図 13】スペーサの形成を示す図である。

【図 14】外因性ベース開口中のベース酸化物の除去および突出外因性ベースの形成を示す図である。 30

【図 15】平面分離層の形成を示す図である。

【図 16】CMOS 区域から平面分離層を除去した後で得られた構造を示す図である。

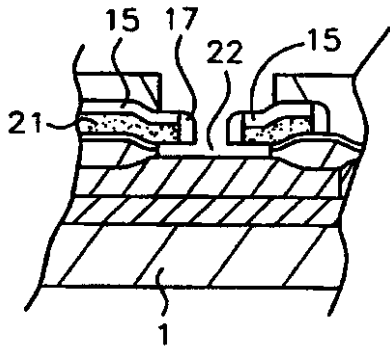
【図 17】マスクとして平面分離層を利用して、エミッタ・アイランドおよび支持アイランド中の窒化シリコン層および a-Si 層のスタックをエッチングした後で得られた構造を示す図である。

【図 18】エミッタ・ポリシリコン層を被着させ、エミッタ接点を形成するためのマスクとして SiN 層を被着させ、構造上にフォトレジストを被覆した後で得られた構造を示す図である。

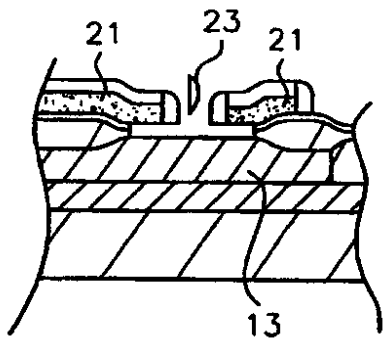
【図 19】マスクとしてフォトレジストを用いて、エミッタ区域の外部で SiN 層およびエミッタ・ポリシリコン層を除去し、外因性ベース領域に一致し、CMOS 領域を覆うフォトレジスト層を塗布した後で得られた構造を示す図である。 40

【図 20】すべての酸化物層を除去し、SiN エッチ・ストップを被着させ、ホウ素リン酸シリケート・ガラス層を被着させ平坦化し、エミッタ、ベースおよびコレクタならびに他のコンポーネント用の様々な接点を形成して構造の集積化を完了した後で得られた構造を示す図である。

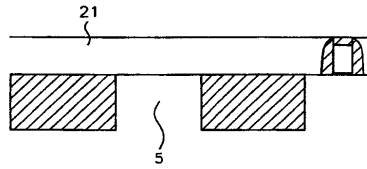
【図 1】



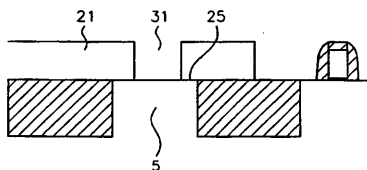
【図 2】



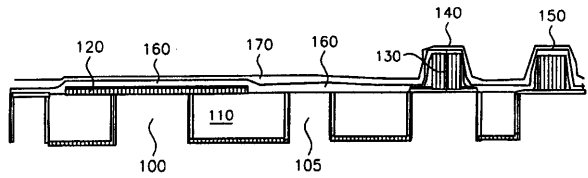
【図 3】



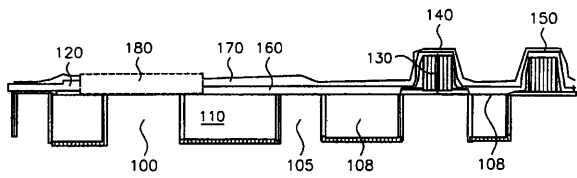
【図 4】



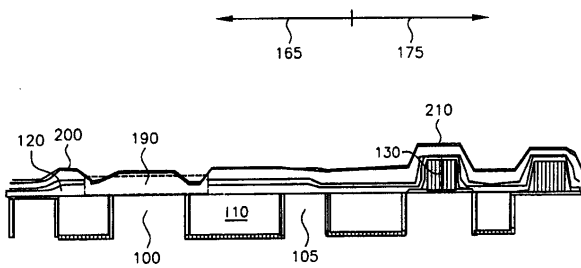
【図 5】



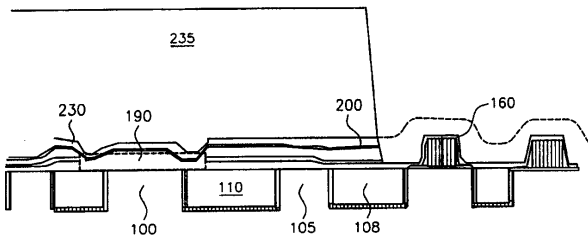
【図 6】



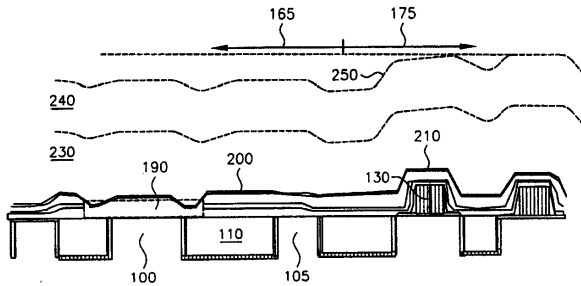
【図 7】



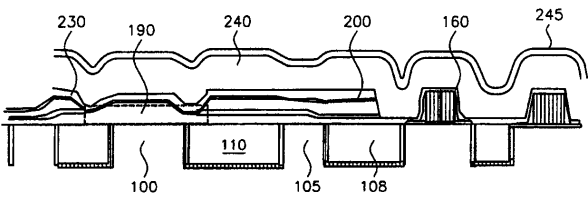
【図 10】



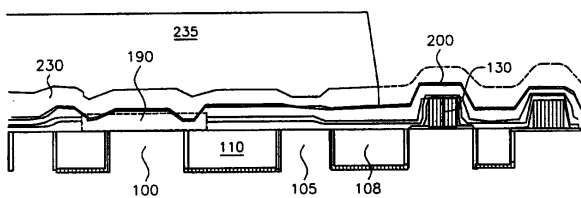
【図 8】



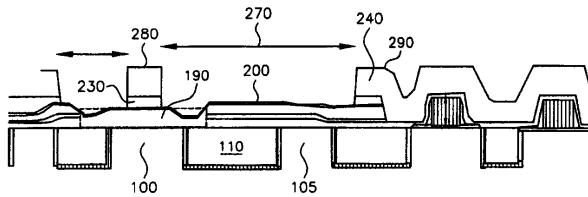
【図 11】



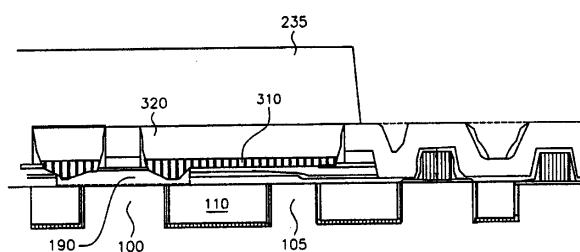
【図 9】



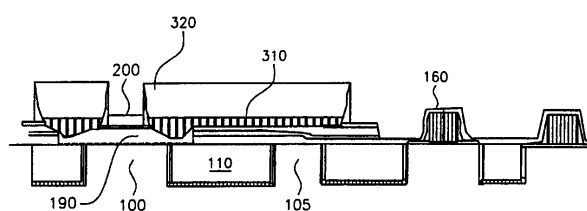
【図 12】



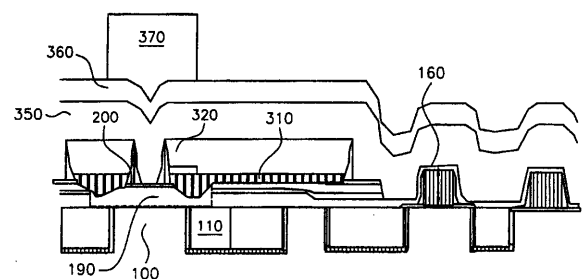
【図 16】



【図 17】



【図 18】



This cross-sectional view shows a semiconductor device with a trench isolation structure. A substrate 100 contains a trench 190. A layer 110 is formed on the substrate. A layer 160 is formed on the layer 110. A layer 200 is formed on the layer 160. A layer 350 is formed on the layer 200. A layer 360 is formed on the layer 350. A layer 320 is formed on the layer 360. A layer 310 is formed on the layer 320. A layer 380 is formed on the layer 310. A layer 175 is formed on the layer 380. A layer 175 is formed on the layer 380.

フロントページの続き

(51)Int.Cl. F I

H01L 21/8248 (2006.01)

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 アールグレン、デービッド、シー

アメリカ合衆国12590 ニューヨーク州ニューヨーク ワッピンガーズ・フォールズ ソーン
トン・テラス 112

(72)発明者 フリーマン、グレゴリー、ジー

アメリカ合衆国12533 ニューヨーク州ニューヨーク ホープウェル・ジャンクション セバ
スティアン・コート 23

(72)発明者 ヒュアン、フェン、イー

アメリカ合衆国91745 カリフォルニア州アシェンダ・ハイツ シーダーモント・ドライブ
1521

(72)発明者 ティクナー、アダム、ティー

アメリカ合衆国12590 ニューヨーク州ニューヨーク ワッピンガーズ・フォールズ ルート
9ディー 751

審査官 河口 雅英

(56)参考文献 特開平10-189789 (JP, A)

特開平11-154658 (JP, A)

特開平11-067767 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/06

H01L 29/737

H01L 21/8249

H01L 21/331

H01L 21/8222

H01L 21/8248