

212863

公告本

申請日期	87-09-04
案 號	87107012
類 別	H03K 19/003

A4

C4

(以上各欄由本局填註)

發明
新型 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 名稱	中 文	具有改良噪音特性之資料輸出緩衝器
	英 文	
二、發明 創作人	姓 名	1. 朴用寶 2. 朴熙哲 3. 林亨圭
	籍 貫 (國籍)	韓 國
	住、居所	1 韓國京畿道水原市勸善區梅灘洞196 番地43號 2 韓國瑞草區盤浦洞韓信2次APT 112 棟713號 3 韓國漢城江南區大峙3洞宇成2次APT 205 棟1001號
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	籍 貫 (國籍)	韓 國
	住、居所 (事務所)	韓國京畿道水原市觀善區梅灘洞416番地
	代表人 姓 名	金光浩

裝

訂

線

五、發明說明 (1)

1 本發明係有關於一種半導體記憶裝置；特別有關於藉
著減低直流電的電流及峰值電流來改良噪音特性的資料輸
出緩衝器。

5 資料輸出緩衝器接收讀自記憶單元的資料且放大該資
料的電位，以便供應該資料至積體電路的外部。再者，該
資料輸出緩衝器的輸出或最終階段通常包括大型的MOS電晶
體。

10 目前，半導體記憶裝置的密度及作業速度愈來愈高，
因此作業噪音也跟著增加。亦即，在邏輯狀態過渡階段由
大型MOS電晶體組成的最終輸出階段會產生脈衝峰值電流，
例如，從邏輯低電位狀態至邏輯高電位狀態；反之亦然。
峰值電流會影響積體電路內的電流供給線，進而不僅導致
15 噪音的產生，也造成半導體記憶裝置的故障。緣是之故，
半導體記憶裝置的功能會惡化。脈衝峰值電流產生的主要
理由在於資料輸出緩衝器的最後輸出階段由大型MOS電晶體
構成，而且在最終輸出階段的電位會在接地電壓的低電位
與電源供給電壓的高電位間來回變換。因此，本發明之裝
置允許最終輸出階段維持在中等電位，而使該中等電位不
20 直接在邏輯低與高電位間變換。

25 參考第1及2A~2C圖，其顯示一習知的具有中等電位
資料輸出緩衝器及其操作時序圖。該習知的裝置揭露在日
本第1--149490號專利公報，案名為“靜態隨機存取記憶體
的輸出電路”。如第1圖所示，最終輸出階段包括一PMOS
電晶體M1及NMOS電晶體M2。再者，於資料輸出作業之前

五、發明說明 (2)

1 NMOS 電晶體 m1 及 PMOS 電晶體 m2 用來保持輸出線 7 的輸出電
位 Dout 於中等電位。再者，輸入信號 S、S' 是一種與脈波
有關的信號，該脈波得自位址過渡偵測電路 (ATD，未顯示
5)，而且得自記憶單元。

茲配合第 2A ~ 2C 圖說明第 1 圖中的習知資料輸出緩衝
器之操作。首先，假如輸入信號 S、S' 兩者都處於邏輯低
電位狀態，以便對 ATD 電路之輸出作出反應時，則電晶體 M1
及 M2 呈現斷開狀態。經由反相器 3，輸入信號 S 施加在反
及閘 4 的輸入端，同時輸入信號 S' 施加在反或閘 2 的輸入
10 端。

因此，假如資料輸出 Dout 的邏輯電位先前是處於“高”
的狀態時，反及閘的輸出會變成“低”電位，PMOS 電晶
體 m2 會被導通，NMOS 電晶體 M2 會被導通，以便將輸出電壓
Dout 降低至既定的中等電位，如第 2C 圖所示。吾人應注意
15 電晶體 m1 及 m2 的通道尺寸必須能使電晶體 m1 及 m2 完全導通，
以及使該等電晶體 M1 及 M2 稍為導通，以便使中等電位維
持一段既定時間。同時，假如該等輸入信號 S 及 S' 分別成
為邏輯低與高位時，一用來控制電晶體 M1 之閘電壓的反相
器會產生邏輯高電位，結果電晶體 M1 被斷開，同時用來控
20 制電晶體 M2 之閘電壓的反相器 6 產生邏輯高電位，結果，
電晶體 M2 完全導通。最後，資料輸出變成邏輯低電位。

接者，假如資料輸出前的邏輯狀態是低的，而且輸入
信號 S、S' 也處於邏輯低電位狀態，則反或閘 2 的輸出會
變成邏輯高電位，同時電晶體 m1 會被導通。然後，電晶體

五、發明說明 (3)

M1 的閘電壓會降低而將電晶體 M1 稍為導通。藉此，持續產生一中等值的電壓一段時間。一段時間後，假如輸入信號 S、S' 分別變成邏輯高與低電位時，則電晶體 M1 及 M2 分別呈現完全導通及完全斷開的狀態，藉此轉變資料輸出 Dout 的邏輯電位成為高電位。

如上所述，因為 1 圖中的資料輸出緩衝器之邏輯狀態係由既定的中等電位改變，所以噪音特性及作業速度會有所改進。然而，為了將資料輸出 Dout 設定在中等電壓，電晶體 M1 或 M2 應該要稍為導通，再者，其對應的電晶體 m1 或 m2 應該完全導通。在此同時，直流電流流過電晶體 m1 或 m2 的源極—汲極通道。

亦即，當輸入信號 S、S' 處於邏輯低電位而資料輸出 Dout 處於邏輯高電位時，因為反及閘 4 的輸出處於邏輯低電位，電晶體 m2 會被導通。反相器 6 通常是由連接在電源供給電壓 Vcc 與接地電壓之間的 NMOS 電晶體 mn2 及 PMOS 電晶體 mp2 所組成。因此，假如電晶體 m2 被導通，則直流電流會流過電晶體 m2 的源極—汲極通道及反相器 6 的 NMOS 電晶體 mn2 之通道。同樣地，當輸入信號 S、S' 及資料輸出 Dout 都處於邏輯低電位狀態時，因為反或閘 2 的輸出處於邏輯高電位狀態，所以電晶體 m1 會被導通。此時，直流電流會流過反相器 1 及電晶體 m1 內之 PMOS 電晶體的源極—汲極通道。緣是之故，就防止脈衝峰值電流產生在資料輸出緩衝器的輸出階段而言，第 1 圖中的資料輸出緩衝器是非常有效的。然而，在資料輸出 Dout 處於中等值時，由於直流電流會流

五、發明說明 (4)

1 過電晶體 m1 或 m2 的通道，所以該裝置的噪音特性仍舊無法
大量改善。本發明之目的在於提供一種藉由減少直流電流
而改進噪音特性的高速資料輸出緩衝器。

5 根據本發明的特徵，資料輸出緩衝器具有：一第一輸
入電路，其接收輸入信號及輸出作動信號；一第二輸入電
路，以便接收一反相輸入信號及輸出作動信號；一拉上電
路，其設計成將資料輸出電壓提高成供應電壓，以便對第
一輸入電路的輸出作出反應；以及一拉下電路，其設計成
10 將資料輸出電壓降低成接地電壓，以便對第二輸入電路的
輸出作出反應。該資料輸出緩衝器又包括：一第一控制電
路，其接收第一輸入電路的輸出及反相輸出作動信號，以
便產生一第一控制信號；一第二控制電路，其用以接收資
料輸出，以便產生第二控制信號；一拉上電路，其設計成
15 將資料輸出電位提高至既定的中等電位，以便對第一及第
二控制信號作出反應；一第三控制電路，其接收資料輸出
，以便產生一第三控制信號；一第四控制電路，其接收第
二輸入電路的輸出及反相輸出作動信號，以便產生第四控
制信號；以及一拉下電路，其設計成降低資料輸出的電位
20 成既定的中等電位，藉此，於輸出作動信號及反相輸出作
動信號活躍期間，資料輸出電壓會維持在中等電位。

為了能進一步瞭解本發明之構造及其功效，茲配合圖
式，舉例說明如下：

圖式說明：

第 1 圖顯示習知的資料輸出緩衝器；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明 (6)

第 2A ~ 2C 圖顯示第 1 圖中之資料輸出緩衝器的作業時序圖；

第 3 圖顯示本發明之資料輸出緩衝器；及

第 4A ~ 4J 圖顯示第 3 圖中之資料輸出緩衝器的作業時序圖。

參考第 3 圖，本發明之電路 100 顯示於虛線內。第一控制電路由反或閘 21 構成，反相器 22 接收第一輸入電路 11 的輸出及反相輸出作動信號 $\phi \overline{OE}$ ，同時由反相器 23 構成的第二控制電路接收資料輸出 Dout。根據第一控制電路及第二控制電路的輸出，由電晶體 27 及 28 所組成的拉上階段 (pull up stage) 係用以提高資料輸出 Dout 成為中等電位。該中等電位為供應電壓的一半，即， $V_{cc}/2$ 。由反相器 24 及 25 構成的第三控制電路接收資料輸出 Dout，由反或閘 26 構成的第四控制電路接收反或閘 12 之第二輸入電路的輸出及反相輸出作動信號 $\phi \overline{OE}$ 。根據第三及第四控制電路由電晶體 29 及 30 所組成的拉下階段 (pull down stage) 用以降低資料輸出電位成為中等電位。再者，由電晶體 14、15 及反相器 13 所組成的拉上電路提高資料輸出 Dout 的電位成為供應電壓 V_{cc} ，以便對第一輸入電路 11 的資料作出反應。由電晶體 16 構成的拉下電路降低資料輸出 Dout 的電壓成為接地電壓 V_{ss} ，以便對第二輸入電路 12 的輸出作反應。

以下請參考第 4A ~ 4J 圖，其詳細描述第 3 圖中之資料輸出緩衝器的作業。假如位址信號施加在半導體積體電路，則 ATD 電路 (未顯示) 偵測位址信號的過渡，以便產生輸

(請先閱讀背面之注意事項再填寫本頁)

.....裝.....訂.....線.....

經濟部中央標準局員工消費合作社印製

五、發明說明 (6)

1 出作動信號 ϕOE 及一反相輸出作動信號 $\phi \overline{OE}$ 。當輸出作動
 信號 ϕOE 處於邏輯高電位，而第一及第二輸入電路 11、12
 的輸出信號 N1、N2 皆處於邏輯低電位時，由電晶體 14、15
 組成的拉上電路及由電晶體 16 構成的拉下電路皆不作動。
 5 然後，第一控制電路 (21、22) 及第四控制電路 26 共同接
 收處於邏輯低電位狀態的反相輸出作動信號 $\phi \overline{OE}$ 。因此，
 第一控制電路 (21、22) 的輸出信號 N3 邏輯電位變低，進
 而使拉上階段 (27、28) 中的拉上電晶體 27 導通。再者，
 第四控制電路 26 的輸出信號 N6 的邏輯電位變高，進而將拉
 10 下階段 (29、30) 中的拉下電晶體 30 導通。

在此情況中，假如在輸出作動信號 ϕOE 及反相輸出作
 動信號 $\phi \overline{OE}$ 作動之前，資料輸出 Dout 的邏輯電位已經是高的
 的時，拉下階段 (29、30) 中的拉下電晶體 29 被第三控制
 電路 24、25 $\phi \overline{OE}$ 的輸出信號 N5 所導通，藉此將資料輸出
 15 Dout 的電位變成中等電位。吾人應注意當輸出作動信號 ϕ
 OE 及反向輸出作動信號 $\phi \overline{OE}$ 作動時，資料輸出 Dout 的電位
 才被維持在中等電位。此後，假如反向輸出作動信號 $\phi \overline{OE}$
 被改變成邏輯高電位時，信號 N3 及 N6 分別變成邏輯高及低
 電位，結果拉上電晶體 27 及拉下電晶體 30 皆呈現斷路狀態
 20 。

然而，假如在輸出作動信號 ϕOE 及反向輸出作動信號
 $\phi \overline{OE}$ 被作動之前，資料輸出 Dout 的電位已處於邏輯低電位
 狀態時，第二控制電路 23 的輸出信號 N4 變成邏輯高電位，
 進而將拉上電晶體 28 導通，同時第三控制電路 (24、25)

(請先閱讀背面之注意事項再填寫本頁)

裝·····訂·····線·····

五、發明說明 (7)

1 的輸出信號 N5 變成邏輯低電位，進而切斷拉下電晶體 29。
 而且，在反相輸出作動信號 $\phi \overline{OE}$ 活躍期間（即，處於邏輯
 低電位時），第一控制電路（21、22）的輸出信號 N3 變成
 邏輯低電位，結果拉上電晶體 27 被導通，而且資料輸出
 5 D_{out} 的電位從邏輯低電位變成中等電位。此後，假如輸出
 作動信號 ϕOE 及反相輸出作動信號 $\phi \overline{OE}$ 不作動時（亦即，
 分別為邏輯低與高電位），則使拉上電晶體 27 及拉下電晶
 體 30 皆被切斷。

10 從第 4A ~ 4J 圖可知，在輸出作動信號 ϕOE 及反相輸出
 作動信號 $\phi \overline{OE}$ 作動之後，資料輸出 D_{out} 的邏輯電位依記憶
 單元所產生的輸入信號 D、 \overline{D} 決定。例如，假如輸入信號
 D、 \overline{D} 分別處於邏輯高及低電位，同時輸出作動信號 ϕOE
 處於邏輯低電位狀態時，拉上電路內的電晶體 14 及 15 會被導
 通，同時拉下電路內的電晶體 16 被切斷，結果介於拉上電
 15 晶體 14、15 及拉下電晶體 16 之間的資料輸出 D_{out} 的電位變
 成邏輯高電位。相反地，假如輸入信號 D、 \overline{D} 分別處於於
 邏輯低及高電位時，拉上電晶體 14 及 15 被切斷；同時拉下
 電晶體 16 被導通，結果資料輸出 D_{out} 的電位會變成邏輯低
 電位。

20 從第 4A ~ 4J 圖可知，僅當輸出作動信號 ϕOE 及反相輸
 出作動信號 $\phi \overline{OE}$ 處於活躍期間，資料輸出 D_{out} 的電位才會
 處於中等電位。再者，從上可知，在資料輸出處於中等
 電位時，具有本發明之預置電路 100 的資料輸出緩衝器能防
 止直流電流的產生。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (8)

1 以上所揭露的只是本發明的較佳實施例。對熟習此項
 技藝的人士而言，在不脫離本發明的範圍內，本發明當可
 有些修正，因此本發明之範圍僅得由所附之申請專利範圍
 界定。緣是之故，本發明之實施例只其有說明的作用，而
 5 非用以限制本發明。

.....
 (請先閱讀背面之注意事項再填寫本頁)

.....
 裝.....
 訂.....
 線.....

20
 經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱:具有改良噪音特性之資料輸出緩衝器)

1 一種資料緩衝器，於輸出作動信號活躍期間，該資料緩衝器產生一中等電位的輸出資料而且不會消耗直流電電流。該資料輸出緩衝器包括一預置電路，於該輸出作動信號活躍間，該預置電路將資料輸出電壓變成供給電壓的一

5 半。該預置電路包括：一第一控制電路，其用以產生一第一控制信號；一第二控制電路，其用以產生一第二控制信號；一拉上電路，其設計成可提高資料輸出至中等電壓，以便對第一及第二控制信號作出反應；一第三控制電路，其用以產生一第三控制信號；一第四控制電路，其用以產生一第四控制信號；以及一拉下電路，其設計成可降低資料輸出電位至中等電位。

10

英文發明摘要(發明之名稱:)

15

20

附註：本案已向 韓 國 國 (地 區) 申請專利，申請日期²18835/1991 案號： 1991.10.25

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

- 1 1. 一種資料輸出緩衝器，其具有一第一輸入電路，以便接收輸入信號及輸出作動信號、一第二輸入電路，以便接收反相輸入信號及輸出作動信號、一拉上電路，其設計成提高資料輸出的電位成為供應電壓，以便對該第一輸入電路
- 5 作出反應、以及一拉下電路，其設計成降低資料輸出的電位成為接地電壓，以便對該第二輸入電路的輸出作出反應，該資料輸出緩衝器包括：
- 一第一控制裝置，其接收該第一輸入電路的輸出及反相輸出作動信號，以便產生第一控制信號；
- 10 一第二控制裝置，其接收該資料輸出，以便產生第二控制信號；
- 一拉上裝置，其設計成提高該資料輸出之電位成為中等電位，以便對該第一及第二控制信號作出反應；
- 一第三控制裝置，其接收該資料輸出，以便產生第三
- 15 控制信號；
- 一第四控制裝置，其接收該第二輸入電路的輸出及該反相輸出作動信號；以及
- 一拉下裝置，其設計成降低該資料輸出的電位成為既定的中等電位；
- 20 藉此，於該輸出作動信號及該反相輸出作動信號處於活躍期間時，該資料輸出的電位一直維持在該中等電位。
2. 如申請專利範圍第1項所述之資料輸出緩衝器，其中該輸出作動信號及該反相輸出作動信號皆由位址過渡電路產生。

(請先閱讀背面之注意事項再填寫本頁)

裝

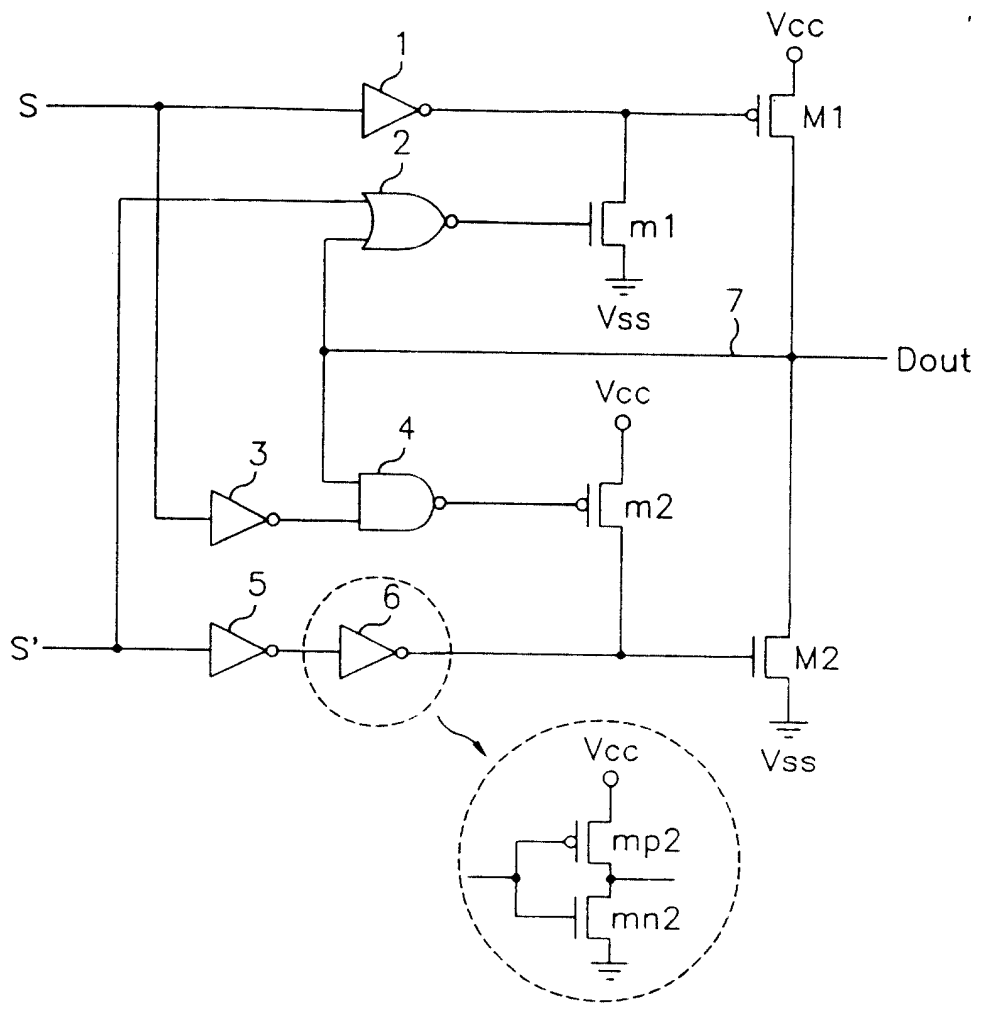
訂

線

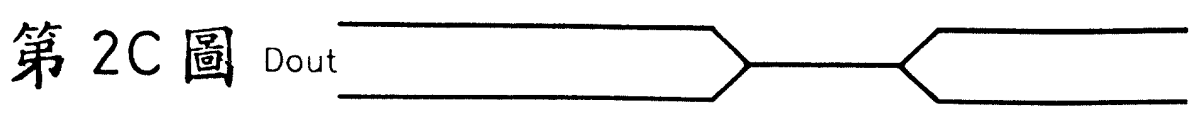
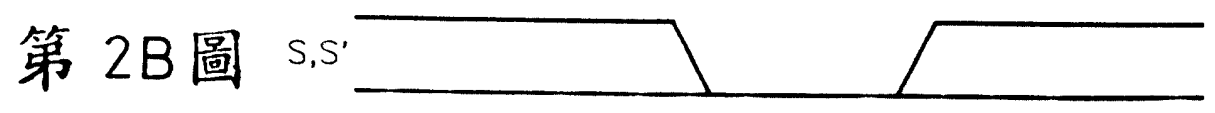
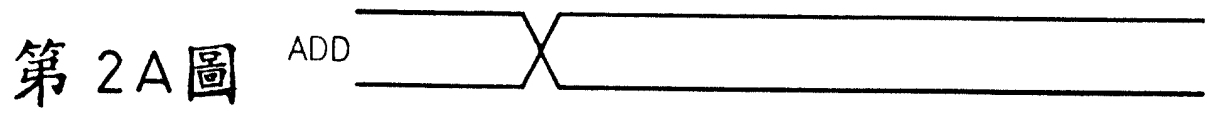
六、申請專利範圍

- 1 3. 如申請專利範圍第 1 項所述之資料輸出緩衝器，其中該中等電位為該供應電壓的一半。
4. 如申請專利範圍第 1 項所述之資料輸出緩衝器，其中該拉上及拉下裝置的作業係依據該輸出作動信號及該反相輸出作動信號而反應的。
- 5 5. 如申請專利範圍第 1 項所述之資料輸出緩衝器，其中該拉上裝置包括：
- 一 第一 MOS 電晶體，其具有一與該第一控制信號相連之閘；
- 10 一 第二 MOS 電晶體，其具有一與該第二控制信號相連之閘；以及
- 該第一 MOS 電晶體的源極 -- 汲極通道，其與該第二 MOS 電晶體的源極 -- 汲極通道相連，該第二 MOS 電晶體介於該供應電壓及該資料輸出之間。
- 15 6. 如申請專利範圍第 1 項所述之資料輸出緩衝器，其中該拉下裝置包括：
- 一 第三 MOS 電晶體，其具有一與該第三控制信號連接之閘；
- 一 第四 MOS 電晶體，其具有一與該第四控制信號連接之閘；以及
- 20 一 該第三 MOS 電晶體之源極 -- 汲極通道，其與介於資料輸出及接地電壓之間的第四 MOS 電晶體之源極 -- 汲極通道串聯。

212863

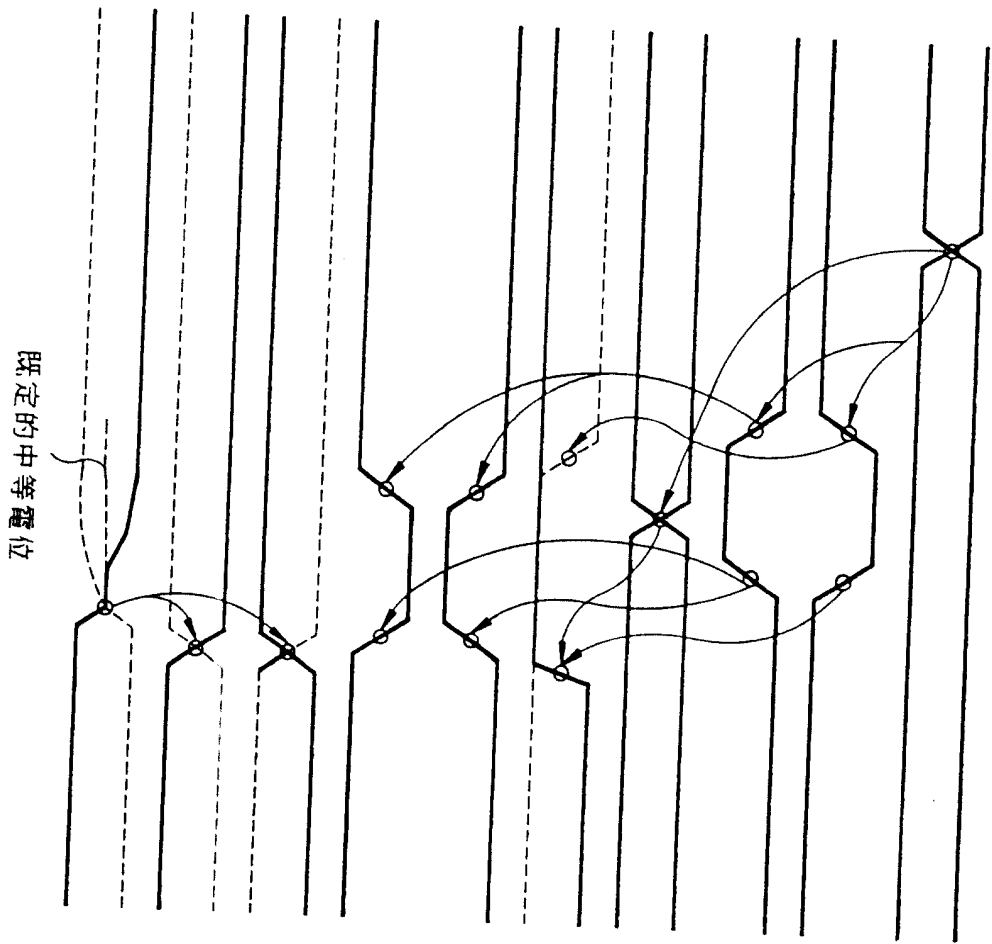


第 1 圖



第4A圖
 第4B圖
 第4C圖
 第4D圖
 第4E圖
 第4F圖
 第4G圖
 第4H圖
 第4I圖
 第4J圖

ADD
 ϕOE
 $\phi \overline{OE}$
 D/\overline{D}
 $N1/N3$
 $N3$
 $N6$
 $N4$
 $N5$
 DOUT



既定的中等電位