

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5395382号  
(P5395382)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年10月25日(2013.10.25)

(51) Int.Cl.

H01L 29/786 (2006.01)

F 1

H01L 29/78 618 E  
H01L 29/78 618 F

請求項の数 3 (全 33 頁)

(21) 出願番号 特願2008-202513 (P2008-202513)  
 (22) 出願日 平成20年8月6日 (2008.8.6)  
 (65) 公開番号 特開2009-60096 (P2009-60096A)  
 (43) 公開日 平成21年3月19日 (2009.3.19)  
 審査請求日 平成23年6月15日 (2011.6.15)  
 (31) 優先権主張番号 特願2007-205694 (P2007-205694)  
 (32) 優先日 平成19年8月7日 (2007.8.7)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 小林 聰  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 黒川 義元  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 河江 大輔  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】トランジスタの作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

基板上にゲート電極を形成し、  
 前記ゲート電極上にゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上に、微結晶半導体を有する第1の半導体層と、非晶質半導体を有する第2の半導体層と、一導電型を付与する不純物が添加された第3の半導体層とを順に積層させて形成し、

前記第3の半導体層上に導電膜を形成し、  
 前記導電膜上にマスクを選択的に形成し、  
 前記マスクを用いて、前記導電膜と前記第3の半導体層をエッチングすることによって  
 、ソース電極及びドレイン電極とソース領域及びドレイン領域とを形成し、  
 前記ソース電極及びドレイン電極の端部を選択的にエッチングすることによって、前記ソース領域及び前記ドレイン領域の端部の表面を露出させ、

前記ソース電極及び前記ドレイン電極をマスクとして、前記ソース領域及び前記ドレイン領域と異なる導電型の不純物元素を導入することによって、前記ソース領域と前記ドレイン領域との間の前記第2の半導体層に不純物領域を形成することを特徴とするトランジスタの作製方法。

## 【請求項 2】

請求項1において、

前記第1の半導体層を前記第2の半導体層より薄く形成することを特徴とするトランジ

10

20

スタの作製方法。

【請求項 3】

請求項 1 または請求項 2 において、  
前記非晶質半導体を n 型で形成し、  
前記不純物元素として p 型の不純物元素を用いることを特徴とするトランジスタの作製  
方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその作製方法に関し、特に画素部に薄膜トランジスタを用いた表 10  
示装置及びその作製方法に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、または多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザビームを光学系により線状に加工して、非晶質半導体膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。  
。

【0004】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて移動度が 2 枠以上高く、表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかし、非晶質半導体膜を用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

【0005】

また、非晶質半導体膜より移動度が高く、作製工程が容易となるスイッチング素子として、微結晶半導体を用いた薄膜トランジスタが用いられている（特許文献 1、特許文献 2 及び特許文献 3 参照。）。

【0006】

微結晶半導体を用いた薄膜トランジスタの作製方法として、ゲート絶縁膜上に非晶質シリコン膜を成膜した後、その上面に金属膜を形成し、当該金属膜にダイオードレーザを照射して、非晶質シリコン膜を微結晶シリコン膜に改質するものが知られている（例えば、非特許文献 1 参照。）。この方法によれば、非晶質シリコン膜上に形成した金属膜は、ダイオードレーザの光エネルギーを熱エネルギーに変換するためのものであり、薄膜トランジスタの完成のためにはその後除去されるべきものであった。すなわち、金属膜からの伝導加熱によってのみ非晶質半導体膜が加熱され、微結晶半導体膜を形成する方法である。

【特許文献 1】特開平 4 - 242724 号公報

【特許文献 2】特開 2005 - 49832 号公報

【特許文献 3】米国特許 5,591,987 号

【非特許文献 1】トシアキ・アライ (Toshiaki Araki) 他、エス・アイ・ディー - '07 ダイジェスト (S I D '07 D I G E S T )、2007、pp. 137 0 - 1373

【発明の開示】

【発明が解決しようとする課題】

【0007】

10

20

30

40

50

微結晶半導体膜の結晶粒の表面は、酸化されやすいという問題がある。このため、チャネル形成領域の結晶粒が酸化されると、結晶粒の表面に酸化膜が形成されてしまい、薄膜トランジスタの電気特性が低下するという問題がある。また、微結晶半導体膜はアモルファスシリコン膜と比較して移動度が高いため、オン電流の増加と共にオフ電流も増加するおそれがある。

#### 【0008】

上述した問題に鑑み、本発明は、トランジスタ及び当該トランジスタを具備する表示装置の電気特性を向上させることを課題の一とする。又は、トランジスタ及び当該トランジスタを具備する表示装置の信頼性を向上させることを課題の一とする。

#### 【課題を解決するための手段】

10

#### 【0009】

本発明の表示装置の一は、ゲート電極と、ゲート電極上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられ微結晶半導体を有する第1の半導体層と、第1の半導体層上に設けられ非晶質半導体を有する第2の半導体層と、第2の半導体層上に設けられたソース領域及びドレイン領域とを有し、第1の半導体層は第2の半導体層より結晶性が高く、第2の半導体層は、ソース領域とドレイン領域の間に、ソース領域及びドレイン領域と異なる導電型の不純物領域を有している。

#### 【0010】

本発明の表示装置の一は、上記構成において、第2の半導体層が、ソース領域とドレイン領域の間に凹部を有する構成とすることができます。

20

#### 【0011】

本発明の表示装置の一は、上記構成において、不純物領域が、ソース領域の端部及びドレイン領域の端部の下方にも形成されている構成とすることができます。

#### 【0012】

本発明の表示装置の一は、上記構成において、第1の半導体層の膜厚が第2の半導体層の膜厚より薄い構成とすることができます。

#### 【0013】

本発明の表示装置の一は、上記構成において、非晶質半導体はn型であり、不純物領域はp型である構成とすることができます。

#### 【0014】

30

本発明の表示装置の一は、上記構成において、微結晶半導体が微結晶シリコンであり、非晶質半導体が非晶質シリコンである構成とすることができます。

#### 【0015】

本発明の表示装置の作製方法の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に、微結晶半導体を有する第1の半導体層と、非晶質半導体を有する第2の半導体層と、一導電型を付与する不純物が添加された第3の半導体層とを順に積層させて形成し、第3の半導体層上に導電膜を形成し、導電膜上にマスクを選択的に形成し、マスクを用いて、導電膜と第3の半導体層をエッチングすることによって、ソース電極及びドレイン電極とソース領域及びドレイン領域を形成し、マスクを用いて、ソース領域及びドレイン領域と異なる導電型の不純物元素を導入することによって、ソース領域とドレイン領域の間の第2の半導体層に不純物領域を形成する。

40

#### 【0016】

本発明の表示装置の作製方法の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に、微結晶半導体を有する第1の半導体層と、非晶質半導体を有する第2の半導体層と、一導電型を付与する不純物が添加された第3の半導体層とを順に積層させて形成し、第3の半導体層上に導電膜を形成し、導電膜上にマスクを選択的に形成し、マスクを用いて、導電膜と第3の半導体層をエッチングすることによって、ソース電極及びドレイン電極とソース領域及びドレイン領域を形成し、ソース電極及びドレイン電極の端部を選択的にエッチングすることによって、ソース領域及びドレイン領域の端部の表面を露出させ、ソース電極及びドレイン電極をマスクとして、ソース領域

50

及びドレイン領域と異なる導電型の不純物元素を導入することによって、ソース領域及びドレイン領域の間の第2の半導体層に不純物領域を形成する。

**【0017】**

本発明の表示装置の作製方法の一は、上記構成において、第1の半導体層を第2の半導体層より薄く形成する。

**【0018】**

本発明の表示装置の作製方法の一は、上記構成において、非晶質半導体をn型で形成し、不純物元素としてp型の不純物元素を用いる。

**【0019】**

また、表示装置としては、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。10

**【0020】**

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

**【発明の効果】**

**【0021】**

本発明により、トランジスタ及び当該トランジスタを具備する表示装置の電気特性を向上させることができる。また、トランジスタ及び当該トランジスタを具備する表示装置の信頼性を向上させることができる。20

**【発明を実施するための最良の形態】**

**【0022】**

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態および詳細を変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

**【0023】**

30

**(実施の形態1)**

本実施の形態では、表示装置に用いられるボトムゲート型の薄膜トランジスタ(TFT)に関して図面を参照して説明する。図1は、画素の一部における薄膜トランジスタと薄膜トランジスタに電気的に接続された画素電極の断面図と上面図であり、図1(A)は、図1(B)におけるA-Bの断面に対応している。

**【0024】**

表示装置を構成する薄膜トランジスタ110は、基板100上に設けられたゲート電極101と、ゲート電極101上にゲート絶縁膜102を介して設けられ微結晶半導体を有する第1の半導体層103と、第1の半導体層103上に設けられ非晶質半導体を有する第2の半導体層104と、第2の半導体層104の一部に設けられた不純物領域109と、第2の半導体層104上に形成されたソース領域105a及びドレイン領域105bと、ソース電極106a及びドレイン電極106bとを有している(図1(A)、(B)参照)。ソース領域105aにはソース電極106aが接して設けられ、ドレイン領域105bにはドレイン電極106bが接して設けられている。また、画素電極108が絶縁膜107を介してドレイン電極106bと電気的に接続されている。40

**【0025】**

また、図1ではチャネルエッチ構造の薄膜トランジスタを示しており、第2の半導体層104においてソース領域105aとドレイン領域105bの間に凹部(窪み)が設けられている。

**【0026】**

50

図1に示す薄膜トランジスタ110において、第1の半導体層103は第2の半導体層104より結晶性が高く、第1の半導体層103は薄膜トランジスタ110のチャネル形成領域として機能し、第2の半導体層104はバッファー層として機能する。バッファー層として機能する第2の半導体層104は、チャネル形成領域として機能する第1の半導体層103の酸化を防止する役割を果たす。なお、結晶性とは、結晶中の原子配列の規則性的度合いを表現するもので、一般的に結晶性が良好である（「結晶性が高い」又は「結晶性が改善されている」ともいう。）半導体層を用いてトランジスタを作製すると、その電気的特性は良好なものとなる。

#### 【0027】

本実施の形態では、第1の半導体層103を微結晶半導体（例えば、微結晶シリコン）で設け、第2の半導体層104を非晶質半導体（例えば、非晶質シリコン）で設ける。微結晶半導体は微結晶で構成されているため、非晶質半導体と比較して抵抗が低い。このため、薄膜トランジスタ110がオン（On）の状態では、キャリアが主に第1の半導体層103を介してソース領域105aからドレイン領域105bに移動する。

10

#### 【0028】

また、バッファー層として機能する第2の半導体層104を設けることにより、第1の半導体層103の酸化を抑制し、薄膜トランジスタ110の電気特性の低下を防止することができる。また、薄膜トランジスタの耐圧を向上させ、寄生容量を低減することができる。バッファー層として機能する第2の半導体層104は真性の半導体で設けてもよいが、ソース領域105a及びドレイン領域105bと同一の導電型を示す非晶質半導体（例えば、非晶質シリコン）で設けてもよい。この場合、薄膜トランジスタ110のオン電流の特性を向上することができる。例えば、薄膜トランジスタ110がnチャネル型である場合には、第2の半導体層104として弱いn型の導電型を示す非晶質半導体で設けることができる。

20

#### 【0029】

不純物領域109は、第2の半導体層104において、少なくともソース領域105aとドレイン領域105bの間に位置する領域に設けられ、ソース領域105a及びドレイン領域105bと異なる導電型の不純物元素が導入されている。従って、薄膜トランジスタ110がnチャネル型である場合には不純物領域109はp型を付与する不純物元素が導入され、薄膜トランジスタ110がpチャネル型である場合には不純物領域109はn型を付与する不純物元素が導入されている。

30

#### 【0030】

不純物領域109を設けることにより、薄膜トランジスタがオフ（Off）の状態におけるオフ電流（リーク電流）を効果的に低減することができる。この理由は以下の通りである。

#### 【0031】

薄膜トランジスタ110がオフの状態では、ソース領域105aとドレイン領域105b間に於いて、ゲート電極101に印加される電位により生じる電界の影響により、キャリアが第2の半導体層104の上面側を通ることでリーク電流が生じる。従って、リーク電流が流れやすい部分にソース領域105a及びドレイン領域105bと異なる導電型の不純物領域109を設け、不純物領域109をキャリアの移動の障害となる領域として機能させることによって、リーク電流を低減することができる。

40

#### 【0032】

従って、不純物領域109は、ソース領域105a及びドレイン領域105bの間に位置する第2の半導体層104の深さ方向において、少なくとも上面側に設けられた構成（図1(A)参照）とすることが好ましい。より好ましくは、第2の半導体層104の深さ方向において全域に不純物領域109が設けられている構成（図10参照）とする。

#### 【0033】

また、第1の半導体層103にソース領域105a及びドレイン領域105bと異なる導電型の不純物元素が含まれた構成であってもよい。第1の半導体層103に不純物元素を

50

導入することによって、薄膜トランジスタ 110 のしきい値を制御することができる。

**【0034】**

なお、薄膜トランジスタ 110 がオンの状態では、ソース領域 105a とドレイン領域 105b 間において、上述したようにキャリアが第 1 の半導体層 103 を介してソース領域 105a からドレイン領域 105b に移動するため、不純物領域 109 はトランジスタのオン電流に及ぼす影響は小さい。このように、ゲート電極側から結晶性の高い第 1 の半導体層と結晶性の低い第 2 の半導体層を積層して形成し、リーク電流の経路となり得る第 2 の半導体層にキャリアの移動の障害となる領域として機能する不純物領域を設け、オン電流を第 1 の半導体層を介して流すことによって薄膜トランジスタの電気特性を向上（オン電流を下げずに、リーク電流の低減）させることができる。

10

**【0035】**

また、図 1 の構成を適用することによって、半導体膜の酸化による薄膜トランジスタの電気特性の低下、薄膜トランジスタの寄生容量の増大、高電圧を印加した際の薄膜トランジスタの劣化を抑制しつつ、チャネル形成領域となる第 1 の半導体層 103 の薄膜化が可能となる。

**【0036】**

通常、ボトムゲート型の薄膜トランジスタにおいて、チャネル形成領域となる半導体膜を薄く形成した場合には、半導体膜の酸化に伴うトランジスタの電気特性の低減、薄膜トランジスタの寄生容量（ゲート電極とソース電極又はドレイン電極間）の増大、高電圧を印加した際の薄膜トランジスタの劣化（耐圧）が問題となる。

20

**【0037】**

しかし、バッファー層として機能する第 2 の半導体層 104 を厚く形成することにより、半導体膜の酸化や寄生容量や耐圧の問題を抑制することができる。一方で、ソース領域 105a とドレイン領域 105b の間に位置する第 2 の半導体層 104 に不純物領域 109 を設けることによって、薄膜トランジスタ 110 のリーク電流を低減することが可能となる。

**【0038】**

チャネル形成領域として機能する第 1 の半導体層 103 を薄く形成し、薄膜トランジスタ 110 を完全空乏型とすることによって、高速動作、低消費電力が可能となる。

**【0039】**

以上のように、チャネル形成領域として機能する第 1 の半導体層 103 上に不純物領域 109 が設けられた第 2 の半導体層 104 をバッファー層として設けることによって、電気特性が高く信頼性の高い薄膜トランジスタを有する表示装置を作製することができる。

30

**【0040】**

なお、本実施の形態では、ソース線（信号線）に電気的に接続される方をソース領域及びソース電極とし、画素電極に接続される方をドレイン領域及びドレイン電極として説明を行っているが、薄膜トランジスタ 110 に印加する電位に応じてソース領域とドレイン領域、ソース電極とドレイン電極が入れ替わる場合がある。

**【0041】**

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

40

**【0042】**

（実施の形態 2）

本実施の形態では、上記実施の形態 1 で示した表示装置に用いられるボトムゲート型の薄膜トランジスタの作製方法に関して図面を参照して説明する。以下の説明では、n チャネル型の薄膜トランジスタについて説明する。

**【0043】**

まず、基板 100 上にゲート電極 101 を形成する（図 2（A）、図 5（A）参照）。

**【0044】**

基板 100 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミ

50

ノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 100 がマザーガラスの場合、基板の大きさは、第 1 世代（例えば、 $320\text{ mm} \times 400\text{ mm}$ ）、第 2 世代（例えば、 $400\text{ mm} \times 500\text{ mm}$ ）<sup>10</sup>、第 3 世代（例えば、 $550\text{ mm} \times 650\text{ mm}$ ）、第 4 世代（例えば、 $680\text{ mm} \times 880\text{ mm}$ 、または  $730\text{ mm} \times 920\text{ mm}$ ）、第 5 世代（例えば、 $1000\text{ mm} \times 1200\text{ mm}$  または  $1100\text{ mm} \times 1300\text{ mm}$ ）、第 6 世代（例えば、 $1500\text{ mm} \times 1800\text{ mm}$ ）、第 7 世代（例えば、 $1900\text{ mm} \times 2200\text{ mm}$ ）、第 8 世代（例えば、 $2160\text{ mm} \times 2460\text{ mm}$ ）、第 9 世代（例えば、 $2400\text{ mm} \times 2800\text{ mm}$ ）、第 10 世代（例えば、 $2850\text{ mm} \times 3050\text{ mm}$ ）等を用いることができる。

#### 【0045】

ゲート電極 101 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属またはその合金を用いて形成する。ゲート電極 101 は、スパッタリング法や真空蒸着法で基板 100 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極 101 を形成することもできる。<sup>20</sup> なお、ゲート電極 101 と基板 100 の密着性向上させるバリアメタルとして、上記金属の窒化物膜を、基板 100 及びゲート電極 101 の間に設けてもよい。ここでは、フォトマスクを用いて形成したレジストマスクを用いて基板 100 上に形成された導電膜をエッチングしてゲート電極 101 を形成する。

#### 【0046】

なお、ゲート電極 101 上には半導体膜や配線を形成するので、段切れ（断線）防止のため端部がテーパー状になるように加工することが望ましい。また、ゲート電極 101 の形成と同時にゲート電極に接続する配線も同時に形成することができる。

#### 【0047】

次に、ゲート電極 101 上に、ゲート絶縁膜 102、微結晶半導体を有する第 1 の半導体層 103、バッファー層として機能する第 2 の半導体層 104、一導電型を付与する不純物が添加された第 3 の半導体層 105 を順に形成する（図 2（B）参照）。<sup>30</sup>

#### 【0048】

ゲート絶縁膜 102、第 1 の半導体層 103、及び第 2 の半導体層 104 は連続的に形成することが好ましい。さらには、ゲート絶縁膜 102、第 1 の半導体層 103、第 2 の半導体層 104、及び一導電型を付与する不純物が添加された第 3 の半導体層 105 を連続的に形成することが好ましい。ゲート絶縁膜 102、第 1 の半導体層 103、及び第 2 の半導体層 104 を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

#### 【0049】

ゲート絶縁膜 102 は、CVD 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜 102 として、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に積層して形成する形態を示す。なお、ゲート絶縁膜を 2 層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に 3 層積層して形成することができる。また、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。更には、周波数が  $1\text{ GHz}$  以上のマイクロ波プラズマ CVD 装置を用いてゲート絶縁膜を形成することが好ましい。マイクロ波プラズマ CVD 装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、後に形成される薄膜トランジスタの信頼性を高めることができる。<sup>40</sup><sup>50</sup>

## 【0050】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものという。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲で含まれるものという。

## 【0051】

第1の半導体層103を構成する微結晶半導体は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5～20nmとして非単結晶半導体中に分散させて存在せしめることが可能である。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す520.6cm<sup>-1</sup>よりも低周波数側に、シフトしている。即ち、481cm<sup>-1</sup>以上520.6cm<sup>-1</sup>以下の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。

## 【0052】

この微結晶半導体は、周波数が数十MHz～数百MHz（好ましくは27～100MHz（代表的には60MHz））の高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD法により形成することができる。代表的には、SiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。なお、水素化珪素の代わりに、SiH<sub>2</sub>Cl<sub>2</sub>、SiHC<sub>1</sub><sub>3</sub>、SiCl<sub>4</sub>、SiF<sub>4</sub>等を用いることができる。

## 【0053】

また、微結晶半導体は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の導電型を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体に対しては、p型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的にはボロンであり、B<sub>2</sub>H<sub>6</sub>、BF<sub>3</sub>などの不純物気体を1ppm～1000ppm、好ましくは1～100ppmの割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16}$ atoms/cm<sup>3</sup>とすると良い。

## 【0054】

また、微結晶半導体の酸素濃度を、 $1 \times 10^{19}$ cm<sup>-3</sup>以下、好ましくは $5 \times 10^{18}$ cm<sup>-3</sup>以下、窒素及び炭素の濃度それぞれを $5 \times 10^{18}$ cm<sup>-3</sup>以下、好ましくは $1 \times 10^{18}$ cm<sup>-3</sup>以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体に混入する濃度を低減することで、微結晶半導体がn型になることを防止することができる。

## 【0055】

第1の半導体層103は、0nmより厚く50nm以下、好ましくは0nmより厚く20nm以下で形成する。第1の半導体層103は、後に形成される薄膜トランジスタのチャネル形成領域として機能する。第1の半導体層103の厚さを上記の範囲内とすることで、後に形成される薄膜トランジスタは、完全空乏型とすることができます。

## 【0056】

また、第1の半導体層103に含まれる微結晶半導体は成膜速度が非晶質半導体の成膜速

10

20

30

40

50

度の 1 / 10 ~ 1 / 100 と遅いため、膜厚を薄くすることでスループットを向上させることができる。

#### 【0057】

また、微結晶半導体は微結晶で構成されているため、非晶質半導体と比較して抵抗が低い。このため、微結晶半導体を用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャネル形成領域に微結晶半導体を用いることで、薄膜トランジスタの閾値の変動を抑制することが可能である。このため、電気特性のばらつきの少ない液晶表示装置を作製することができる。

#### 【0058】

また、微結晶半導体は非晶質半導体と比較して移動度が高い。このため、表示素子のスイッチングとして、チャネル形成量領域が微結晶半導体で形成される薄膜トランジスタを用いることで、チャネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することが可能である。このため、一画素あたりに占める薄膜トランジスタの面積が小さくなり、画素の開口率を高めることができる。この結果、解像度の高い装置を作製することができる。

#### 【0059】

バッファー層として機能する第 2 の半導体層 104 は、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$  などの水素化珪素を用いて、プラズマ CVD 法により形成することができる。また、上記水素化珪素に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体を形成することができる。水素化珪素の流量の 1 倍以上 20 倍以下、好ましくは 1 倍以上 10 倍以下、更に好ましくは 1 倍以上 5 倍以下の流量の水素を用いて、水素を含む非晶質半導体を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体 ( $\text{F}_2$ 、 $\text{Cl}_2$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 、 $\text{HF}$ 、 $\text{HCl}$ 、 $\text{HBr}$ 、 $\text{HI}$  等) を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体を形成することができる。なお、水素化珪素の代わりに、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  等を用いることができる。

#### 【0060】

また、第 2 の半導体層 104 は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体を形成することができる。このとき、アンモニア、窒素、または  $\text{N}_2\text{O}$  を雰囲気中に含ませることにより、窒素を含む非晶質半導体を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体 ( $\text{F}_2$ 、 $\text{Cl}_2$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 、 $\text{HF}$ 、 $\text{HCl}$ 、 $\text{HBr}$ 、 $\text{HI}$  等) を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体を形成することができる。

#### 【0061】

また、第 2 の半導体層 104 として、第 1 の半導体層 103 の表面にプラズマ CVD 法またはスパッタリング法により非晶質半導体を形成した後、非晶質半導体の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理して、非晶質半導体の表面を水素化、窒素化、またはハロゲン化してもよい。または、非晶質半導体の表面を、ヘリウムプラズマ、ネオンプラズマ、アルゴンプラズマ、クリプトンプラズマ等で処理してもよい。

#### 【0062】

第 2 の半導体層 104 は、結晶粒を含まない非晶質半導体で形成することが好ましい。このため、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 法、またはマイクロ波プラズマ CVD 法で形成する場合は、結晶粒を含まない非晶質半導体となるように、成膜条件を制御することが好ましい。また、第 2 の半導体層 104 は、n 型の導電型を示す非晶質半導体（例えば、非晶質シリコン膜）で形成してもよい。

#### 【0063】

第 2 の半導体層 104 は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングされる場合があるが、そのときに、第 2 の半導体層 104 の一部が残存する

10

20

30

40

50

厚さで形成することが好ましい。代表的には、100 nm以上500 nm以下、好ましくは200 nm以上300 nm以下の厚さで形成することが好ましい。薄膜トランジスタに高い電圧（例えば15 V程度）を印加する表示装置、代表的には液晶表示装置において、バッファー層として機能する第2の半導体層104の膜厚を上記範囲に示すように厚く形成すると、耐圧が高くなり、薄膜トランジスタに高い電圧が印加されても、薄膜トランジスタが劣化することを回避することができる。また、第2の半導体層104を厚く形成することにより、ソース領域及びドレイン領域と第1の半導体層103との距離が長くなりオフ電流を低減することができる。第2の半導体層104を上記の膜厚の範囲で形成することにより、第2の半導体層104は第1の半導体層103より厚く形成される。

## 【0064】

10

第1の半導体層103の表面に、非晶質半導体、又は水素、窒素、またはハロゲンを含む非晶質半導体を形成することで、第2の半導体層104に含まれる結晶粒の表面の自然酸化を防止することができる。特に、非晶質半導体と微結晶粒が接する領域では、結晶格子の歪に由来し、亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成される。しかしながら、第1の半導体層103の表面にバッファー層として機能する第2の半導体層104を形成することで、第1の半導体層103に含まれる微結晶粒の酸化を防ぐことができる。また、バッファー層を形成することで、後にソース領域及びドレイン領域を形成する際に発生するエッチング残渣が微結晶半導体に混入することを防ぐことができる。

## 【0065】

20

また、第2の半導体層104は、非晶質半導体を用いて形成し、または、水素、窒素、若しくはハロゲンを含む非晶質半導体で形成する。非晶質半導体のエネルギーギャップは微結晶半導体に比べて大きく（非晶質半導体のエネルギーギャップは1.6~1.8 eV、微結晶半導体のエネルギーギャップは1.1~1.5 eV）、抵抗が高く、移動度が低くなる。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、第1の半導体層103との間に形成される第2の半導体層104は高抵抗領域として機能し、第1の半導体層103を構成する微結晶半導体がチャネル形成領域として機能する。

## 【0066】

30

一導電型を付与する不純物が添加された第3の半導体層105は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素にPH<sub>3</sub>などの不純物気体を加えれば良い。また、pチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素にB<sub>2</sub>H<sub>6</sub>などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された第3の半導体層105は、微結晶半導体、または非晶質半導体で形成することができる。一導電型を付与する不純物が添加された第3の半導体層105は2 nm以上50 nm以下の厚さで形成する。一導電型を付与する不純物が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

## 【0067】

40

ここで、ゲート絶縁膜102から一導電型を付与する不純物が添加された第3の半導体層105を連続成膜することが可能なマイクロ波プラズマCVD装置について、図9を用いて示す。図9はマイクロ波プラズマCVD装置の上断面を示す模式図であり、共通室1120の周りに、ロード室1110、アンロード室1115、反応室(1)~反応室(4)1111~1114を備えた構成となっている。共通室1200と各室の間にはゲートバルブ1122~1127が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。基板1130はロード室1110、アンロード室1115のカセット1128、1129に装填され、共通室1120の搬送手段1121により反応室(1)~反応室(4)1111~1114へ運ばれる。この装置では、堆積膜種ごとに反応室をあてがうことが可能であり、複数の異なる被膜を大気に触れさせることなく連続して形成することができる。

50

## 【0068】

反応室(1)～反応室(4)それぞれにおいて、ゲート絶縁膜102、第1の半導体層103、第2の半導体層104、及び一導電型を付与する不純物が添加された第3の半導体層105を積層形成する。この場合は、原料ガスの切り替えにより異なる種類の膜を連続的に複数積層することができる。この場合、ゲート絶縁膜を形成した後、反応室内にシラン等の水素化珪素を導入し、残留酸素及び水素化珪素を反応させて、反応物を反応室外に排出することで、反応室内的残留酸素濃度を低減させることができる。この結果、微結晶半導体に含まれる酸素の濃度を低減することができる。また、微結晶半導体に含まれる結晶粒の酸化を防止することができる。

## 【0069】

または、反応室(1)及び反応室(3)でゲート絶縁膜102、第1の半導体層103及び第2の半導体層104を形成し、反応室(2)及び反応室(4)で一導電型を付与する不純物が添加された第3の半導体層105を形成する。一導電型を付与する不純物が添加された第3の半導体層105のみ単独で成膜することにより、チャンバに残存する一導電型を付与する不純物が他の膜に混入することを防ぐことができる。

10

## 【0070】

このように、複数のチャンバが接続されたマイクロ波プラズマCVD装置で、同時にゲート絶縁膜102、第1の半導体層103、第2の半導体層104及び一導電型を付与する不純物が添加された第3の半導体層105を成膜することができるため、量産性を高めることができます。また、ある反応室がメンテナンスやクリーニングを行っていても、残りの反応室において成膜処理が可能となり、成膜のタクトを向上させることができます。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができます。

20

## 【0071】

また、反応室(1)でゲート絶縁膜102を形成し、反応室(2)で第1の半導体層103を構成する微結晶半導体及び第2の半導体層104を形成し、反応室(3)で一導電型を付与する不純物が添加された第3の半導体層105を形成することができる。また、ゲート絶縁膜102を酸化珪素膜または窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜の積層構造で形成する場合、反応室を5つ設け、反応室(1)で、酸化珪素膜または酸化窒化珪素膜を形成し、反応室(2)で、窒化珪素膜または窒化酸化珪素膜を形成し、反応室(3)で、第1の半導体層103を構成する微結晶半導体を形成し、反応室(4)で第2の半導体層104を形成し、反応室(5)で、一導電型を付与する不純物が添加された第3の半導体層105を形成してもよい。また、微結晶半導体は成膜速度が遅いため、複数の反応室で微結晶半導体を成膜してもよい。例えば、反応室(1)でゲート絶縁膜102を形成し、反応室(2)及び(3)で第1の半導体層103を構成する微結晶半導体を形成し、反応室(4)で第2の半導体層104を形成し、反応室(5)で一導電型を付与する不純物が添加された第3の半導体層105を形成してもよい。このように、複数の反応室で同時に第1の半導体層103を構成する微結晶半導体を成膜することでスループットを向上させることができる。このとき、各反応室の内壁を成膜する種類の膜でコーティングすることが好ましい。

30

## 【0072】

このような構成のマイクロ波プラズマCVD装置を用いれば、各反応室で種類の類似する膜または一種類の膜を成膜することが可能であり、且つ大気に曝すことなく連続して形成することができるため、前に成膜した膜の残留物や大気に浮遊する不純物元素に汚染されることなく、各積層界面を形成することができる。

40

## 【0073】

なお、図9に示すマイクロ波プラズマCVD装置には、ロード室及びアンロード室が別々に設けられているが、一つとしてもよい。また、マイクロ波プラズマCVD装置に予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することが可能であるため、スループットを向上させることができる。

50

**【 0 0 7 4 】**

以下に、成膜処理について説明する。これらの成膜処理は、その目的に応じて、ガス供給部から供給するガスを選択すれば良い。

**【 0 0 7 5 】**

ここでは、ゲート絶縁膜 102 に、酸化窒化珪素膜と窒化酸化珪素膜を積層して形成する方法を一例としてあげる。

**【 0 0 7 6 】**

はじめに、マイクロ波プラズマ CVD 装置の反応室の処理容器の内部を、フッ素ラジカルでクリーニングする。なお、フッ素ラジカルは、反応室の外側に設けられたプラズマ発生器に、フッ化炭素、フッ化窒素、またはフッ素を導入し、解離し、フッ素ラジカルを反応室に導入することで、反応室内をクリーニングすることができる。10

**【 0 0 7 7 】**

フッ素ラジカルでクリーニングした後、反応室内部に水素を大量に導入することで、反応室内の残留フッ素と水素を反応させて、残留フッ素の濃度を低減することができる。このため、後に反応室の内壁に成膜する保護膜へのフッ素の混入量を減らすことが可能であり、保護膜の厚さを薄くすることが可能である。

**【 0 0 7 8 】**

次に、反応室の処理容器内壁等の表面に保護膜として酸化窒化膜を堆積する。ここでは、処理容器内の圧力を 1 ~ 2 0 0 Pa、好ましくは 1 ~ 1 0 0 Pa とし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上のガスを導入する。さらには、希ガスのいずれか一種及び水素を導入する。特に、プラズマ着火用ガスとしてヘリウム、更にはヘリウムと水素の混合ガスを用いることが好ましい。20

**【 0 0 7 9 】**

ヘリウムのイオン化エネルギーは 24.5 eV と高いエネルギーを持つが、約 20 eV に準安定状態があるので、放電中においては約 4 eV でイオン化が可能である。このため、放電開始電圧が低く、また放電を維持しやすい。よって、プラズマを均一に維持することが可能であると共に、省電力化が可能である。

**【 0 0 8 0 】**

また、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上及び酸素ガスを導入してもよい。希ガスと共に、酸素ガスを処理容器内に導入することで、プラズマの着火を容易とすることができる。30

**【 0 0 8 1 】**

次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力は 500 ~ 600 W、好ましくは 4000 ~ 6000 W としてプラズマを発生させる。次に、ガス管から原料ガスを処理容器内に導入する。具体的には、原料ガスとして、一酸化二窒素、希ガス、及びシランを導入することで、処理容器の内壁、ガス管、誘電体板、及び支持台表面上に保護膜として酸化窒化珪素膜を形成する。このときの水素化珪素の流量を 50 ~ 300 sccm、一酸化二窒素の流量を 500 ~ 6000 sccm とし、保護膜の膜厚を 500 ~ 2000 nm とする。

**【 0 0 8 2 】**

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにした後、処理容器内の支持台上に基板を導入する。40

**【 0 0 8 3 】**

次に、上記保護膜と同様の工程により、基板上にゲート絶縁膜 102 の一部として酸化窒化珪素膜を堆積させる。

**【 0 0 8 4 】**

所定の厚さの酸化窒化珪素膜が堆積されたら、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにする。

**【 0 0 8 5 】**

次に、処理容器内の圧力を 1 ~ 2 0 0 Pa、好ましくは 1 ~ 1 0 0 Pa とし、プラズマ着50

火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上と、原料ガスであるシラン、一酸化二窒素、及びアンモニアを導入する。なお、原料ガスとして、アンモニアの代わりに窒素を導入しても良い。次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力は 500 ~ 6000 W、好ましくは 4000 ~ 6000 W としてプラズマを発生させる。次に、ガス管から原料ガスを処理容器内に導入し、基板の酸化窒化珪素膜上にゲート絶縁膜 102 の一部として窒化酸化珪素膜を形成する。次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにして、成膜プロセスを終了する。

## 【0086】

以上の工程により、反応室内壁の保護膜を酸化窒化珪素膜とし、基板上に酸化窒化珪素膜及び窒化酸化珪素膜を連続的に成膜することで、上層側の窒化酸化珪素膜中に酸化珪素等の不純物の混入を低減することができる。電源装置としてマイクロ波を発生させることができた電源装置を用いたマイクロ波プラズマ CVD 法により上記膜を形成することで、プラズマ密度が高くなり耐圧の高い膜を形成することができ、当該膜をゲート絶縁膜として用いると、トランジスタの閾値のばらつきを低減することができる。また、BT 特性を向上させることができる。また、静電気に対する耐性が高まり、高い電圧が印加されても破壊しにくいトランジスタを作製することができる。また、経時破壊の少ないトランジスタを作製することができる。

## 【0087】

また、ゲート絶縁膜としてマイクロ波プラズマ CVD 装置により形成した酸化窒化珪素膜が単層の場合、上記保護膜の形成方法及び酸化窒化珪素膜の形成方法を用いる。特に、シランに対する一酸化二窒素の流量比を 100 倍以上 300 倍以下、好ましくは 150 倍以上 250 倍以下とすると、耐圧の高い酸化窒化珪素膜を形成することができる。

## 【0088】

次に、マイクロ波プラズマ CVD 法による微結晶半導体及びバッファー層として非晶質半導体を連続的に成膜する成膜処理方法について示す。まず、上記ゲート絶縁膜と同様により、反応室内をクリーニングする。次に、処理容器内に保護膜として珪素膜を堆積する。ここでは、処理容器内の圧力を 1 ~ 200 Pa、好ましくは 1 ~ 100 Pa とし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上を導入する。なお、希ガスと共に水素を導入してもよい。

## 【0089】

次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力を 500 ~ 600 W、好ましくは 4000 ~ 6000 W としてプラズマを発生させる。次に、ガス管から原料ガスを処理容器内に導入する。原料ガスとして、具体的には、水素化珪素ガス、及び水素ガスを導入することで、処理容器の内壁、ガス管、誘電体板、及び支持台表面上に保護膜として微結晶珪素膜を形成する。また、水素化珪素ガス及び水素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体を形成することができる。これらのときの水素化珪素に対して水素の流量比を 5 倍以上 200 倍以下、好ましくは 50 倍以上 150 倍以下、更に好ましくは 100 倍とする。また、このときの保護膜の膜厚を 500 ~ 2000 nm とする。なお、マイクロ波発生装置の電源をオンにする前に、処理容器内に上記希ガスの他、水素化珪素ガス及び水素ガスを導入してもよい。また、微結晶半導体の形成を 100 ~ 200 (代表的には 150 ) で行うことが好ましい。

## 【0090】

また、水素化珪素ガス、及び水素化珪素ガスを、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して、保護膜として非晶質半導体を形成することができる。

## 【0091】

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源

10

20

30

40

50

をオフにした後、処理容器内の支持台上に基板を導入する。

【0092】

次に、基板上に形成されるゲート絶縁膜102の表面を水素プラズマ処理する。第1の半導体層103を構成する微結晶半導体を形成する前に水素プラズマ処理することにより、ゲート絶縁膜102及び微結晶半導体の界面における格子歪を低減することが可能であり、ゲート絶縁膜102及び微結晶半導体の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

【0093】

また、上記水素プラズマ処理において、処理容器内に形成された保護膜である非晶質半導体または微結晶半導体をも水素プラズマ処理することにより、保護膜がエッチングされてゲート絶縁膜102の表面に微少量の半導体が堆積する。当該半導体が結晶成長の核となり、当該核によって、微結晶半導体が堆積する。この結果、ゲート絶縁膜102及び微結晶半導体の界面における格子歪を低減することが可能であり、ゲート絶縁膜102及び微結晶半導体の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

10

【0094】

次に、上記保護膜と同様の工程により、第1の半導体層103として微結晶珪素膜を堆積させる。微結晶半導体の膜厚を0nmより厚く50nm以下、好ましくは0nmより厚く20nm以下とする。

【0095】

所定の厚さの微結晶珪素膜が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにして、微結晶半導体成膜プロセスを終了する。

20

【0096】

次に、処理容器内の圧力を下げ、原料ガスの流量を調整する。具体的には、水素ガスの流量を微結晶半導体の成膜条件より大幅に低減する。代表的には、水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素ガスを導入する。または、水素ガスを処理容器内に導入せず、水素化珪素ガスを導入する。このように水素化珪素に対する水素の流量を低減することにより、第2の半導体層104として非晶質半導体の成膜速度を向上させることができる。または、水素化珪素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈する。次に、マイクロ波発生装置の電源をオンにし、マイクロ波発生装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマを発生させて、非晶質半導体を形成することができる。非晶質半導体の成膜速度は微結晶半導体に比べて高いため、処理容器内の圧力を低く設定することができる。このときの非晶質半導体の膜厚を100～400nmとする。

30

【0097】

所定の厚さの非晶質半導体が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、マイクロ波発生装置の電源をオフにして、非晶質半導体の成膜プロセスを終了する。

40

【0098】

なお、第1の半導体層103を構成する微結晶半導体及び第2の半導体層104を構成する非晶質半導体をプラズマの着火したまま形成してもよい。具体的には微結晶半導体を形成する原料ガスである水素化珪素に対する水素の流量比を徐々に低減させて微結晶半導体及び非晶質半導体を積層する。このような手法により微結晶半導体及び非晶質半導体の界面に不純物が堆積せず、歪の少ない界面を形成することができる、後に形成される薄膜トランジスタの電気特性を向上させることができる。

【0099】

周波数が1GHz以上のマイクロ波プラズマCVD装置で発生されたプラズマは、電子密度が高く、原料ガスから多くのラジカルが形成され、基板1130へ供給されるため、基

50

板でのラジカルの表面反応が促進され、微結晶シリコンの成膜速度を高めることができる。更に、複数のマイクロ波発生装置、及び複数の誘電体板で構成されるマイクロ波プラズマCVD装置は、安定した大面積のプラズマを生成することができる。このため、大面積基板上においても、膜質の均一性を高めた膜を成膜することが可能であると共に、量産性を高めることができる。

#### 【0100】

また、同じ処理容器で微結晶半導体及び非晶質半導体を連続的に成膜することで、歪の少ない界面を形成することが可能である。

#### 【0101】

なお、ゲート絶縁膜及び半導体膜それぞれの作製工程において、反応室の内壁に500～2000nmの保護膜が形成されている場合は、上記クリーニング処理及び保護膜形成処理を省くことができる。

10

#### 【0102】

次に、一導電型を付与する不純物が添加された第3の半導体層105上にマスク121を形成し、当該マスク121を用いて第1の半導体層103、第2の半導体層104及び一導電型を付与する不純物が添加された第3の半導体層105をエッティングして分離する(図2(C)参照)。この後、マスク121を除去する(図5(B)参照)。

#### 【0103】

マスク121は、フォトリソグラフィ技術又はインクジェット法により形成する。

#### 【0104】

次に、エッティングにより残存した第3の半導体層105及びゲート絶縁膜102上に導電膜106を形成し、当該導電膜106上にマスク122を形成する(図2(D)参照)。

20

#### 【0105】

導電膜106は、アルミニウム、銅、又はシリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、第3の半導体層105と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。例えば、導電膜106として、モリブデン膜とアルミニウム膜とモリブデン膜を順に3層積層した構造とすることができる。また、導電膜106として、チタン膜とアルミニウム膜とチタン膜を順に3層積層した構造とすることができる。

30

#### 【0106】

導電膜106は、スパッタリング法や真空蒸着法で形成する。また、導電膜106は、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法等を用いて吐出し焼成して形成しても良い。

#### 【0107】

マスク122は、マスク121と同様に形成することができる。

#### 【0108】

なお、本実施の形態では、図2(C)において、第1の半導体層103、第2の半導体層104及び第3の半導体層105をパターニングした後に導電膜106を形成する場合を示しているが、図2(C)の工程を省略し、第1の半導体層103、第2の半導体層104、第3の半導体層105及び導電膜106を連続して順に積層させた後にマスク122を形成してもよい。この場合、マスク121を形成しなくてよいため、工程を簡略化することができる。

40

#### 【0109】

次に、マスク122を用いて導電膜106をエッティングして分離することにより、ソース電極106a及びドレイン電極106bを形成する(図3(A)、図5(C)参照)。

#### 【0110】

50

次に、マスク 122 を用いて一導電型を付与する不純物が添加された第 3 の半導体層 105 及びバッファー層として機能する第 2 の半導体層 104 をエッチングして、ソース領域 105a 及びドレイン領域 105b を形成する（図 3（B）、図 6（A）参照）。なお、バッファー層として機能する第 2 の半導体層 104 は一部のみがエッチングされたものであり、第 1 の半導体層 103 の表面を覆っている。ここでは、ソース領域 105a とドレイン領域 105b の間に位置する第 2 の半導体層 104 の表面に凹部が形成される。また、このとき、ソース領域 105a 及びドレイン領域 105b の端部とソース電極 106a 及びドレイン電極 106b の端部はほぼ一致している。

## 【0111】

次に、マスク 122 を用いて、第 2 の半導体層 104 に不純物元素を導入し、第 2 の半導体層 104 に不純物領域 109 を形成する（図 3（C）、図 6（B）参照）。 10

## 【0112】

導入する不純物元素は、ソース領域 105a 及びドレイン領域 105b と異なる導電型の不純物元素を用いる。ここでは、p 型の不純物元素を導入する。p 型の不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、ボロン（B）を  $1 \times 10^{16} \sim 1 \times 10^{20} / \text{cm}^3$  の濃度で含まれるように第 2 の半導体層 104 に導入し、p 型を示す不純物領域 109 を形成する。

## 【0113】

また、不純物元素は少なくとも第 2 の半導体層 104 の上面側に導入すればよく、好ましくは第 2 の半導体層 104 の深さ方向において全面に導入する。なお、不純物元素を第 2 の半導体層 104 の下方の第 1 の半導体層 103 に導入することにより、薄膜トランジスタのしきい値を制御してもよい。 20

## 【0114】

次に、ソース電極 106a 及びドレイン電極 106b の一部をエッチングする（図 4（A）参照）。

## 【0115】

ここでは、マスク 122 を用いて、ウエットエッチングすると、ソース電極 106a 及びドレイン電極 106b の端部が選択的にエッチングされる。その結果、ソース電極 106a 及びドレイン電極 106b の端部と、ソース領域 105a 及びドレイン領域 105b の端部はそれぞれ一致せずずれており、ソース電極 106a 及びドレイン電極 106b の端部の外側に、ソース領域 105a 及びドレイン領域 105b の端部が形成される。 30

## 【0116】

この後、マスク 122 を除去する（図 7（A）参照）。また、ソース電極 106a 又はドレイン電極 106b は、それぞれソース配線またはドレイン配線としても機能する。

## 【0117】

ソース領域 105a とソース電極 106a の端部、ドレイン領域 105b とドレイン電極 106b の端部がそれぞれ一致せずずれた形状となることで、ソース電極 106a とドレイン電極 106b との端部の距離が離れるため、ソース電極 106a とドレイン電極 106b 間のリーク電流やショートを防止することができる。また、ソース領域 105a とソース電極 106a の端部、ドレイン領域 105b とドレイン電極 106b の端部がそれぞれ一致せずずれた形状となることで、ソース電極 106a 及びドレイン電極 106b、ソース領域 105a 及びドレイン領域 105b の端部に電界が集中せず、ゲート電極 101 と、ソース電極 106a 及びドレイン電極 106b との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。 40

## 【0118】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 110 を形成することができる。

## 【0119】

本実施の形態で示す薄膜トランジスタは、第 2 の半導体層 104 の一部には凹部（溝）が 50

形成されており、当該凹部以外の領域がソース領域 105a 及びドレイン領域 105b で覆われる。即ち、第2の半導体層 104 に形成される凹部 123 により、ソース領域 105a 及びドレイン領域 105b のリーク電流が大きくなるため、ソース領域 105a 及びドレイン領域 105b の間でのリーク電流を低減することができる。また、第2の半導体層 104 の一部をエッティングすることにより凹部 123 を形成するため、ソース領域 105a 及びドレイン領域 105b の形成工程において発生するエッティング残渣を除去することができるため、残渣によるソース領域 105a 及びドレイン領域 105b にリーク電流(寄生チャネル)が発生することを回避することができる。

#### 【0120】

また、チャネル形成領域として機能する微結晶半導体とソース領域 105a 及びドレイン領域 105bとの間に、バッファー層が形成されている。また、微結晶半導体の表面がバッファー層で覆われている。高抵抗で形成されたバッファー層は、微結晶半導体と、ソース領域 105a 及びドレイン領域 105bとの間にも形成されているため、薄膜トランジスタにリーク電流が発生することを低減することができると共に、高い電圧の印加による劣化を低減することができる。また、微結晶半導体の表面に水素で表面が終端された非晶質半導体がバッファー層として形成されているため、微結晶半導体の酸化を防止することができると共に、ソース領域 105a 及びドレイン領域 105b の形成工程に発生するエッティング残渣が微結晶半導体に混入することを防ぐことができる。

#### 【0121】

また、ソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。

#### 【0122】

また、上述した説明では、第2の半導体層 104 の一部に凹部 123 を形成した後に不純物元素を導入して不純物領域 109 を形成する例を示したが、不純物元素を導入するタイミングはこれに限定されない。例えば、導電膜 106 を分離しソース電極 106a 及びドレイン電極 106b を形成した後(図3(A))に、マスク 122 を用いて第3の半導体層 105 を介して不純物元素の導入を行ってもよい。

#### 【0123】

または、ソース電極 106a 及びドレイン電極 106b の一部をエッティングした後(図4(A))に、マスク 122 を用いて不純物元素の導入を行ってもよい。

#### 【0124】

または、ソース電極 106a 及びドレイン電極 106b の一部をエッティングし(図4(A))、マスク 122 を除去した後に、ソース電極 106a 及びドレイン電極 106b をマスクとして不純物元素の導入を行ってもよい(図8(A)参照)。この場合、ソース領域 105a 及びドレイン領域 105b の端部の下方に位置する第2の半導体層 104 にも不純物領域 109 を形成することができる(図8(B)参照)。

#### 【0125】

次に、ソース電極 106a 及びドレイン電極 106b、ソース領域 105a 及びドレイン領域 105b、第2の半導体層 104 及びゲート絶縁膜 102 等の上に絶縁膜 107 を形成する(図4(B)参照)。絶縁膜 107 は、ゲート絶縁膜 102 と同様に形成することができる。なお、絶縁膜 107 は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。

#### 【0126】

次に、絶縁膜 107 にコンタクトホールを形成し、当該コンタクトホールにおいてドレイン電極 106b に接する画素電極 108 を形成する(図4(C)、図7(B)参照)。

#### 【0127】

画素電極 108 は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸

10

20

30

40

50

化珪素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

#### 【0128】

また、画素電極108として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 /以下、波長550nmにおける透光率が70%以上であることが好ましい。シート抵抗は、より低いことが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。

#### 【0129】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

#### 【0130】

以上の工程により、薄膜トランジスタ110を画素部に有する表示装置を形成することができる。

#### 【0131】

本実施の形態で示した薄膜トランジスタ110は、作製工程数が少なく、コスト削減が可能である。また、チャネル形成領域として機能する第1の半導体層103を微結晶半導体で構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、本実施の形態では、薄膜トランジスタ110を画素部の画素のスイッチング用素子として適用する例を示したが、これに限られず走査線（ゲート線）側の駆動回路等を形成する素子として利用することができる。

#### 【0132】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

#### 【0133】

##### (実施の形態3)

本実施の形態では、上記実施の形態と異なる薄膜トランジスタを有する表示装置に関して図18を参照して説明する。

#### 【0134】

本実施の形態で示す薄膜トランジスタ110は、上記図1で示した構成において、第2の半導体層104とソース領域105a間に設けられた低濃度の不純物元素を含む半導体層140aと、第2の半導体層104とドレイン領域105b間に設けられた低濃度の不純物元素を含む半導体層140bを有している（図18参照）。半導体層140a、140bを設けることによって、第2の半導体層104とソース領域105a間又は第2の半導体層104とドレイン領域105b間における電界集中を緩和することができる。

#### 【0135】

図18において、薄膜トランジスタがnチャネル型である場合には、第2の半導体層104をi層で設け、LDD領域として機能しうる半導体層140a、140bをソース領域105a及びドレイン領域105bより弱いn型の導電型を示す非晶質半導体（例えば、非晶質半導体膜）で設ければよい。また、薄膜トランジスタがpチャネル型である場合には、第2の半導体層104をi層で設け、LDD領域として機能しうる半導体層140a、140bをソース領域105a及びドレイン領域105bより弱いp型の導電型を示す非晶質半導体（例えば、非晶質半導体膜）で設ければよい。

#### 【0136】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

#### 【0137】

##### (実施の形態4)

本実施の形態では、上記実施の形態と異なる薄膜トランジスタを有する表示装置に関して

10

20

30

40

50

図面を参照して説明する。具体的には、上記実施の形態では、チャネルエッチ型の薄膜トランジスタを示したが、保護層 160 を設けた構成（チャネル保護型）としてもよい（図 15 参照）。

#### 【0138】

図 15 に示す構造では、保護層 160 の下方に不純物領域 109 が形成される。上記実施の形態 1 で示したように、チャネル形成領域として機能する第 1 の半導体層 103 上に不純物領域 109 が設けられた第 2 の半導体層 104 をバッファー層として設けることによつて、電気特性が高く、信頼性の高い薄膜トランジスタを有する表示装置を作製することができる。

#### 【0139】

次に、図 15 に示したチャネル保護型の薄膜トランジスタの作製方法に関して図面を参照して簡単に説明する。

#### 【0140】

まず、基板 100 上にゲート電極 101 を形成した後、ゲート電極 101 上にゲート絶縁膜 102、微結晶半導体を有する第 1 の半導体層 103、非晶質半導体を有する第 2 の半導体層 104 を積層して形成する。続いて、第 2 の半導体層 104 上に保護層 160 を選択的に形成する（図 16（A）参照）。

#### 【0141】

保護層 160 は、無機材料（酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることができる。感光性または非感光性の有機材料（有機樹脂材料）（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど）、もしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シリコサンを用いてもよい。作製法としては、プラズマ CVD 法や熱 CVD 法などの気相成長法やスパッタリング法を用いることができる。また、湿式法である、スピンドル法などの塗布法、液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷などパターンが形成される方法）を用いることもできる。保護層 160 は成膜後にエッチングにより形状を加工して形成してもよいし、液滴吐出法などによって選択的に形成してもよい。

#### 【0142】

次に、保護層 160 及び第 2 の半導体層 104 上にマスク 121 を形成し、当該マスク 121 を用いて第 1 の半導体層 103、第 2 の半導体層 104 をエッチングして分離する（図 16（B）参照）。この後、マスク 121 を除去する。

#### 【0143】

次に、ゲート絶縁膜 102、第 2 の半導体層 104、保護層 160 上に一導電型を付与する不純物が添加された第 3 の半導体層 105 及び導電膜 106 を順に積層して形成する（図 16（C）参照）。

#### 【0144】

次に、導電膜 106 上にマスク 122 を形成し、当該マスク 122 を用いて第 3 の半導体層 105 及び導電膜 106 をエッチングして分離することにより、ソース領域 105a 及びドレイン領域 105b、ソース電極 106a 及びドレイン電極 106b を形成する（図 17（A）参照）。このとき、保護層 160 の存在により第 2 の半導体層 104 はエッチングされない。

#### 【0145】

次に、マスク 122 を用いて、第 2 の半導体層 104 に不純物元素を導入し、第 2 の半導体層 104 に不純物領域 109 を形成する（図 17（B）参照）。ここでは、不純物元素を、保護層 160 を介して第 2 の半導体層 104 に導入する。

#### 【0146】

その後、上記図 4（A）～図 4（C）で説明した工程を経て、チャネル保護型の薄膜トランジスタを具備する表示装置を形成することができる（図 17（C）参照）。

#### 【0147】

なお、本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可

10

20

30

40

50

能である。

【0148】

(実施の形態5)

本実施の形態では、上記実施の形態で示した薄膜トランジスタを有する表示装置の一形態として液晶表示パネルに関して図11を参照して説明する。図11(A)は、第1の基板4001上に形成された薄膜トランジスタ4010及び液晶素子4013を第2の基板4006との間にシール材4005によって封止したパネルの上面図であり、図11(B)は、図11(A)のC-Dにおける断面を示している。

【0149】

本実施の形態で示す液晶表示パネルは、第1の基板4001上に設けられた画素部4002と走査線駆動回路4004を囲むようにして、シール材4005が設けられている。また、画素部4002と走査線駆動回路4004の上に第2の基板4006が設けられている。そのため、画素部4002と走査線駆動回路4004は、第1の基板4001とシール材4005と第2の基板4006によって、液晶4008と共に封止されている。

【0150】

また、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、多結晶半導体膜で形成された薄膜トランジスタ4009を具備する信号線駆動回路4003が実装されている。なお、本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタ4009を有する信号線駆動回路4003を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路4003を形成し、貼り合わせるようにも良い。

【0151】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図11(B)では、画素部4002に含まれる薄膜トランジスタ4010を例示している。薄膜トランジスタ4010は、上記実施の形態1、2で示した薄膜トランジスタに相当する。また、走査線駆動回路4004を構成するトランジスタを薄膜トランジスタ4010と同様の構成で設けることができる。

【0152】

また、画素電極4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013を構成する対向電極4031は、第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶4008とが重なっている部分が、液晶素子4013に相当する。

【0153】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエスチルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエスチルフィルムで挟んだ構造のシートを用いることもできる。

【0154】

また、球状のスペーサ4035は、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお、球状のスペーサ4035の代わりに絶縁膜を選択的にエッチングすることで得られるスペーサを用いていても良い。

【0155】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、引き回し配線4014、4015を介して、FPC4018から供給されている。

【0156】

本実施の形態では、接続端子4016が、画素電極4030と同じ導電膜により形成されている。また、引き回し配線4014、4015は、薄膜トランジスタ4010のソース

10

20

30

40

50

電極及びドレイン電極と同じ導電膜で形成されている。

【0157】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0158】

なお、図示していないが、本実施の形態に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

【0159】

また、図11では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。10

【0160】

本実施の形態で説明した液晶表示装置は、TN(Twisted Nematic)型、VA(Vertical Alignment)型又は横電界方式の液晶表示装置とすることができる。

【0161】

VA型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA方式は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメインあるいはマルチドメイン設計とい20う。

【0162】

横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約180度にまで広げることができる。

【0163】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

【0164】

(実施の形態6)30  
本実施の形態では、上記実施の形態で示した薄膜トランジスタを有する発光装置の一形態として発光表示パネルに関して図12を参照して説明する。図12(A)は、第1の基板4001上に形成された薄膜トランジスタ4010及び発光素子4011を第2の基板4006との間にシール材4005によって封止したパネルの上面図であり、図12(B)は、図12(A)のE-Fにおける断面を示している。

【0165】

本実施の形態では、エレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ば40れている。

【0166】

本実施の形態で示す発光表示パネルは、第1の基板4001上に設けられた画素部4002と走査線駆動回路4004を囲むようにして、シール材4005が設けられている。また、画素部4002と走査線駆動回路4004の上に第2の基板4006が設けられている。そのため、画素部4002と走査線駆動回路4004と、第1の基板4001とシール材4005と第2の基板4006によって、充填材4007と共に密封されている。

【0167】

また、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、多結晶半導体膜で形成された薄膜トランジスタ4009を具備する信号線駆動回路50

4003が実装されている。なお、本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタ4009を有する信号線駆動回路4003を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。

**【0168】**

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図12(B)では、画素部4002に含まれる薄膜トランジスタ4010を例示している。薄膜トランジスタ4010は、上記実施の形態1、2で示した薄膜トランジスタに相当する。また、走査線駆動回路4004を構成するトランジスタを薄膜トランジスタ4010と同様の構成で設けることができる。

10

**【0169】**

発光素子4011を構成する画素電極4017は、薄膜トランジスタ4010のソース電極またはドレイン電極と電気的に接続されている。発光素子4011の構成は、発光素子4011から取り出す光の方向や、薄膜トランジスタ4010の極性などに合わせて、適宜変えることができる。なお、発光素子4011は画素電極4017、EL層、透明導電膜4012で構成される。

**【0170】**

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、図12(B)に示す断面図では図示されていないが、引き回し配線4014及び4015を介して、FPC4018から供給されている。

20

**【0171】**

本実施の形態では、接続端子4016が、発光素子4011を構成する画素電極4017と同じ導電膜から形成されている。また、引き回し配線4014、4015は、薄膜トランジスタ4010のソース電極及びドレイン電極と同じ導電膜から形成されている。

**【0172】**

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

**【0173】**

発光素子4011からの光の取り出し方向に位置する基板は、透光性を有する材料で設ける。本実施の形態では、第2の基板4006側から光を取り出すため、第2の基板4006は、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料で形成する。

30

**【0174】**

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。

**【0175】**

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(橙円偏光板を含む)、位相差板(1/4板、1/2板)、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

40

**【0176】**

なお、図12では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

**【0177】**

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能であ

50

る。

### 【0178】

#### (実施の形態7)

本発明により得られる表示装置等は、アクティブマトリクス型表示装置モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

### 【0179】

その様な電子機器としては、ビデオカメラ、デジタルカメラ等へのカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図13に示す。

10

### 【0180】

図13(A)はテレビジョン装置である。表示モジュールを、図13(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

### 【0181】

図13(A)に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般的なテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることができる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

20

### 【0182】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れた発光表示パネルで形成し、サブ画面2008を低消費電力で表示可能な液晶表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示パネルで形成し、サブ画面2008を発光表示パネルで形成し、サブ画面2008は点滅可能とする構成としても良い。

30

### 【0183】

図14はテレビ装置の主要な構成を示すブロック図を示している。表示パネルには、画素部921が形成されている。信号線駆動回路922と走査線駆動回路923は、表示パネルにCOG方式により実装されていても良い。

### 【0184】

その他の外部回路の構成として、映像信号の入力側では、チューナ924で受信した信号のうち、映像信号を增幅する映像信号增幅回路925と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路926と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路927などを有している。コントロール回路927は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路928を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

40

### 【0185】

チューナ924で受信した信号のうち、音声信号は、音声信号增幅回路929に送られ、その出力は音声信号処理回路930を経てスピーカー933に供給される。制御回路931は受信局（受信周波数）や音量の制御情報を入力部932から受け、チューナ924や音声信号処理回路930に信号を送出する。

### 【0186】

50

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

#### 【0187】

図13(B)は携帯電話機2301の一例を示している。この携帯電話機2301は、表示部2302、操作部2303などを含んで構成されている。表示部2302においては、上記実施の形態で説明した表示装置を適用することで、量産性を高めることができる。

#### 【0188】

また、図13(C)に示す携帯型のコンピュータは、本体2401、表示部2402等を含んでいる。表示部2402に、上記実施の形態に示す表示装置を適用することにより、量産性を高めることができる。10

#### 【0189】

図13(D)は卓上照明器具であり、照明部2501、傘2502、可変アーム2503、支柱2504、台2505、電源2506を含む。本発明の発光装置を照明部2501に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態に示す表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。

#### 【実施例1】

#### 【0190】

本実施例では、上記実施の形態1で示した薄膜トランジスタと比較例の薄膜トランジスタの電流-電圧特性を比較する計算を行った結果を説明する。20

#### 【0191】

上記実施の形態1で示した薄膜トランジスタの構造のモデル図(本実施例)を図19(A)に示し、比較例の薄膜トランジスタの構造のモデル図(比較例)を図19(B)に示す。

#### 【0192】

図19に示す構造は、基板900上に形成された、膜厚150nmのモリブデン膜から構成されるゲート電極901と、膜厚300nmの窒化珪素膜から構成されるゲート絶縁膜902と、膜厚10nmの微結晶シリコン膜から構成される第1の半導体層903と、膜厚150nmのアモルファスシリコン膜から構成される第2の半導体層904と、不純物が導入されたアモルファスシリコン膜から構成されるソース領域905a及びドレイン領域905bと、ソース電極906a及びドレイン電極906bとを有する。また、第2の半導体層904は、ソース領域905aとドレイン領域905b間に窪みを形成し、当該窪みにおける第2の半導体層904の膜厚が100nmとなっている。30

#### 【0193】

また、図19(A)において、第2の半導体層904は、ソース領域905aとドレイン領域905b間に不純物領域907を有している。つまり、図19(A)は図19(B)の構造に不純物領域907が追加された構造となっている。

#### 【0194】

また、ここでは、不純物領域907の幅(ソース-ドレインに平行な方向の長さ)を10μmとし、不純物領域907の深さ方向の幅(第2の半導体層904の上面から不純物領域907が形成される深さ(dt))を複数設定(30nm、50nm、70nm、90nm)して計算を行った。また、不純物領域907には、 $5 \times 10^{17} / \text{cm}^3$ の濃度のボロンが含まれるものとした。40

#### 【0195】

本実施例では、上記図19の構造について、silvaco社製のシミュレーションソフト「atlas」を用いてそれぞれ計算を行った。

#### 【0196】

第2の半導体層904を構成するアモルファスシリコン膜のパラメータを以下に示す数値に設定した。50

## 【0197】

アクセプタタイプ欠陥準位（テール状分布）の伝導帯端における状態密度（ $n_{ta} = 3.0 \times 10^{21} [\text{cm}^3 \text{eV}]$ ）、ドナータイプ欠陥準位（テール状分布）の価電子帯端における状態密度（ $n_{td} = 4.0 \times 10^{20} [\text{cm}^3 \text{eV}]$ ）、アクセプタタイプ欠陥準位（テール状分布）状態密度の減衰係数（ $w_{ta} = 0.025 [\text{eV}]$ ）、ドナータイプ欠陥準位（テール状分布）状態密度の減衰係数（ $w_{td} = 0.05 [\text{eV}]$ ）、アクセプタタイプ欠陥準位（バンプ状分布）のピーク位置における状態密度（ $n_{ga} = 5.0 \times 10^{17} [\text{cm}^3 \text{eV}]$ ）、ドナータイプ欠陥準位（バンプ状分布）のピーク位置における状態密度（ $n_{gd} = 5.0 \times 10^{17} [\text{cm}^3 \text{eV}]$ ）、アクセプタタイプ欠陥準位（バンプ状分布）のピーク位置（ $e_{ga} = 0.28 [\text{eV}]$ ）、ドナータイプ欠陥準位（バンプ状分布）のピーク位置（ $e_{gd} = 0.79 [\text{eV}]$ ）、アクセプタタイプ欠陥準位（バンプ状分布）状態密度の減衰係数（ $w_{ga} = 0.1 [\text{eV}]$ ）、ドナータイプ欠陥準位（バンプ状分布）状態密度の減衰係数（ $w_{gd} = 0.2 [\text{eV}]$ ）、アクセプタ準位の裾野における電子の捕獲断面積（ $\text{sigtae} = 3.0 \times 10^{-15} \text{cm}^2$ ）、アクセプタ準位の裾野におけるホールの捕獲断面積（ $\text{sigtah} = 3.0 \times 10^{-13} \text{cm}^2$ ）、ドナー準位の裾野における電子の捕獲断面積（ $\text{sigtd} = 3.0 \times 10^{-13} \text{cm}^2$ ）、ドナー準位の裾野におけるホールの捕獲断面積（ $\text{sigtd} = 3.0 \times 10^{-15} \text{cm}^2$ ）、アクセプタのガウシアン分布における電子の捕獲断面積（ $\text{siggae} = 3.0 \times 10^{-15} \text{cm}^2$ ）、アクセプタのガウシアン分布におけるホールの捕獲断面積（ $\text{siggah} = 3.0 \times 10^{-13} \text{cm}^2$ ）、ドナーのガウシアン分布における電子の捕獲断面積（ $\text{siggde} = 3.0 \times 10^{-13} \text{cm}^2$ ）、ドナーのガウシアン分布におけるホールの捕獲断面積（ $\text{siggdh} = 3.0 \times 10^{-15} \text{cm}^2$ ）とした。  
10

## 【0198】

また、第1の半導体層903を構成する微結晶シリコン膜のパラメータを以下に示す数値に設定した。なお、微結晶シリコン膜の欠陥密度をアモルファスシリコン膜の10分の1とした。

## 【0199】

アクセプタタイプ欠陥準位（テール状分布）の伝導帯端における状態密度（ $n_{ta} = 2.0 \times 10^{21} [\text{cm}^3 \text{eV}]$ ）、ドナータイプ欠陥準位（テール状分布）の価電子帯端における状態密度（ $n_{td} = 4.0 \times 10^{19} [\text{cm}^3 \text{eV}]$ ）、アクセプタタイプ欠陥準位（バンプ状分布）のピーク位置における状態密度（ $n_{ga} = 9.0 \times 10^{17} [\text{cm}^3 \text{eV}]$ ）、ドナータイプ欠陥準位（バンプ状分布）のピーク位置における状態密度（ $n_{gd} = 5.0 \times 10^{17} [\text{cm}^3 \text{eV}]$ ）とする。その他のパラメータは、アモルファスシリコン膜のパラメータと同じとした。  
30

## 【0200】

薄膜トランジスタの電流-電圧特性に関する計算結果を図20に示す。ここでは、 $V_{ds} = 1 \text{V}$ とした。なお、図20において、縦軸はソース-ドレイン間の電流（ $I_{ds} [\text{A}/\mu\text{m}]$ ）、横軸はゲート-ソース間の電位差（ $V_{gs} [\text{V}]$ ）を示している。

## 【0201】

図20に示すように、不純物領域907を設けた場合、不純物領域907の深さ（ $d_t : 30 \text{nm}, 50 \text{nm}, 70 \text{nm}, 90 \text{nm}$ ）にかかわらず、比較例（不純物領域907を設けない構造）に比べてオフ電流が低減することが確認された。また、不純物領域907の深さ（ $d_t$ ）が深くなるにつれて、しきい値がプラス方向にシフトすることが確認されたが、例えば、しきい値から+5V印加した場合のオン電流は比較例と同等になることが確認された。  
40

## 【0202】

以上の結果より、不純物領域907を設けることによって、不純物領域を設けない構造（図19（B））と比較してオフ電流を低減させることができる。

## 【図面の簡単な説明】

## 【0203】

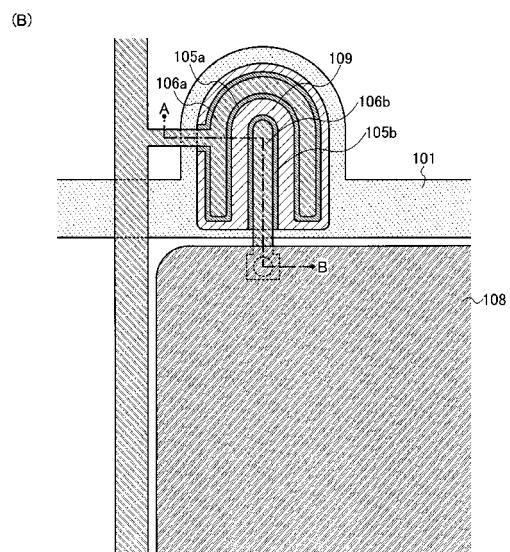
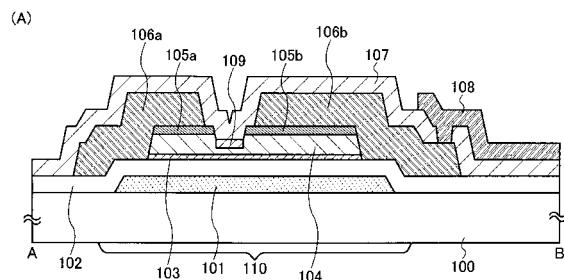
- 【図 1】本発明の表示装置の一例を示す図。
- 【図 2】本発明の表示装置の作製方法の一例を示す図。
- 【図 3】本発明の表示装置の作製方法の一例を示す図。
- 【図 4】本発明の表示装置の作製方法の一例を示す図。
- 【図 5】本発明の表示装置の作製方法の一例を示す図。
- 【図 6】本発明の表示装置の作製方法の一例を示す図。
- 【図 7】本発明の表示装置の作製方法の一例を示す図。
- 【図 8】本発明の表示装置の作製方法の一例を示す図。
- 【図 9】本発明の表示装置の作製方法の一例を示す図。
- 【図 10】本発明の表示装置の一例を示す図。 10
- 【図 11】本発明の表示装置の一例を示す図。
- 【図 12】本発明の表示装置の一例を示す図。
- 【図 13】本発明の表示装置の使用形態の一例を示す図。
- 【図 14】本発明の表示装置の使用形態の一例を示す図。
- 【図 15】本発明の表示装置の一例を示す図。
- 【図 16】本発明の表示装置の作製方法の一例を示す図。
- 【図 17】本発明の表示装置の作製方法の一例を示す図。
- 【図 18】本発明の表示装置の一例を示す図。
- 【図 19】実施例 1 を説明する図。 20
- 【図 20】本発明の構成と比較例の電流 - 電圧特性を示す図。
- 【符号の説明】**
- 【0204】**
- |      |           |    |
|------|-----------|----|
| 100  | 基板        |    |
| 101  | ゲート電極     |    |
| 102  | ゲート絶縁膜    |    |
| 103  | 半導体層      |    |
| 104  | 半導体層      |    |
| 105  | 半導体層      |    |
| 106  | 導電膜       |    |
| 107  | 絶縁膜       | 30 |
| 108  | 画素電極      |    |
| 109  | 不純物領域     |    |
| 110  | 薄膜トランジスタ  |    |
| 121  | マスク       |    |
| 122  | マスク       |    |
| 140a | 半導体層      |    |
| 140b | 半導体層      |    |
| 160  | 保護層       |    |
| 180  | 処理容器      |    |
| 182  | ガス供給部     | 40 |
| 184  | マイクロ波発生装置 |    |
| 200  | プラズマ      |    |
| 900  | 基板        |    |
| 901  | ゲート電極     |    |
| 902  | ゲート絶縁膜    |    |
| 903  | 半導体層      |    |
| 904  | 半導体層      |    |
| 905a | ソース領域     |    |
| 905b | ドレイン領域    |    |
| 906a | ソース電極     | 50 |

9 0 6 b	ドレイン電極	
9 0 7	不純物領域	
9 2 1	画素部	
9 2 2	信号線駆動回路	
9 2 3	走査線駆動回路	
9 2 4	チューナ	
9 2 5	映像信号增幅回路	10
9 2 6	映像信号処理回路	
9 2 7	コントロール回路	
9 2 8	信号分割回路	
9 2 9	音声信号增幅回路	
9 3 0	音声信号処理回路	
9 3 1	制御回路	
9 3 2	入力部	
9 3 3	スピーカー	
1 0 5 a	ソース領域	
1 0 5 b	ドレイン領域	
1 0 6 a	ソース電極	
1 0 6 b	ドレイン電極	
1 1 1 0	ロード室	20
1 1 1 5	アンロード室	
1 1 2 0	共通室	
1 1 2 1	搬送手段	
1 1 2 2	ゲートバルブ	
1 1 2 8	カセット	
1 1 3 0	基板	
1 2 0 0	共通室	
2 0 0 1	筐体	
2 0 0 2	表示用パネル	
2 0 0 3	主画面	30
2 0 0 4	モデル	
2 0 0 5	受信機	
2 0 0 6	リモコン操作機	
2 0 0 7	表示部	
2 0 0 8	サブ画面	
2 0 0 9	スピーカー部	
2 3 0 1	携帯電話機	
2 3 0 2	表示部	
2 3 0 3	操作部	
2 4 0 1	本体	40
2 4 0 2	表示部	
2 5 0 1	照明部	
2 5 0 2	傘	
2 5 0 3	可変アーム	
2 5 0 4	支柱	
2 5 0 5	台	
2 5 0 6	電源	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	50

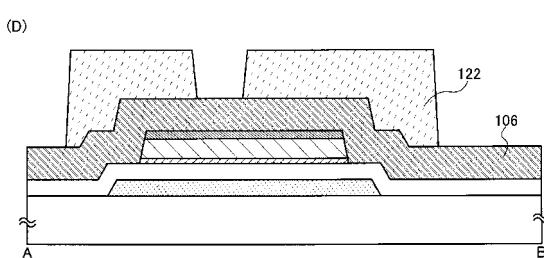
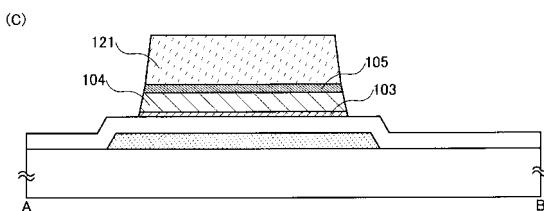
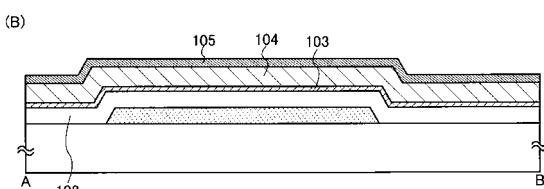
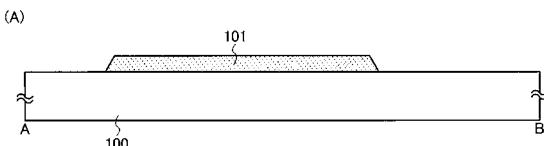
4 0 0 4	走査線駆動回路
4 0 0 5	シール材
4 0 0 6	基板
4 0 0 7	充填材
4 0 0 8	液晶
4 0 0 9	薄膜トランジスタ
4 0 1 0	薄膜トランジスタ
4 0 1 1	発光素子
4 0 1 2	透明導電膜
4 0 1 3	液晶素子
4 0 1 4	配線
4 0 1 6	接続端子
4 0 1 7	画素電極
4 0 1 8	F P C
4 0 1 9	異方性導電膜
4 0 3 0	画素電極
4 0 3 1	対向電極
4 0 3 5	スペーサ
4 0 4 1	薄膜トランジスタ

10

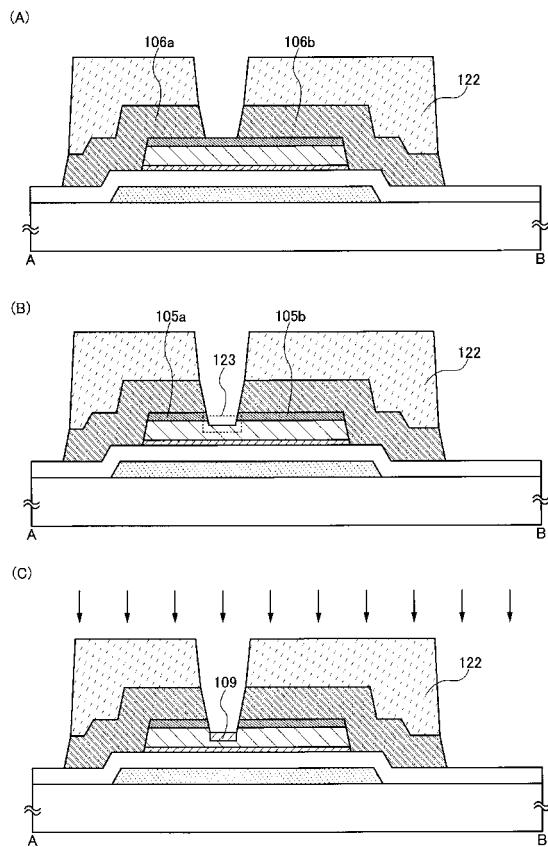
【図1】



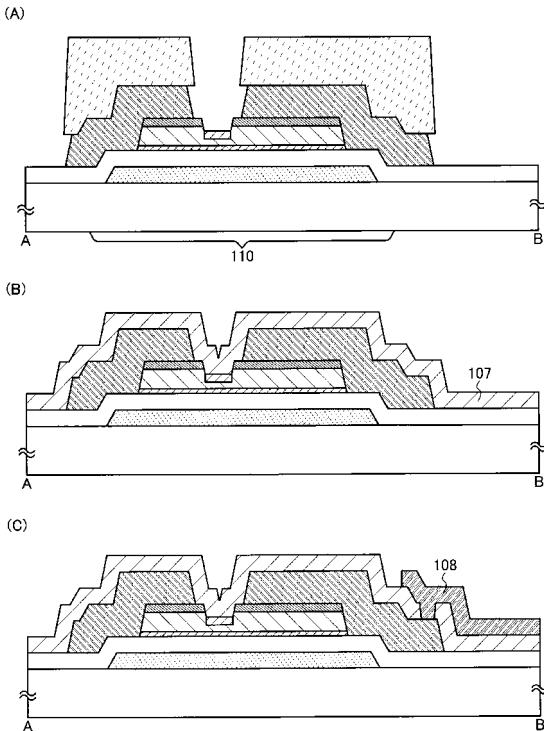
【図2】



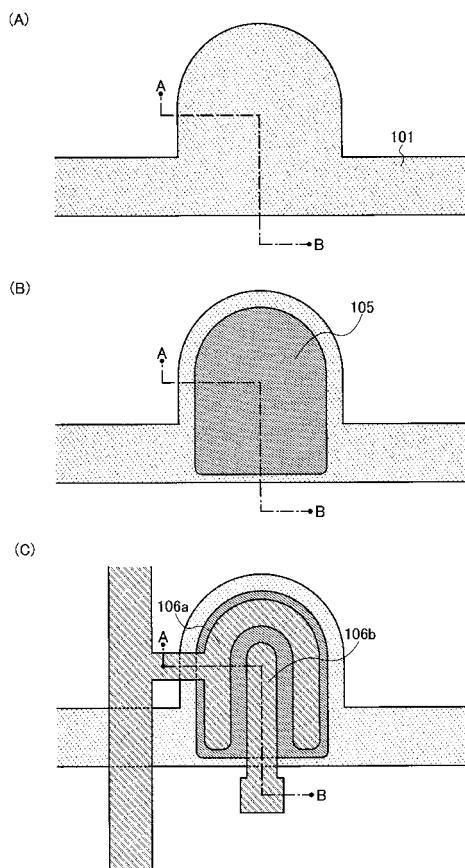
【図3】



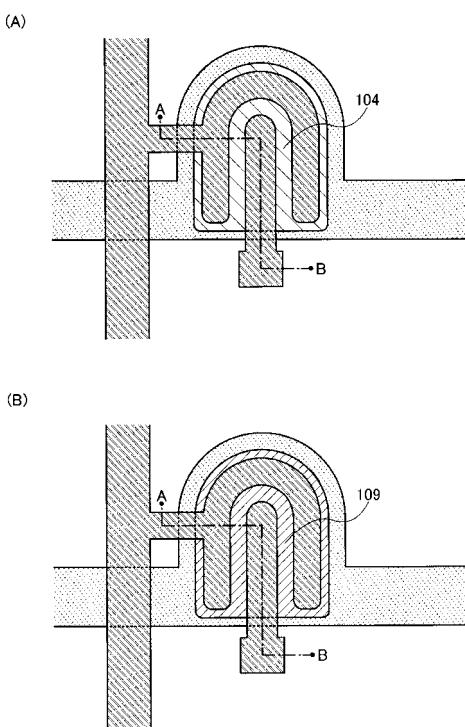
【図4】



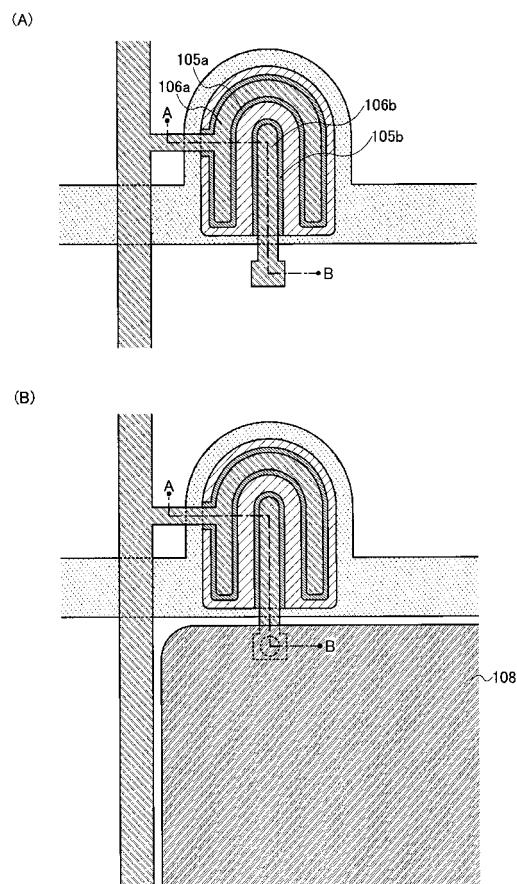
【図5】



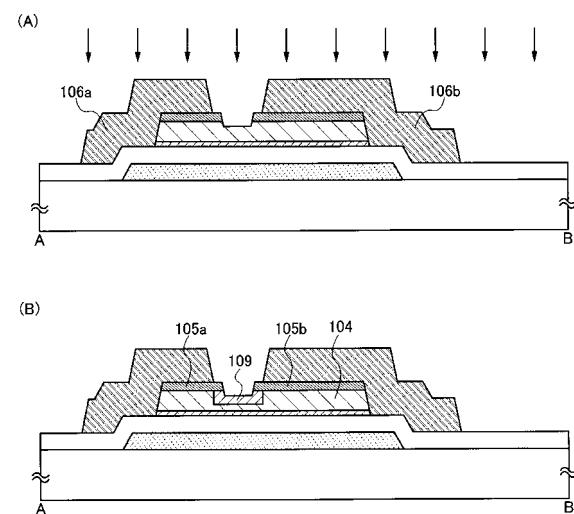
【図6】



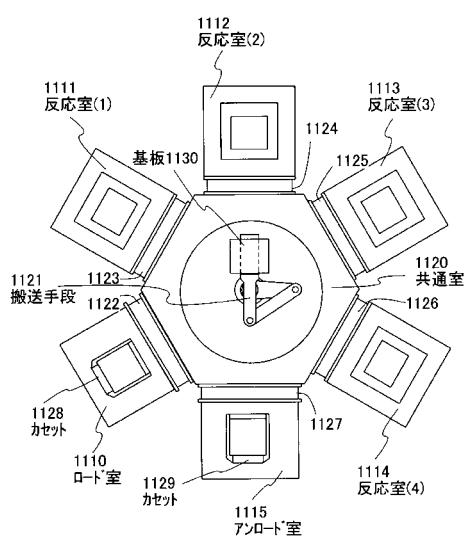
【図7】



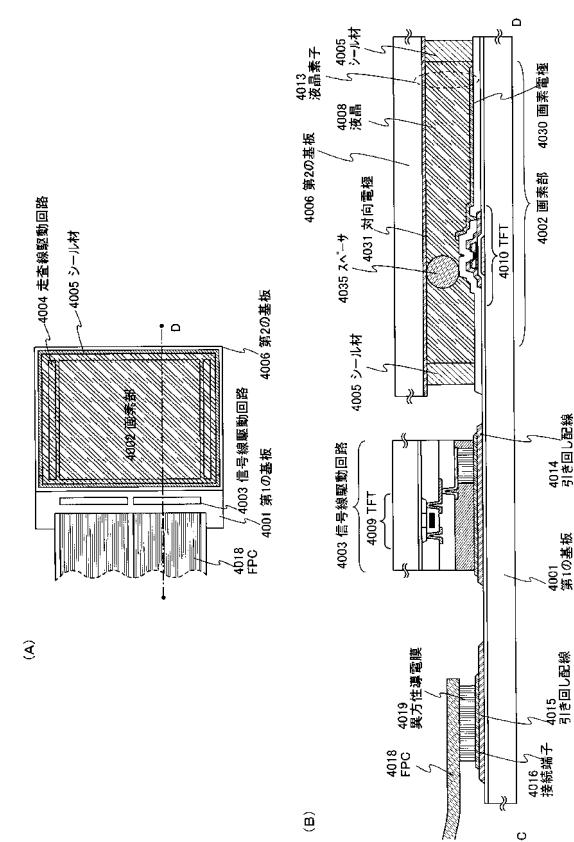
【図8】



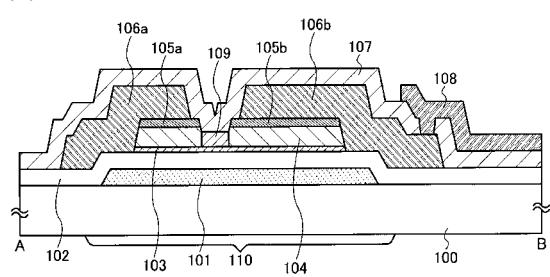
【 図 9 】



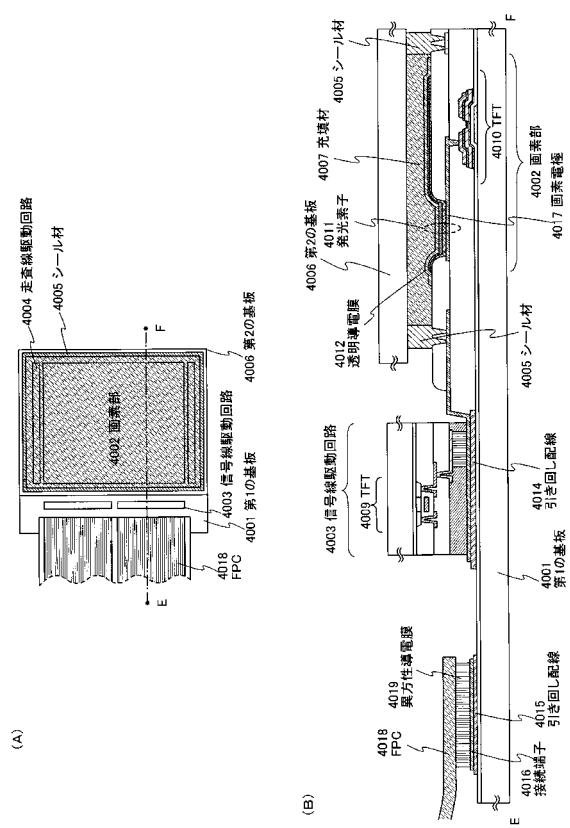
【 図 1 1 】



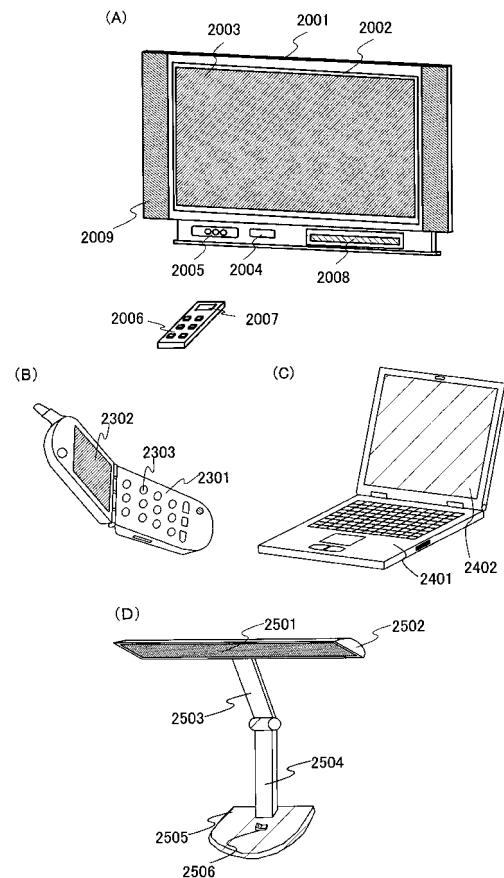
【 図 1 0 】



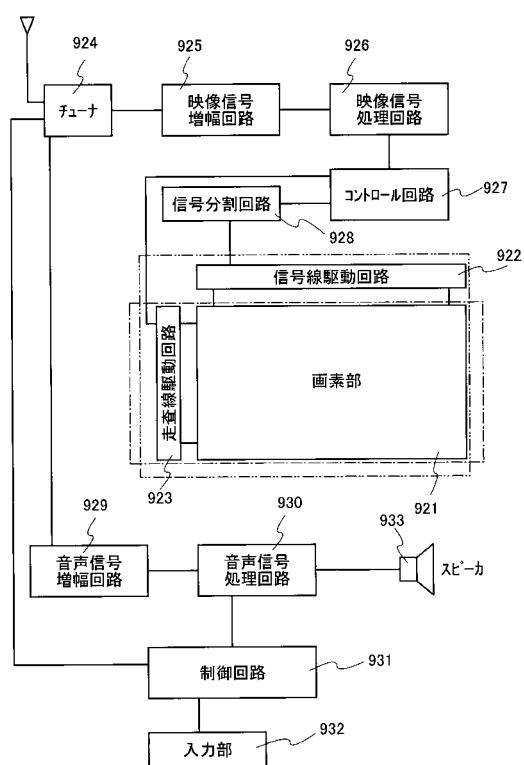
【図12】



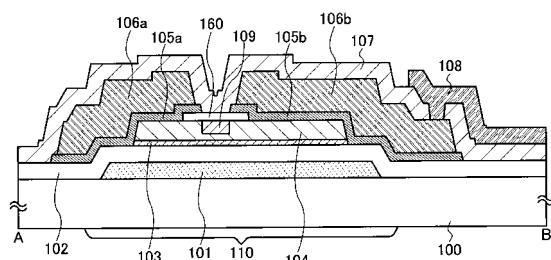
【図13】



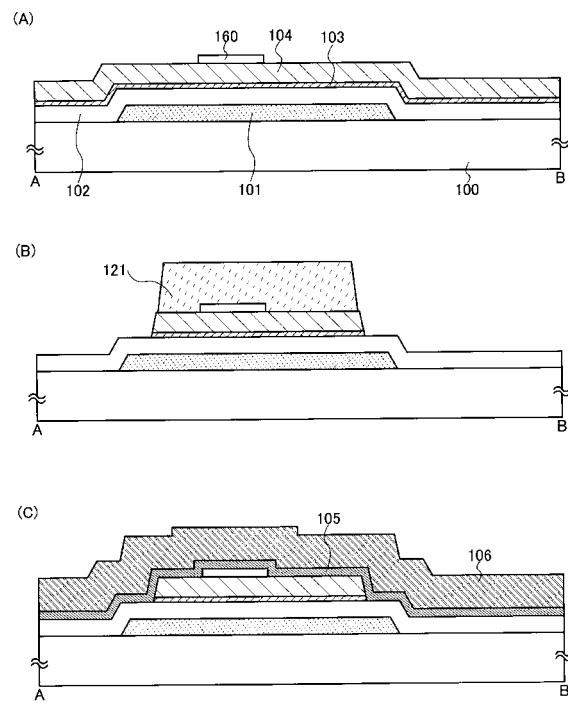
【図14】



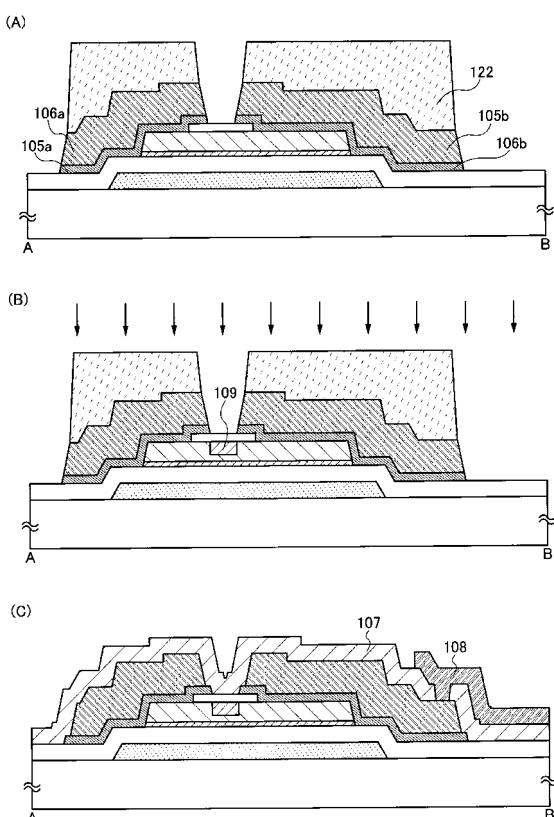
【図15】



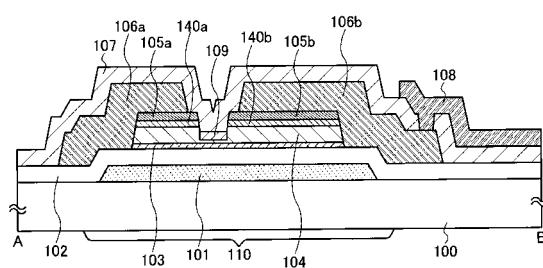
【図16】



【図17】

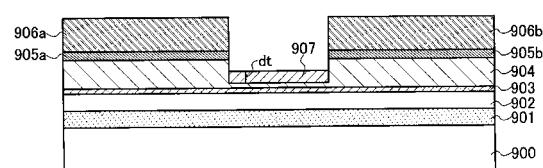


【図18】

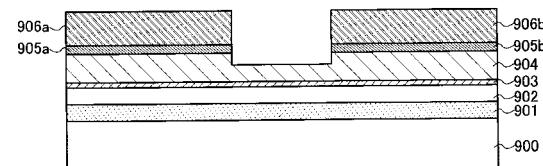


【図19】

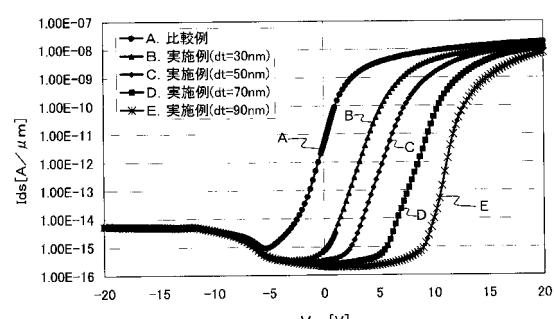
(A) 本実施例



(B) 比較例



【図20】



---

フロントページの続き

審査官 綿引 隆

(56)参考文献 特開2005-167051(JP,A)

特開平01-102968(JP,A)

特開2004-304140(JP,A)

特開2001-228477(JP,A)

特開平04-367276(JP,A)

特開平06-326312(JP,A)

特開2003-297850(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336