



(12) 发明专利申请

(10) 申请公布号 CN 103377007 A

(43) 申请公布日 2013. 10. 30

(21) 申请号 201310077099. 0

(22) 申请日 2013. 03. 12

(30) 优先权数据

13/445, 858 2012. 04. 12 US

(71) 申请人 LSI 公司

地址 美国加利福尼亚

(72) 发明人 J·延 杨少华 B·威尔逊

J·E·辛格莱顿

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51) Int. Cl.

G06F 3/06 (2006. 01)

G11B 20/10 (2006. 01)

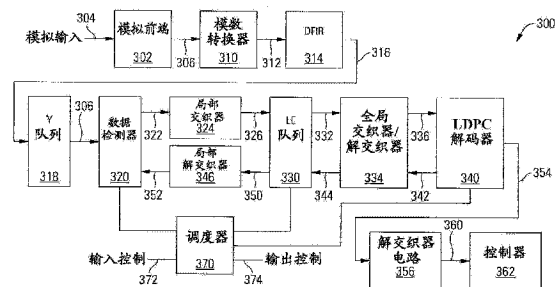
权利要求书2页 说明书9页 附图4页

(54) 发明名称

以无序方式传输的数据处理系统

(57) 摘要

本发明的各个实施例提供用于以无序方式传输的数据处理的系统和方法。例如,所公开的数据处理系统包括数据处理器,可操作地用来处理输入数据块并且产生相应的已处理输出数据块,其中已处理输出数据块按照它们处理的完成顺序从数据处理器中输出;以及调度器,可操作地用来接收输入数据块的处理优先级请求并且根据优先级请求分配数据处理器中的处理资源。



1. 一种数据处理系统,包含:

数据处理器,可操作地用来处理输入数据块并且产生相应的已处理输出数据块,其中所述已处理输出数据块按照它们处理的完成顺序从所述数据处理器中输出;

调度器,可操作地用来接收所述输入数据块的处理优先级请求并且根据所述优先级请求指定所述数据处理器中的处理资源。

2. 如权利要求 1 所述的数据处理系统,其中所述调度器进一步可操作地用来接收所述输入数据块的顺序请求并且根据所述顺序请求处理输入数据块。

3. 如权利要求 1 所述的数据处理系统,其中所述数据处理器包含数据解码器,可操作地用来实现低密度奇偶校验算法。

4. 如权利要求 3 所述的数据处理系统,其中所述调度器可操作地用来设置对解码失败的输入数据块进行重试操作的次数。

5. 如权利要求 3 所述的数据处理系统,进一步包含:数据检测器,可操作地用来检测所述输入数据块中的数据值。

6. 如权利要求 5 所述的数据处理系统,其中所述调度器可操作地用来基于所述优先级请求设置所述数据解码器中局部迭代的次数以及所述数据检测器和数据解码器中全局迭代的次数。

7. 如权利要求 1 所述的数据处理系统,进一步包含:存储器,可操作地用来存储所述输入数据块,其中所述数据处理系统可操作地用来在从所述数据处理器中输出所述相应的已处理输出数据块时从所述存储器清除所述输入数据块。

8. 如权利要求 7 所述的数据处理系统,其中所述数据处理系统可操作地用来在当从所述数据处理器中输出所述输入数据块中的在前一个的相应输出数据块而从所述存储器中清除所述输入数据块中的在前一个时,接受所述输入数据块中的一个。

9. 如权利要求 1 所述的数据处理系统,进一步包含:数据块标识输出,可操作地用来在从所述数据处理器中输出所述已处理输出数据块时标识所述已处理输出数据块。

10. 如权利要求 1 所述的数据处理系统,其中所述数据处理系统作为集成电路来实现。

11. 如权利要求 1 所述的数据处理系统,其中所述数据处理系统被结合在存储设备中。

12. 如权利要求 1 所述的数据处理系统,其中所述数据处理系统被结合在包含独立磁盘冗余阵列的存储系统中。

13. 如权利要求 1 所述的数据处理系统,其中所述数据处理系统被结合在传输系统中。

14. 一种处理数据的方法,包含:

接收对来自数据输入的数据块进行处理的多个请求,其中所述请求指定所述数据块中至少一部分的处理顺序;

处理所述数据块;以及

当处理完成时将所述数据块中的每一个作为已处理数据块来输出,其中所述已处理数据块的输出顺序可以不同于所述数据块的输入顺序。

15. 如权利要求 14 所述的方法,进一步包含:接收指定所述数据块中至少一部分的处理优先级的请求,以及至少部分地基于指定处理优先级的该请求分配所述数据块的处理中使用的处理资源。

16. 如权利要求 14 所述的方法,其中所述处理包含:在数据检测器中检测所述数据块

的数据值以及在数据解码器中执行所述数据块的错误校正。

17. 如权利要求 16 所述的方法,进一步包含:基于所述多个请求中请求的所述处理顺序设置所述数据解码器中局部解码迭代的次数以及所述数据检测器和数据解码器中全局迭代的次数。

18. 如权利要求 16 所述的方法,进一步包含:当数据值在所述数据解码器中收敛时确定完成了所述数据块中一个数据块的处理。

19. 如权利要求 16 所述的方法,进一步包含:当在执行限定次数的解码迭代之后数据值在所述数据解码器中收敛失败时确定完成了所述数据块中一个数据块的处理。

20. 一种存储系统,包含:

保持数据集的存储介质;

读/写头组件,可操作地用来读取所述存储介质上的所述数据集并且提供与所述数据集对应的模拟输出;

模数转换器,可操作地用来对连续信号进行采样以产生数字输出;以及

数据处理系统,包含:

数据处理器,可操作地用来处理所述数字输出中的输入数据块并且产生相应的已处理输出数据块,其中所述已处理输出数据块按照它们处理的完成顺序从所述数据处理器中输出;

调度器,可操作地用来接收所述输入数据块的处理优先级请求并且根据所述优先级请求指定所述数据处理器中的处理资源。

以无序方式传输的数据处理系统

背景技术

[0001] 已经开发了包括存储系统、蜂窝电话系统和无线传输系统的各种数据处理系统。在这些系统的每一个中,经由一些介质将数据从发送方传输到接收方。例如,在存储系统中,经由存储介质将数据从发送方(即,写功能)发送到接收方(即,读功能)。因为以数字数据的形式存储和传输信息,所以引入了(如果不校正时)可能损坏数据并且呈现不可用的信息的错误。任何传输的效率都受到由各种因素所导致的任何数据丢失的影响。已经开发了很多类型的数据处理器来检测和校正数字数据中的错误。例如,可以使用诸如最大后验(MAP)检测器和低密度奇偶校验(LDPC)解码器的数据检测器和解码器来检测和解码从存储或传输系统获取的数据位或多位符号的值。

[0002] 来自存储系统的数据扇区或者其它数据块可能会在信噪比(SNR)上发生变化,并因此难以在存储或传输之后恢复原始数据。当顺序获取或接收数据时,可以在数据处理系统中提供存储缓冲器来存储正在被处理的数据。然而,诸如具有低 SNR 的那些数据块的数据块可能比其它数据块需要更长的处理时间。在处理期间可以将需要额外处理时间的数据块在存储器中保留更长的时间,从而即使完成了后续数据块的处理,也可以保持在存储器中备份后续数据块,尽管这增加了整体延迟。替代的,可以维护经过系统的数据流,以防止在存储器中备份已完成的数据块,尽管该防止可能导致一些数据块在它们被完全处理之前从存储器输出或清除,可能留下未校正的错误。

发明内容

[0003] 本发明的各个实施例提供用于以无序方式传输(out of order transfer)的数据处理的系统和方法。例如,公开一种数据处理系统,其包括:数据处理器,可操作地用来处理输入数据块并且产生相应的已处理输出数据块,其中已处理输出数据块按照它们处理的完成顺序从数据处理器中输出;以及调度器,可操作地用来接收输入数据块的处理优先级请求并且根据优先级请求分配数据处理器中的处理资源。在一些情况下,调度器还可操作地用来接收输入数据块的顺序请求并且根据顺序请求处理输入数据块。数据块可以在它们从数据处理器输出时被识别。在一些实施例中,数据处理器是可操作地用来实现低密度奇偶校验算法的数据解码器,并且数据处理系统还包括可操作地用来检测输入数据块中的数据值的数据检测器。调度器可以可操作地用来基于优先级请求设置数据检测器和数据解码器中局部迭代和全局迭代的次数。

[0004] 本发明内容仅提供根据本发明的一些实施例的概要。根据以下详细描述、所附权利要求和附图,本发明的许多其它目的、特征、优点和其它实施例将变得更加完全地显而易见。

附图说明

[0005] 通过参考本说明书剩余部分所描述的附图,可以实现对本发明各个实施例的进一步理解。附图中,可以在多幅附图中始终使用相似的附图标记来指相似的组件。

[0006] 图 1 描述了包括根据本发明各个实施例的以无序方式传输的数据处理系统的存储系统；

[0007] 图 2 描述了包括根据本发明各个实施例的以无序方式传输的数据处理系统的无线通信系统；

[0008] 图 3 描述了根据本发明各个实施例的以无序方式传输的数据处理系统的框图；

[0009] 图 4 描述了可以在诸如图 3 的数据处理系统的数据处理系统中使用的存储器中的扇区分配；

[0010] 图 5 描述了显示来自数据处理系统的数据块按序传输的图；

[0011] 图 6 描述了显示来自数据处理系统的数据块无序传输的图；

[0012] 图 7 描述了在根据本发明各个实施例的示例性数据处理系统中的读通道和硬盘控制器之间的输入 / 输出 (I/O) 端口和连接；

[0013] 图 8A 和图 8B 分别描述了根据本发明各个实施例的图 7 中输入和输出 I/O 端口中的一部分的信号波形；以及

[0014] 图 9 描述了显示根据本发明各个实施例的用于以无序方式传输的数据处理的方法的流程图。

具体实施方式

[0015] 本发明的各个实施例涉及用于以无序方式传输的数据处理系统的装置和方法。数据处理系统对数据块执行诸如错误检测和校正的功能，并且可操作地用来按照与数据处理系统接收数据块的顺序不同的顺序来传输或者输出数据块。已快速处理的数据在处理完成时从数据处理系统输出，而需要额外处理或者时间的数据可以在数据处理系统中继续处理，即使其在已经完成的数据之前被接收到。在数据处理系统的一些实施例中提供控制信号，以允许请求特定数据块的处理，或者向数据块分配处理优先级。

[0016] 在此所公开的以无序方式传输的数据处理系统可应用于处理经由虚拟的任何通道存储或传输的数据或者在虚拟的任何介质上的信息存储。传输应用包括(但不限于) 光纤、射频通道、有线或无线局域网、数字用户线路技术、无线蜂窝、经由诸如铜或光纤的任何介质的以太网、诸如有线电视的有线信道以及地球卫星通信。存储应用包括(但不限于) 硬盘驱动器、光盘、数字视频磁盘、磁带和诸如 DRAM、NAND 闪存、NOR 闪存、其它非易失性存储器和固态驱动器的存储器设备。例如，数据处理系统可以是(但不限于) 磁硬盘驱动器中的读通道，以检测和解码来自驱动器的数据扇区。

[0017] 术语“扇区”在此关于多个示例性实施例来使用，但可以被认为通常涉及在以无序方式传输的数据处理系统中处理的数据块，而不考虑数据的源或者格式。在一些实施例中，数据处理系统可操作地用来当在扇区上完成处理时将每个扇区传输出去，例如，当数据收敛到数据处理系统中的特定值或者硬判决时。快速收敛的扇区在处理完成时被传输出去，而在不阻碍随后完成的扇区的情况下，需要额外处理来收敛或者收敛失败的扇区被允许保留在数据处理系统中以进行额外的处理。在一些实施例中，数据处理系统可操作地用来按照请求将特定扇区传输出去。数据处理系统还可以可操作地用来在接收到每个扇区时接收其优先级值并且基于它们的优先级值向扇区分配处理资源或者技术。

[0018] 尽管在此公开的以无序方式传输的数据处理系统不限于任何特定应用，但在图 1

和 2 中显示了受益于本发明实施例的应用的几个示例。转向图 1, 例示了作为根据本发明一些实施例的以无序方式传输的数据处理系统的示例性应用的存储系统 100。存储系统 100 包括具有根据本发明一些实施例的以无序方式传输的数据处理系统的读通道电路 102。存储系统 100 可以例如是硬盘驱动器。存储系统 100 还包括前置放大器 104、接口控制器 106、硬盘控制器 110、马达控制器 112、主轴马达 114、盘片(disk platter)116 和读 / 写头组件 120。接口控制器 106 控制到 / 来自盘片 116 的数据的寻址和时序。盘片 116 上的数据由当读 / 写头组件适当地位于盘片 116 上时可以由读 / 写头组件 120 检测的一组磁信号构成。在一个实施例中, 盘片 116 包括依据纵向或者垂直的记录方案来记录的磁信号。

[0019] 在典型的读操作中, 通过马达控制器 112 将读 / 写头组件 120 精确地定位于盘片 116 的期望数据磁道上。马达控制器 112 不仅相对于盘片 116 定位读 / 写头组件 120, 并且还在硬盘控制器 110 的指导下通过移动读 / 写头组件 120 到盘片 116 的适当数据磁道来驱动主轴马达 114。主轴马达 114 以确定的旋转速度(RPM)旋转盘片 116。一旦将读 / 写头组件 120 放置于邻近适当的数据磁道, 则随着主轴马达 114 旋转盘片 116, 读 / 写头组件 120 读取表示盘片 116 上的数据的磁信号。将所读取的磁信号作为表示盘片 116 上的磁数据的连续、微小模拟信号来提供。将该微小模拟信号从读 / 写头组件 120 经由前置放大器 104 传输到读通道电路 102。前置放大器 104 可操作地用来放大从盘片 116 存取的微小模拟信号。进而, 读通道电路 102 解码和数字化所接收的模拟信号, 以重现原始写入盘片 116 的信息。将该数据作为读数据 122 提供给接收电路。作为解码所接收信息的一部分, 读通道电路 102 使用以无序方式传输的数据处理系统来处理所接收的信号。可以与以下关于图 3、7 和 8 所公开的系统一致地来实现这样的以无序方式传输的数据处理系统。在一些情况下, 可以与以下关于图 9 所公开的流程图一致地来执行数据处理。写操作基本上与在前读操作相反, 具有被提供给读通道电路 102 的写数据 124。接着编码该数据并且将其写入盘片 116。

[0020] 应当注意到, 可以将存储系统 100 集成在诸如(例如)基于 RAID (廉价磁盘冗余阵列或者独立磁盘冗余阵列)的存储系统的较大存储系统中。这样的 RAID 存储系统通过冗余(将多个磁盘组合为一个逻辑单元)来增加稳定性和可靠性。数据可以分布在根据多种算法而被包含在 RAID 存储系统中并且操作系统可以将其作为单个磁盘来访问的多个磁盘上。例如, 可以将数据镜像到 RAID 存储系统中的多个磁盘上, 或者可以按照多种技术将数据分段并且分布在多个磁盘上。如果 RAID 存储系统中的少量磁盘发生故障或者变得不可用, 则可以使用错误校正技术基于来自 RAID 存储系统中其它磁盘的剩余数据部分来重现丢失数据。RAID 存储系统中的磁盘可以是(但不限于)诸如存储系统 100 的单个存储系统, 并且可以相互靠近或者为了增加安全性而分布得更广。在写操作中, 将写数据提供给控制器, 其在磁盘上存储写数据(例如通过镜像或者通过条带化(stripe)写数据)。在读操作中, 控制器从磁盘获取数据。控制器接着将 RAID 存储系统作为单个磁盘来产生所生成的读数据。

[0021] 转向图 2, 显示了根据本发明一些实施例的包括接收器 204 的无线通信系统 200 或者数据传输设备, 所述接收器 204 包括以无序方式传输的数据处理系统。通信系统 200 包括本领域中已知的能够通过传输介质 206 发射已编码信息的发射器 202。接收器 204 从传输介质 206 接收编码数据。接收器 204 包含以无序方式传输的数据处理系统。可以与以下关于图 3、7 和 8 所描述的系统一致地来实现这样的以无序方式传输的数据处理系统。在一

些情况下,可以与以下关于图 9 所公开的流程图一致地来执行数据处理。

[0022] 转向图 3,描述了根据本发明一个或多个实施例的以无序方式传输的数据处理系统 300。数据处理系统 300 包括接收模拟信号 304 的模拟前端电路 302。模拟前端电路 302 处理模拟信号 304 并且将已处理模拟信号 306 提供给模数转换器电路 310。模拟前端电路 302 可以包括(但不限于)本领域中已知的模拟滤波器和放大器电路。基于在此所提供的公开内容,本领域技术人员将认识到可以作为模拟前端电路 302 的一部分来包括的各种电路。在一些情况下,从与存储介质(例如,116)相关地布置的读/写头组件(例如,120)得到模拟信号 304。在其它情况下,从可操作地用来从传输介质(例如,206)接收信号的接收器电路(例如,204)得到模拟信号 304。传输介质可以是有线的或无线的。基于在此所提供的公开内容,本领域技术人员将认识到可以从其得到模拟输入 304 的各种源。

[0023] 模数转换器电路 310 将已处理模拟信号 306 转换为相应的一系列数字采样 312。模数转换器电路 310 可以是本领域中已知的能够产生与模拟输入信号对应的数字采样的任何电路。基于在此所提供的公开内容,本领域技术人员将认识到可以与本发明的不同实施例相关地使用的各种模数转换器电路。将数字采样 312 提供给均衡器电路 314。均衡器电路 314 对数字采样 312 应用均衡算法以产生均衡输出 316。在本发明的一些实施例中,均衡器电路 314 是本领域中已知的数字有限冲激响应(DFIR)滤波器电路。在一些情况下,均衡器 314 包括足够的存储器来保存一个或多个代码字(codeword),直到数据检测器电路 320 可用于处理。可行的是,可以直接从例如固态存储系统的存储设备接收均衡输出 316。在此情况下,当将数据作为数字数据输入来接收时,可以省略模拟前端电路 302、模数转换器电路 310 和均衡器电路 314。

[0024] 数据检测器电路 320 可操作地用来对所接收的代码字或者数据集应用数据检测算法,并且在一些情况下,数据检测器电路 320 可以并行地处理两个或更多个代码字。在本发明的一些实施例中,数据检测器电路 320 是本领域中已知的 Viterbi 算法数据检测器电路。在本发明的其它实施例中,数据检测器电路 320 是本领域中已知的最大后验数据检测器电路。注意,在其最宽泛的含义上使用通用短语“Viterbi 数据检测算法”或者“Viterbi 算法数据检测器电路”,以指包括(但不限于)双向 Viterbi 检测算法或者双向 Viterbi 算法检测器电路的任何 Viterbi 检测算法或 Viterbi 算法检测器电路或者其变形。同样,在其最宽泛的含义上使用通用短语“最大后验数据检测算法”或者“最大后验数据检测器电路”,以指包括(但不限于)简化的最大后验数据检测算法和 max-log 最大后验数据检测算法或者相应检测器电路的任何最大后验检测算法或者检测器电路或者其变形。基于在此所提供的公开内容,本领域技术人员将认识到可以与本发明的不同实施例相关地使用的各种数据检测器电路。数据检测器电路 320 基于来自均衡器电路 314 或者来自中央存储器电路 330 的数据集的可用性而启动。

[0025] 一旦完成,数据检测器电路 320 提供检测器输出 322。检测器输出 322 包括软数据。如在此使用的那样,在其最宽泛的含义上使用短语“软数据”,以指可靠性数据,可靠性数据的每个实例指示已经正确检测相应的比特位置或者一组比特位置的似然性(likelihood)。在本发明的一些实施例中,软数据或者可靠性数据是本领域中已知的对数似然比数据。将检测输出 322 提供给局部交织器电路 324。局部交织器电路 324 可操作地用来对检测输出 322 中包含的数据集的子部分(即,局部数据块)进行混洗并且提供存储到中央存储器电路

330 的已交织代码字 326。交织器电路 324 可以是本领域中已知的能够对数据集进行混洗 (shuffle) 以产生重新排列的数据集的任何电路。将已交织代码字 326 存储到中央存储器电路 330。已交织代码字 326 在中央存储器电路 330 中作为所存储的代码字 332 来访问并且由全局交织器 / 解交织器电路 334 来进行全局交织。全局交织器 / 解交织器电路 334 可以是本领域中已知的能够全局地重新排列代码字的任何电路。全局交织器 / 解交织器电路 334 将解码器输入 336 提供到低密度奇偶校验 (LDPC) 解码器 340 中。基于在此所提供的公开内容,本领域技术人员将认识到可以与本发明的不同实施例相关地使用的其它解码算法。LDPC 解码器 340 以局部迭代次数可变的方式对解码器输入 336 应用数据解码算法。

[0026] 当 LDPC 解码器 340 收敛失败 (即,未能产生原始写入的数据集) 并且通过 LDPC 解码器 340 的局部迭代次数超过阈值时,将所生成的解码输出作为解码输出 342 往回提供给中央存储器电路 330,所述解码输出存储在中央存储器电路 330 中并等待通过数据检测器电路 320 和 LDPC 解码器 340 的另一次局部迭代。可以在数据处理系统 300 中同时处理多个扇区,当其它扇区在 LDPC 解码器 340 中收敛并且从 Y 队列 318 和 LE 队列 330 中输出和清除时,允许额外的扇区进入数据检测器 320。

[0027] 在解码输出 342 到中央存储器电路 330 的存储之前,对解码输出 342 进行全局解交织以产生存储到中央存储器电路 330 的全局解交织输出 344。全局解交织对早前应用到所存储的代码字 332 的全局交织进行反转,以产生解码器输入 336。一旦数据检测器电路 320 可用,则从中央存储器电路 330 访问此前存储的解交织输出 344 并且通过解交织器电路 346 对其进行局部的解交织。解交织器电路 346 重新排列解码器输出 350 以反转最初由交织器电路 324 执行的混洗。将所生成的解交织输出 352 提供给数据检测器电路 320,在数据检测器电路 320 中解交织输出 352 用来指导作为平衡输出 316 而接收的相应数据集的后续检测。

[0028] 替代地,当解码输出在具有低延迟调度的非二进制 LDPC 解码器 340 中收敛 (即,产生原始写入的数据集) 时,将所生成的解码输出作为输出代码字 354 提供给解交织器电路 356,即使早前在模拟输入 304 接收的扇区还没有收敛。解交织器电路 356 重新排列数据以反转应用到数据的全局和局部交织以产生解交织输出 360。将解交织硬判决输出 360 提供给控制器 362。在一些实施例中,控制器 362 是硬盘控制器电路,其启动磁存储设备的读取操作并且其接收所生成的数据且将其提供给诸如通用计算机系统的外部设备。

[0029] 例如通过分配所检测和解码的每个代码字的位置以及通过管理所执行的局部和全局迭代的最大次数、基于输入控制信号 372 设置扇区的处理优先级和在输出控制信号 374 上提供与输出数据有关的状态,使用调度器 370 来调度通过数据处理系统 300 中的检测器 320 和 LDPC 解码器 340 以及通过内部存储器队列 330 的数据流。可以使用输入控制信号 372 来请求特定扇区。调度器控制信号 372 和 374 可以连接到例如硬盘控制器 362。

[0030] 在一些实施例中,调度器 370 可操作地用来为不同的数据块或者扇区灵活地提供不同的处理功率。调度器 370 在处理期间基于输入控制信号 372 和诸如功率管理方案和扇区操作度量的其它因素给扇区指定不同的优先级。调度器 370 分配数据处理系统 300 中的资源,根据优先级向扇区提供不同级别的处理能力。例如,调度器 370 可以控制 LDPC 解码迭代的次数、诸如 Y 平均、针对性符号翻转 (Targeted Symbol Flipping, TSF)、无同步标记重试 (No SyncMark Retry, NSM) 的重试特征等。

[0031] 关于图 3, 术语数据处理系统用来指所示的从模拟输入 304 到提供给控制器 362 的硬判决输出 360 的整个读通道。然而, 以无序方式传输的数据处理系统不限于该示例性应用。更通常地, 以无序方式传输的数据处理系统可以包含按照能够以与输入不同的顺序来生成输出的方式来处理数据的任何设备或者系统。在一些实施例中, 以无序方式传输的数据处理系统还包括提供控制接口, 该控制接口使得能够从系统请求特定数据并且进行数据优先级指定。例如, 如果接近硬盘控制器转发扇区到主机的时间限制, 控制器使用输入控制信号 372 从数据处理系统请求扇区并且致使扇区被提前处理。作为另一个示例, 可以为“推测性”读取的扇区(其并不是由外部主机所请求而可能是基于此前读取的扇区所请求的)指定低优先级。

[0032] 因为可以在处理完成时从存储器无序地输出和清除数据扇区并且仅仅保存当前正在被处理的扇区, 所以增加了存储器使用的效率。使用控制信号的扇区标记在扇区输出时标识扇区。通过在不备份已经完成解码的后续扇区的情况下在慢收敛扇区上运行更多的解码迭代, 可以增加 SNR 增益。反之, 在无需等待完成最大数量的局部或全局迭代、减少重试操作的次数以及像其它类型的处理一样输出它们并且为其它扇区释放数据处理系统的情况下, 与正常相比可以更早地从系统中清除收敛失败的具有大量错误的扇区。

[0033] 图 4-6 中例示了根据本发明一些实施例的扇区的无序传输。图 4 中例示了诸如 Y 队列 318 和 LE 队列 330 的存储器 400 中的扇区分配, 其中在存储器 400 的不同位置存储四个数据扇区中的第一、第二、第三和第四扇区 402、404、406 和 410。可以按顺序(如图 4 中所示)或者无序地存储扇区 402、404、406 和 410, 只要它们可以被调度器 370 识别和追踪。当扇区的处理完成并且将其从数据处理系统中输出时, 将其从存储器 400 清除, 以允许接收和存储另一个输入扇区以进行处理。当每个扇区的处理完成时可以从存储器 400 输出和清除扇区, 或者可以使用输入控制信号 372 指定顺序。图 5 中例示了输出顺序 500 的一个示例, 例示了当在图 3 的数据处理系统 300 的硬判决输出 360 处生成它们时扇区 502、504、506 和 510 的顺序。在该示例中, 或者因为按顺序完成处理, 或者因为控制器 362 使用输入控制信号 372 来请求该顺序, 或者因为禁止了无序传输, 所以按顺序输出四个扇区中的第一、第二、第三和第四扇区 502、504、506 和 510。图 6 中例示了另一个示例性输出顺序 600, 其中直到第二、第三和第四扇区 602、604 和 606 之后才输出第一扇区 610。再次, 可以因为在扇区 602、604 和 606 之后完成扇区 610 的处理, 或者因为控制器 362 使用输入控制信号 372 请求该顺序而产生该顺序 600。

[0034] 转向图 7, 描述了根据本发明一些实施例的包括读通道 702 和硬盘控制器 704 的示例性数据处理系统 700。外部主机(未示出)可以与硬盘控制器 704 通信, 请求存储在磁存储设备上的数据。硬盘控制器 704 指示读通道 702 检测和解码包含数据的扇区。硬盘控制器 704 还可以指定读通道 702 应处理单个扇区的顺序和优先级。在一些实施例中, 这些指令还触发以上关于图 1 所公开的读/写头组件对磁盘上磁信号的读取。

[0035] 当已经通过读通道 702 检测和解码扇区时, 将它们与传输扇区时用来标识扇区的对扇区进行标记的信号一同传输到硬盘控制器 704。图 7 中显示了根据本发明一些实施例的可以在读通道 702 和硬盘控制器 704 之间使用的一些控制信号 706。硬盘控制器 704 指示读通道 702 使用 rdgate 信号 710 执行读操作。硬盘控制器 704 可以使用 sector_tag 信号 712 标识将要读取的一个扇区或者多个扇区, 并且还可以使用 sector_priority 信号 714

指定将要赋予给每个所请求的扇区的处理优先级。在一些实施例中,使用 sector_tag 信号 712 来请求读通道 702 传输特定扇区,并且当不使用 sector_tag 信号 712 时,单独使用 rdgate 信号 710 来请求读通道 702 读取下一个扇区(当其准备就绪时将从读通道 702 进行传输),而不管输出顺序。读通道 702 可以执行诸如以上所公开的那些功能的处理功能来检测和解码数据扇区。当已经通过读通道 702 处理了数据扇区时,例如当扇区的数据值已经在解码器中收敛并且满足奇偶校验时,读通道 702 传输数据到硬盘控制器 704。从读通道 702 到硬盘控制器 704 的 data_valid_r 信号 716 指示正在传输有效数据。在数据扇区传输即将结束之前断言 last_data_r 信号 720,以指示针对传输结束而准备硬盘控制器 704。通过 nrz_clk 信号 722 和 nrz_data 信号 724 传输时钟和数据,其在一些实施例中以非归零格式来传输。使用 nrz_tag 信号 726 来标识正在从读通道 702 传输到硬盘控制器 704 的扇区。可以以诸如扇区号的任何适当方式来标识扇区。控制信号 706 还可以包括指示已处理扇区在处理之后是否通过奇偶校验或者其他错误校验的状态信号。当硬盘控制器 704 已经接收到扇区时,其可以在将所请求的数据返回到外部主机之前记录扇区,或者可以按照从读通道 702 接收它们的顺序返回扇区。硬盘控制器 704 还可以在将数据返回到外部主机之前对数据执行其它功能。

[0036] 转向图 8A 和 8B,例示了根据本发明各个实施例的图 7 中读通道 702 和硬盘控制器 704 之间的一些输入和输出 I/O 端口的信号波形。图 8A 中例示了从硬盘控制器 704 到读通道 702 的信号,而图 8B 例示了从读通道 702 到硬盘控制器 704 的信号。特别地,可以使用诸如总线的其它机制来组合或者传输信号。信号可以是单向或者双向的。例如,可以在或者读通道 702 或者硬盘控制器 704 中生成 nrz_clk 信号 722 并且将其用来在读通道 702 和硬盘控制器 704 之间的方向上同步其它信号,或者可以在读通道 702 和硬盘控制器 704 之间使用分离的时钟信号。通过硬盘控制器 704 断言 rdgate 信号 710 来请求扇区的读操作,并且 sector_tag 714 信号标识将要读取的扇区。sector_tag 714 可以在断言 rdgate 信号 710 的整个期间,或者在 nrz_clk 722 周期期间或者其它期间保持有效。rdgate 信号 710 可以在任何适当期间保持断言,例如直到读通道 702 使用另一个信号(未示出)进行通知,或者在预定的时间期间内。

[0037] 读通道 702 在传输扇区到硬盘控制器 704 时断言 data_valid_r 信号 716,此外,可以使用例如在扇区的 nrz_clk 722 的最后周期断言的 last_data_r 信号 720 来通知扇区的结束。nrz_tag 信号 726 标识从读通道 702 传输到硬盘控制器 704 的扇区,并且可以例如从扇区的开始 810 到结束 812 保持处于该状态,或者可以仅仅在扇区开始时使用。

[0038] 在没有在此所公开的无序传输的情况下,读通道 702 可以按顺序将扇区转发到硬盘控制器 704,即,依据 rdgate 命令 710 的顺序依序地传输扇区数据和相关联的标志到硬盘控制器 704,而不管解码器中扇区收敛的顺序。在此情况下,将慢收敛扇区在其完成之前从读通道 702 中踢出以防止备份已经完成的快收敛扇区,或者允许保持快收敛扇区的备份以允许继续慢收敛扇区的处理。

[0039] 转向图 9,流程图 900 描述了根据本发明各个实施例的以无序方式传输的数据处理系统中处理数据的方法。流程图 900 显示了可以由诸如图 3 和 7 中公开的那些电路的电路来执行的处理数据扇区的方法。沿着流程图 900,接收读取数据扇区的请求(块 902)。该请求可以例如通过硬盘控制器(例如,362)通知读通道中的调度器(例如,370)来做出。该

请求可以例如使用 sector_tag 信号 712 来指定将会影响输出顺序的特定扇区,或者可以请求读取下一个扇区。在本发明的一些实施例中,在处理完成时从读通道中输出扇区,而不管从硬盘控制器接收读请求的顺序。如果接收到优先级请求,则指定数据扇区的处理优先级(块 904)。例如,如果优先级请求由硬盘控制器做出,则读通道中的调度器可以指定诸如处理顺序、要执行的局部解码迭代次数和全局处理迭代次数的资源。

[0040] 当通过读 / 写头或者数据传输通道从诸如磁盘的磁介质中读取时,通过数据处理系统接收与所请求的数据扇区对应的模拟信号(块 906)。基于在此所提供的公开内容,本领域技术人员将认识到模拟输入的各种源。将模拟输入转换为一系列数字采样(块 908)。该转换可以使用本领域中已知的模数转换器电路或者系统。注意,可以使用本领域中已知的能够将模拟信号转换为表示所接收的模拟信号的一系列数字值的任何电路。对所生成的数字采样进行均衡以产生均衡输出(块 910)。在本发明的一些实施例中,使用本领域中已知的数字有限冲激响应电路来完成均衡。基于在此所提供的公开内容,本领域技术人员将认识到根据本发明不同实施例的可以替代这类数字有限冲激响应电路用来执行均衡的各种均衡器电路。

[0041] 确定数据检测器电路是否可用(块 912)。当数据检测器电路可用时(块 912),将数据检测算法应用到均衡输出以产生检测输出,所述均衡输出受到当可以从中央存储器电路获得解码输出(例如,通过数据检测器电路和数据解码器电路的第二次和后续迭代)时从该解码输出得到的数据集的指导(块 914)。在本发明的一些实施例中,数据检测算法是本领域中已知的 Viterbi 算法。在本发明的其它实施例中,数据检测算法是本领域中已知的最大后验数据检测器电路。将从检测输出导出的信号(例如,检测输出的局部交织版本)存储到中央存储器(例如,230)以等待由数据解码器电路进行处理。(块 916)

[0042] 与此前所述的数据检测处理并行地,确定数据解码器电路是否可用(块 918)。当数据解码器电路可用时(块 918),从中央存储器访问此前所存储的检测输出的导出值并且将其用作所接收的代码字(块 920)。在数据解码器电路中迭代地处理所接收的代码字以产生解码输出(块 922)。在本发明的一些实施例中,数据解码算法是 LDPC 解码算法。基于在此所提供的公开内容,本领域技术人员将认识到可以与本发明的不同实施例相关地使用的其它解码算法。将解码输出的导出值存储到中央存储器电路(块 924)。确定是否已经在数据解码器电路中转换了数据值(块 926)。在一些实施例中,这包括确定表示数据的解码值的似然性的对数似然比率值是否达到特定阈值,和 / 或是否满足数据的奇偶校验公式。当数据解码收敛时(块 926),从数据处理系统输出数据扇区的解码输出(块 928)。可以将解码输出作为硬判决数据从中央存储器电路中传输出去并且将其从中央存储器电路中清除,为将要被读取、检测和解码的另一个数据扇区释放空间。按照完成顺序(或者在一些情况下,按照请求顺序)将数据扇区从数据处理系统中传输出去。替代地,当数据解码收敛失败时(块 926),数据处理继续进行另一个局部迭代(块 918),直到已经执行了最大次数的局部迭代,此时执行另一个全局迭代(块 912)。

[0043] 注意,图 9 中步骤的执行顺序不限于所示的顺序,并且可以并行地执行步骤。例如,当空间变得可用时可以同时处理中央存储器电路(例如,230)中存储的多个扇区,根据请求的读取顺序(如果存在的话)和 / 或指定给每个扇区的处理优先级交织进行中央存储器电路中扇区的全局迭代。

[0044] 应当注意到,上面应用中所述的各种块可以与其它功能一同以集成电路来实现。这样的集成电路可以包括给定块、系统或者电路的全部功能,或者该块、系统或电路的一部分功能。而且,可以跨越多个集成电路来实现块、系统或者电路的元件。这样的集成电路可以是本领域中已知的任何类型的集成电路,包括(但不限于)单片集成电路、倒装芯片集成电路、多芯片模块集成电路和/或混合信号集成电路。还应当注意到,可以以软件或者固件来实现在此所述的块、系统或者电路的各种功能。在一些这样的情况下,可以使用其软件或者固件以等同方式来实现整个系统、块或者电路。在其它情况下,可以以软件或者固件来实现给定系统、块或者电路的一部分,而以硬件来实现其它部分。

[0045] 总之,本发明提供了新的用于以无序方式传输的数据处理系统的装置、系统和方法。尽管以上给出了本发明一个或多个实施例的详细描述,但对于本领域技术人员而言,在不脱离本发明实质的前提下,各种替代、修改和等同形式将是明了的。因此,以上描述不当被用来限制本发明的范围,本发明的范围由所附权利要求来限定。

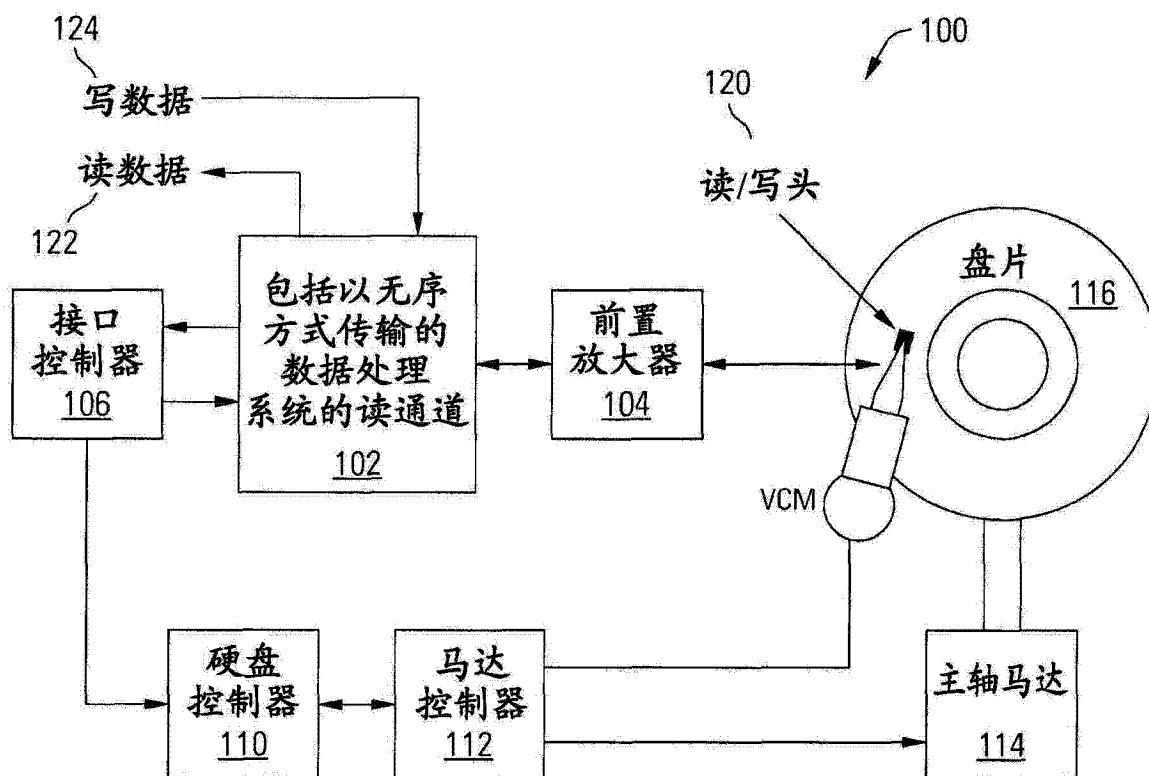


图 1

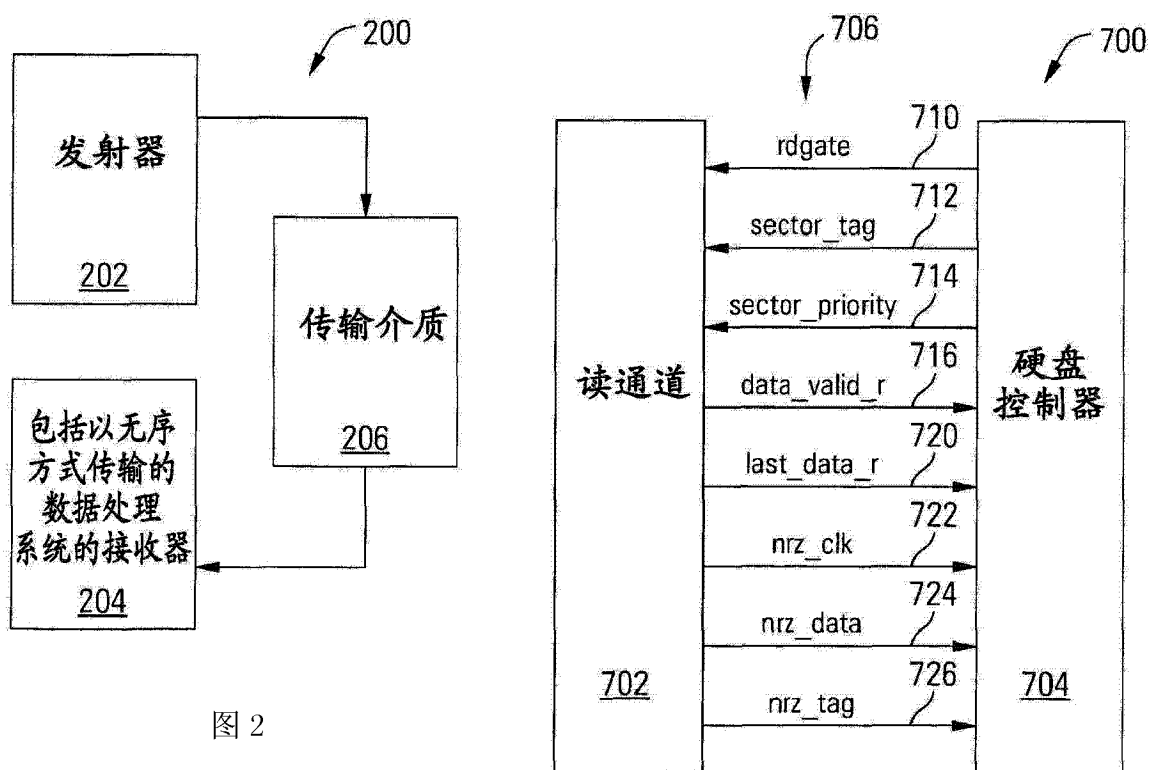


图 2

图 7

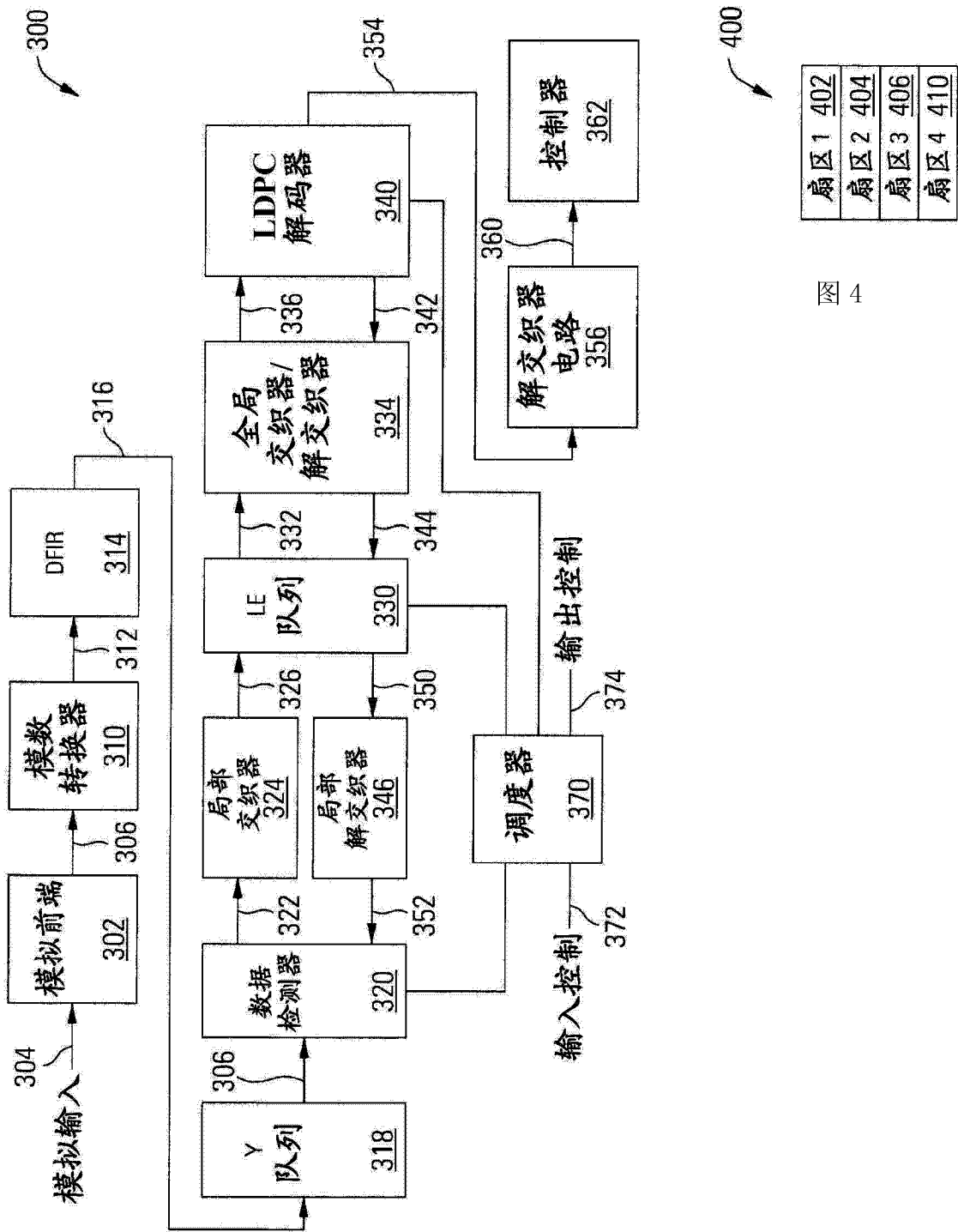


图 4

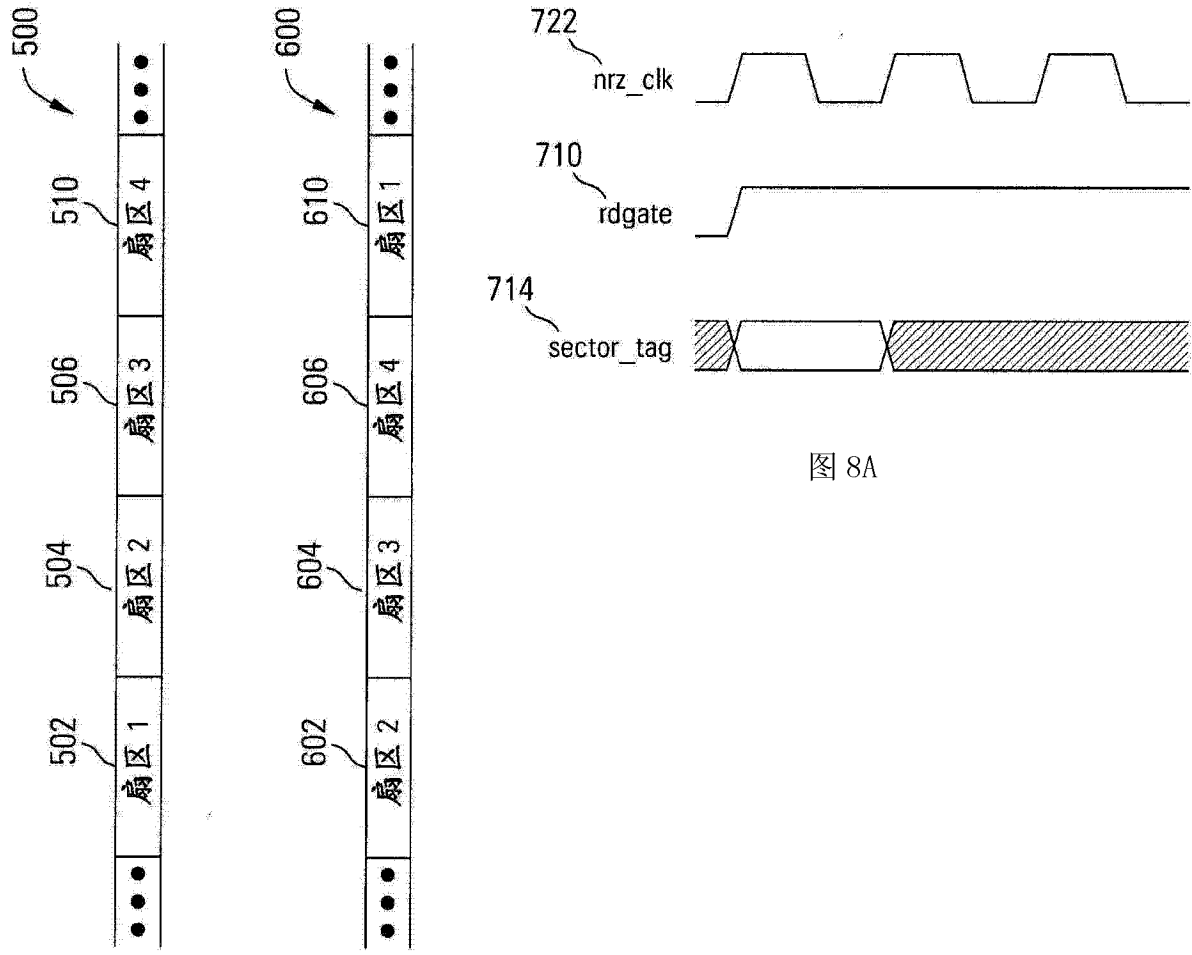


图 8A

图 5

图 6

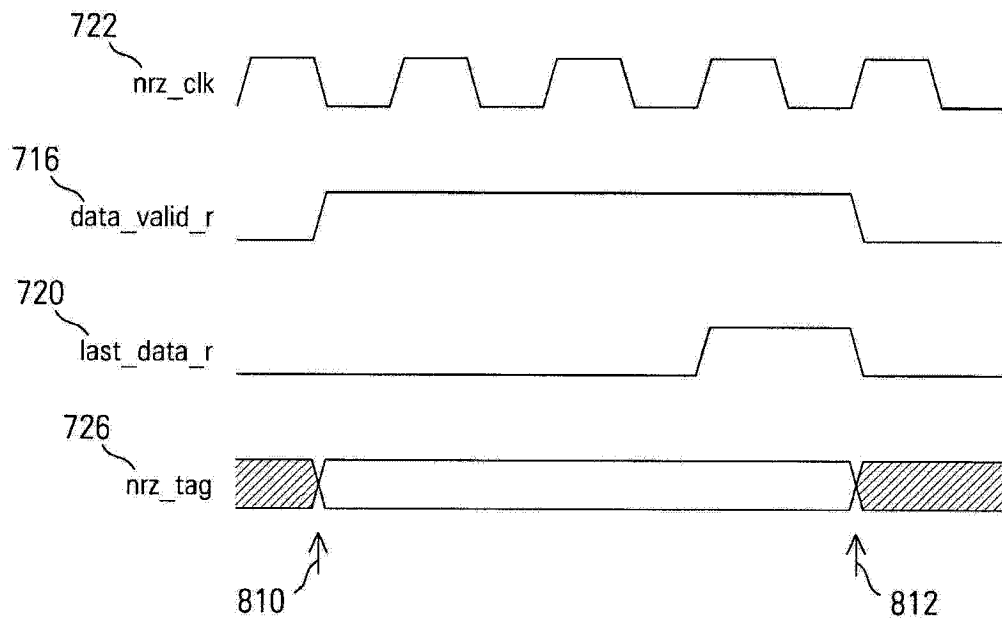


图 8B

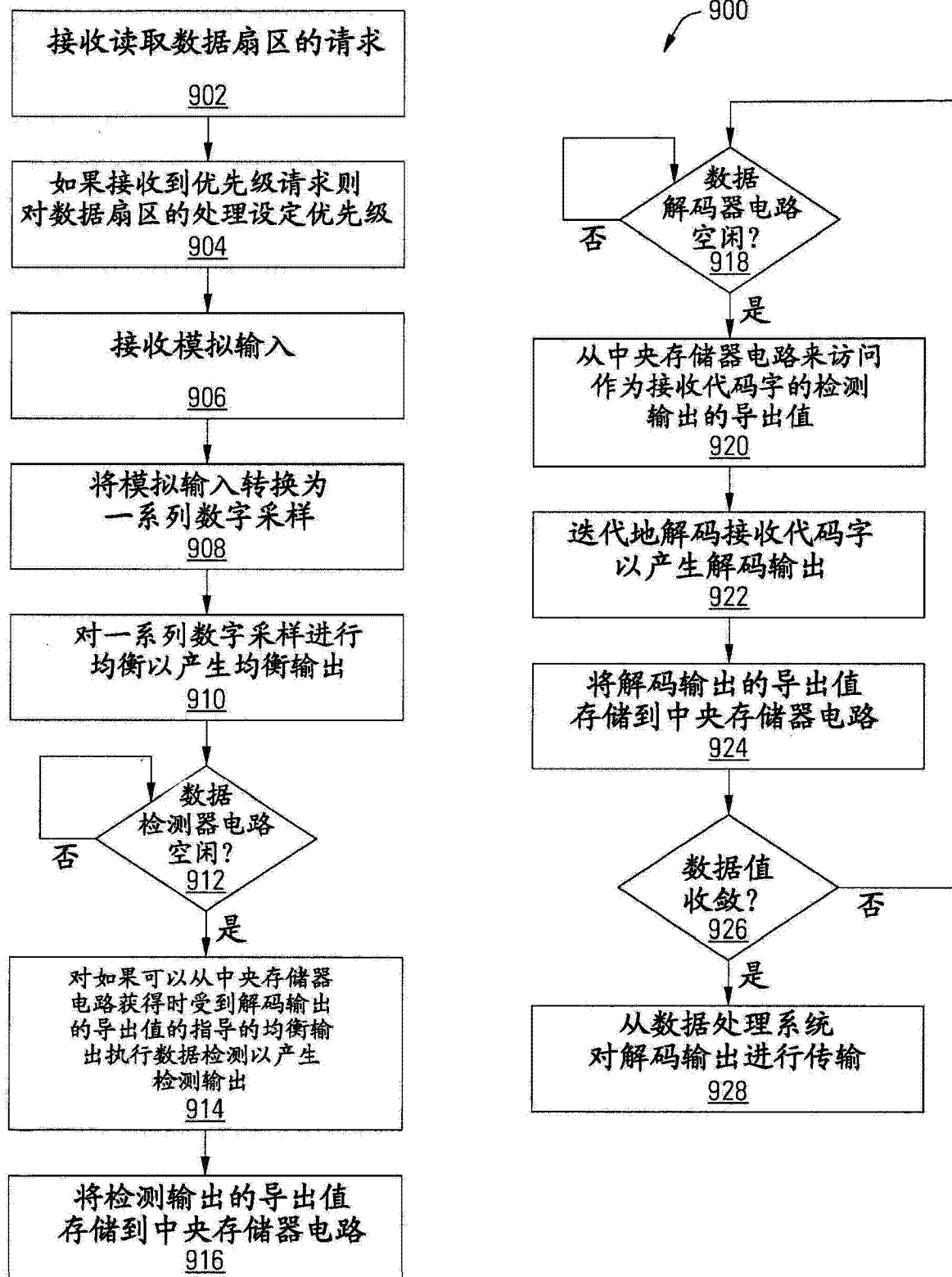


图 9