

PCT

世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願

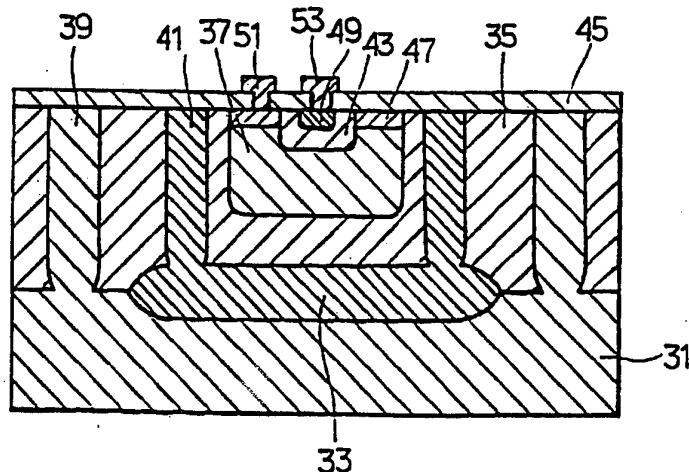


<p>(51) 国際特許分類6 H01L 29/861, 21/761</p>	<p>A1</p>	<p>(11) 国際公開番号 WO95/19647</p> <p>(43) 国際公開日 1995年7月20日(20.07.95)</p>
<p>(21) 国際出願番号 PCT/KR95/00003</p> <p>(22) 国際出願日 1995年1月12日(12.01.95)</p> <p>(30) 優先権データ 特願1994/406 1994年1月12日(12.01.94) KR</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 大宇(DAEWOO COMPANY LTD.)(KR/KR) 137-130 ソウル特別市中区南大門路5街541番地 Seoul, (KR)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 趙 敬和(CHO, Kyung Hwa)(KR/KR) 121-020 ソウル特別市麻浦区孔徳洞111-25 Seoul, (KR) 崔 眞淑(CHOI, Jin Sook)(KR/KR) 110-490 ソウル特別市鐘路区忠信洞1-302 Seoul, (KR)</p>	<p>(74) 代理人 弁理士 張 成求, 外(JANG, Sung Ku et al.) 137-130 ソウル特別市瑞草区草洞275番地 Seoul, (KR)</p> <p>(81) 指定国 JP, US.</p> <p>添付公開書類 国際調査報告書 請求の範囲の補正の期限前であり、補正書受領の際には再公開される。</p>	

(54) Title : DIODE AND PRODUCTION METHOD THEREOF

(54) 発明の名称 ダイオードおよびその製法

(57) Abstract :



(57) Abstract

A diode including an n<sup>+</sup> buried layer for preventing the formation of a parasitic transistor at a predetermined portion of an n epitaxial layer grown on a p semiconductor substrate, and a p<sup>+</sup> element isolation region formed on an n epitaxial layer close to the n<sup>+</sup> buried layer and connected to the semiconductor substrate. The diode has a diode structure formed in the n epitaxial layer on the n<sup>+</sup> buried layer, in which the junction of a p well and an n well is formed. An n<sup>+</sup> sink formed in the n epitaxial layer close to the p well and connected to the n<sup>+</sup> buried layer isolates electrically completely the p semiconductor substrate from the p well. Thus the n<sup>+</sup> buried layer and the sink isolate electrically the p semiconductor substrate from the p well, latch-up is prevented, and breakdown of the diode is prevented.

(57) 要約

本発明によるダイオードおよびその製法は、p型半導体の基板の上部に結晶成長されたn型エピタクシャル層の所定の部分に寄生トランジスタの形成を防止するn<sup>+</sup>型埋設層と、このn<sup>+</sup>型埋設層寄りのn型エピタクシャル層に半導体の基板と連結されるように形成されて、素子を分離するp<sup>+</sup>型の素子分離領域を有し、n<sup>+</sup>型埋設層の上部のn型エピタクシャル層にp型ウェルとn型ウェルの接合をなして形成されたダイオード構造を備えて、前記n<sup>+</sup>型埋設層と連結されるように前記p型ウェル寄りのn型エピタクシャル層に形成されたn<sup>+</sup>型シンクによりp型半導体の基板とp型ウェルを電氣的に完全に分離せしめる。したがって、n<sup>+</sup>型埋設層およびシンクによりp型半導体の基板とp型ウェルを電氣的に分離させるため、ラッチアップの発生を防止してダイオードが破壊されることを防止しうる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	EE	エストニア	LK	スリランカ	RU	ロシア連邦
AT	オーストリア	ES	スペイン	LR	リベリア	SD	スーダン
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
BB	バルバドス	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BG	ブルガリア	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BH	バーレーン	GE	グルジア	MD	モルドバ	SN	セネガル
BJ	ベナン	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	GR	ギリシャ	ML	マリ	TD	チャド
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	TG	トゴ
CA	カナダ	IE	アイルランド	MR	モリタニア	TJ	タジキスタン
CF	中央アフリカ共和国	IS	アイスランド	MW	マラウイ	TM	トルクメニスタン
CG	コンゴ	IT	イタリア	MX	メキシコ	TT	トリニダード・トバゴ
CH	スイス	JP	日本	NE	ニジェール	TU	トルクメニスタン
CI	コート・ジボアール	KE	ケニア	NL	オランダ	UG	ウガンダ
CM	カメルーン	KG	キルギスタン	NO	ノルウェー	US	米国
CN	中国	KP	朝鮮民主主義人民共和国	NZ	ニュージーランド	UZ	ウズベキスタン共和国
CZ	チェコ共和国	KR	大韓民国	PL	ポーランド	VN	ベトナム
DE	ドイツ	KZ	カザフスタン	PT	ポルトガル		
DK	デンマーク	LI	リヒテンシュタイン	RO	ルーマニア		

## 明 細 書

## ダイオードおよびその製法

## [発明の分野]

本発明は無接点リレー素子用ダイオードおよびその製法に  
5 関し、とくに、スイッチ「オフ」の際、半導体の基板がフ  
ローティングされて素子が電氣的に分離されなく、電源電圧の  
電位になるため発生されるラッチアップを防止しうる無接点  
リレー素子用ダイオードおよびその製法に関する。

## [従来技術]

10 最近、回路の設計および半導体の製造工程技術の向上によ  
って個別素子などからなる回路などを集積回路化するために  
多くの研究が行われており、実際に多くの回路などが集積回  
路化されている。かかる個別素子などからなる回路などを集  
積回路化することによって寿命延長、小型軽量化、動作特性  
15 向上および原価節減などの特長がある。

かかる傾向に応じて、ダイオードを整流器で用いる無接点  
リレー素子を集積回路で製造するための研究が続けられてい  
る。

図1は従来ダイオードの断面図である。

20 前記ダイオードはp型半導体の基板11に結晶成長された、  
n型のエピタクシャル層15の所定の部分にp型のウェル1  
7が形成されて、このp型ウェル17内にn型ウェル21が  
形成されてP型ウェル17とpn接合をなしている。また、

## 2

p型半導体の基板11とn型エピタクシャル層15とのあいだに寄生トラジスタの生成を防ぐためのn<sup>+</sup>型埋設層13が形成されており、p型ウェル17寄りのn型エピタクシャル層15の所定の部分に前記ダイオードを近位の素子から分離するのためのp<sup>+</sup>型素子の分離領域19がp型半導体の基板11と連結されるように形成されている。また、p型ウェル17とn型ウェル21との表面に電極25、27が形成されており、残りの部分に酸化膜23が形成されている。

ダイオードはp型ウェル17とn型ウェル21が順方向へ接合をなして整流作用を行うが、p型半導体の基板11が接地状態であるばあい、p型の素子分離領域19により素子が電氣的に分離される。

しかし、このダイオードが無接点リレーに用いられるばあい、スイッチ「オフ」の際、p型半導体の基板11は電源電圧の電位にフローティングされて電氣的に絶縁されない。したがって、そのダイオードはpnpnサイリスター(thyristor)の構造になって、ラッチアップを発生せしめて、素子を破壊する問題点があった。

## [発明の概要]

したがって、本発明の目的は、スイッチ「オフ」の際に、半導体の基板がフローティングされてもサイリスター構造が形成されてラッチアップにより素子が破壊されることを防止しうる、無接点リレー用ダイオードを提供するにある。

本発明の他の目的は、前記のような無接点リレー用ダイオードの製法を提供するにある。

[図面の簡単な説明]

図 1 は、従来のダイオードの断面図である。

5 図 2 は、本発明によるダイオードの断面図である。

図 3 は、本発明によるダイオードの製造工程図である。

[符号の説明]

- 3 1 p 型半導体の基板
- 3 3 n<sup>+</sup> 型埋設層
- 10 3 5 n 型エピタクシャル層
- 3 6, 4 5 酸化膜
- 3 7, 4 3 p 型および n 型ウェル
- 3 9 p<sup>+</sup> 型の素子分離領域
- 4 1 n<sup>+</sup> 型シンク
- 15 4 7, 4 9 p<sup>+</sup> 型および n<sup>+</sup> 型領域
- 5 1, 5 3 電極

[発明の詳細な説明]

以下、本発明のダイオードおよびその製法について図面を参照しながらより詳しく説明する。

20 [実施例]

図 2 には、本発明の実施例による無接点リレー用ダイオードの断面図が示されている。このダイオードは、p 型半導体の基板 3 1 に結晶成長された n 型エピタクシャル層 3 5 の所

定の部分に p 型ウェル 37 が形成されて、この p 型ウェル 37 内に n 型ウェル 43 が形成されて、p 型ウェル 37 との p-n 接合をなす。その n 型エピタクシャル層 35 は燐 (p)、アンチモン (Sb) またはヒ素 (As) などの n 型の不純物がドーピングされて 10 ~ 15  $\mu\text{m}$  位の厚さに結晶成長される。また、p 型ウェル 37 はボロン (Boron) らの p 型不純物が  $3.5 \times 10^{14} \sim 5.0 \times 10^{14} / \text{cm}^2$  位が 6 ~ 8  $\mu\text{m}$  位の深さに注入され、n 型ウェル 43 は n 型不純物が  $1 \times 10^{14} \sim 5 \times 10^{14} / \text{cm}^2$  位が 1.5 ~ 2  $\mu\text{m}$  位の深さまで拡散されて形成される。

p 型ウェル 37 の下部には、p 型半導体の基板 31 と n 型エピタクシャル層 35 に渡って面抵抗が 10 ~ 25  $\Omega / \square$  になるように、n 型不純物がドーピングのような 3 ~ 4  $\mu\text{m}$  位の厚さの n<sup>+</sup> 型埋設層 33 が形成される。また、p 型ウェル 37 と所定の間隔だけ離間されて、周囲の n 型エピタクシャル層 35 に不純物が  $1 \times 10^{18} \sim 5 \times 10^{21} / \text{cm}^3$  の拡散された n<sup>+</sup> 型シンク (Sink) 41 が形成される。この n<sup>+</sup> 型シンク 41 は n<sup>+</sup> 型埋設層 33 と連結されて、p 型半導体の基板 31 と p 型ウェル 37 を電氣的に分離させる。

また、n<sup>+</sup> 型シンク 41 寄りの n 型エピタクシャル層 35 に p 型不純物が  $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$  の拡散された p<sup>+</sup> 型素子分離層 39 が p 型半導体の基板 31 と連結されるように形成される。

また、上記の p 型および n 型ウェルなど 37, 43 の表面の所定の部分に、アルミニウム (Al) などの導電性金属からなる電極 51, 53 が形成され、その他残りの部分に酸化膜 45 が形成される。上記において、p 型および n 型のウェル 37, 43 の電極 51, 53 と接触される所定の部分には、p<sup>+</sup> 型および n<sup>+</sup> 型領域 47, 49 が形成されて、p 型および n 型ウェル 37, 43 と各々の電極 51, 53 間の接続抵抗を減少せしめる。

上記の無接点リレー用ダイオードは、スイッチ「オン」の際、p 型半導体の基板 31 は接地され、p 型ウェル 37 と n 型ウェル 43 には、順方向のバイアスが印加されて整流作用を行う。このとき、p 型半導体の基板 31 と p<sup>+</sup> 素子分離領域 45 が接地されて、前記ダイオードは近位の素子などから絶縁される。しかし、スイッチ「オフ」の際、p 型ウェル 37 と n 型ウェル 43 が接地され、また、p 型半導体の基板 31 はフローティング状態になる。したがって、p 型半導体の基板 31 の電圧は電源電圧の電位まで上昇することになって、そのダイオードは p 型半導体の基板 31 と共に p n p n サイリスタの構造を成すが、n<sup>+</sup> 型埋設層 33 とシンク 41 により p 型半導体の基板 31 と電氣的に分離されることによって、ラッチアップが発生しうることを防止しうる。

図 3 (A) ~ 図 3 (C) は、本発明の一実施例による無接点リレー用ダイオードの製造工程図である。

図3 (A) を参照すれば、出発物質である p 型半導体の基板 31 の所定部分に磷、ヒ素またはアンチモンなどの n 型の不純物がドーピングされており、面抵抗が  $10 \sim 25 \Omega / \square$  位の  $n^+$  型埋設層 33 を  $3 \sim 4 \mu\text{m}$  位の厚さに形成される。

5 また、 $n^+$  型埋設層 33 を含む p 型半導体の基板 31 の表面に非抵抗が  $3 \sim 5 \Omega \cdot \text{cm}$  位の n 型エピタクシャル層 35 を、例えば、化学蒸着法 (Chemical Vapor Deposition: CVD) のような通常の結晶成長方法により  $10 \sim 15 \mu\text{m}$  位の厚さに成長せしめる。しかるのち、n 型エピタクシャル層 35 の上部  
10 に酸化膜 36 を形成し、フォトリソグラフィ方法により、 $n^+$  型埋設層 33 の中間と対応する部分の n 型エピタクシャル層 35 を露光させる。また、n 型エピタクシャル層 35 の露光された部分にボロンらの p 型不純物を  $3.5 \times 10^{14} \sim 5.0 \times 10^{14} / \text{cm}^2$  の注入量と  $60 \sim 100 \text{ keV}$  のエネルギーでイオン注入し、 $1000^\circ\text{C}$  の水蒸気状態で  $60 \sim 80$   
15 分のあいだ熱処理して不純物を拡散せしめて、 $6 \sim 8 \mu\text{m}$  の深さの p 型ウェル 37 を形成する。この時、熱処理のあいだ、n 型エピタクシャル層 35 の露光された部分に酸化膜が形成される。イオン注入の際、高いエネルギーによる表面損傷を防ぐために、n 型エピタクシャル層 35 の露光された部分に  
20  $500 \sim 1500 \text{ \AA}$  位の厚さの緩衝酸化膜を形成したのち、イオン注入することもできる。

図3 (B) には、熱処理のあいだ、成長された酸化膜に通



常のフォトリソグラフィ方法により  $n^+$  型埋設層 33 の周囲とその相応する部分の酸化膜 36 を除去して、 $n$  型エピタクシャル層 35 を露光せしめる。また、その露光された部分にボロンらの  $p$  型不純物を沈積させたのち、 $p$  型半導体の基板 31 と接するように、 $1000^\circ\text{C}$  位の水蒸気状態で 60 ~ 80 分のあいだ熱処理不純物を拡散せしめて、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$  位の  $p^+$  型の素子分離領域 39 を形成する。

したがって、 $n$  型エピタクシャル領域 35 は  $p$  型の半導体の基板 31 と  $p^+$  型の素子分離領域 39 により完全に取り囲まれるようになり、しかるのち、再び  $n^+$  型埋設層 33 のエッジ部分とその相応する部分の酸化膜 36 を除去して  $n$  型エピタクシャル層 35 を露光せしめる。また、 $n$  型エピタクシャル層 35 の露光された部分に  $900 \sim 1100^\circ\text{C}$  で 20 ~ 30 分間  $\text{POCl}_3$  を沈積せしめたあと、 $1150 \sim 1250^\circ\text{C}$  の水蒸気状態で 15 ~ 25 分間同じ温度の窒素状態で 200 ~ 300 分間熱処理してリンを拡散せしめて、 $1 \times 10^{18} \sim 5 \times 10^{21} / \text{cm}^3$  である  $n^+$  型シンク 41 を形成する。この  $n^+$  型シンク 41 は  $n^+$  型埋設層 33 と共に  $p$  型ウェル 37 と  $p$  型半導体の基板 31 を電氣的に完全に分離せしめる。また、 $p^+$  型の素子分離領域 39 と  $n^+$  型シンク 41 を各々形成したが、各々  $p$  型不純物と  $n$  型不純物とを沈積させたのち、同時にドライブーインさせて形成することもできる。

図 3 (C) には、前記  $p$  型ウェル 37 の所定部分上の酸化

膜 36 を防止し、燐などの n 型不純物を 40 ~ 60 KeV のエネルギーと  $1 \times 10^{14} \sim 5 \times 10^{14} / \text{cm}^2$  の注入量でイオン注入する。また、前記注入された不純物を 1150 ~ 1250 °C の水蒸気状態で 15 ~ 25 分、同じ温度の室素状態で 20 ~ 40 分間の熱処理を行って 1.5 ~ 2  $\mu\text{m}$  の深さに拡散させて、n 型ウェル 43 を形成する。しかるのち、その酸化膜 36 を除する。次いで、上述の構造の全表面に再び酸化膜 45 を形成する。また、p 型ウェル 37 上の酸化膜 45 を選択的に食刻し、ボロンらの p 型不純物を 40 ~ 60 keV のエネルギーと  $5 \times 10^{14} \sim 8 \times 10^{14} / \text{cm}$  の注入量でイオン注入する。そののち、1100 ~ 1200 °C の室素状態で 70 ~ 110 分間、950 ~ 1150 °C の水蒸気状態で 40 ~ 60 分間熱処理して、その注入された不純物を拡散せしめて p<sup>+</sup> 型領域 47 を形成する。上述においての p<sup>+</sup> 型領域 47 はダイオードの漏れ電流を防止するためのものであって、p 型ウェル 37 表面の不純物と前記拡散された不純物が合わせられて高濃度になる。このとき、熱処理のあいだ前記 p 型ウェル 37 上に酸化膜が形成される。しかるのち、n 型ウェル 43 上の酸化膜 45 を選択食刻し、POCl<sub>3</sub> を 950 ~ 1150 °C で 15 ~ 25 分間沈積したのち、950 ~ 1150 °C の水蒸気状態で 15 ~ 25 分間同じ温度の室素状態で 20 ~ 40 分間熱処理して、燐を拡散させて n<sup>+</sup> 型領域 49 を形成する。この n<sup>+</sup> 型領域 49 はオーム接点 (ohmic contact) をなすた

めのものであって、その  $p^+$  型領域 47 と同様に、 $n$  型ウェル 43 表面の不純物と拡散された不純物とが合わせられて高濃度になる。次いで、露光された  $p^+$  型および  $n^+$  型領域 47, 49 の表面にアルミニウムなどの導電性金属で電極 51, 53 を形成する。

したがって、本発明は  $n^+$  型埋設層およびシンクにより  $p$  型半導体の基板と  $p$  型ウェルを電氣的に分離させることによってラッチアップの発生を防止し、ダイオードの破壊を防止しうる特長がある。前述したように、本発明はこの実施例について説明したが、本発明の範囲を逸脱することなく、当業者は種々の改変をなし得るであろう。

即ち、本発明の実施例においては、出発物質として  $p$  型半導体の基板を用いたが、 $n$  型半導体の基板を用いることもでき、このばあいには各領域などは反対導電性にならなければならない。

## 特許請求の範囲

1. 第1導電型の半導体の基板と、

前記半導体の基板の上部に形成された第1導電型と他の導電型である第2導電型のエピタクシャル層と、

5 前記第2導電型のエピタクシャル層の所定の部分に拡散された第1導電型ウェルと、

前記第1導電型ウェルの所定の部分に拡散されて、pn接合をなす第2導電型ウェルと、

10 前記第1導電型ウェルの下部の前記第1導電型の半導体の基板と前記第2導電型のエピタクシャル層にわたって形成された、高濃度の第2導電型の埋設層と、

前記第2導電型の埋設層寄りの前記第2エピタクシャル層に、前記第1導電型の半導体の基板と連結されるように形成された高濃度の第1導電型の素子分離領域と、

15 前記高濃度の第2導電型の埋設層と連結されるように前記第1導電型のウェル寄り前記第2導電型のエピタクシャル層に形成されて、前記高濃度の第2導電型の埋設層と共に前記第1導電型の半導体の基板と、前記第1導電型ウェルを電気的に分離する高濃度の第2導電型シンク

20 とを含むことを特長とするダイオード。

2. 前記第1導電型がp型であり、第2導電型がn型である請求項1記載のダイオード。

3. 前記第1導電型ウェルの表面に、第1導電型の不純物が

高濃度でドーピングされた請求項1記載のダイオード。

4. 前記第2導電型ウェルの表面の所定の部分に、第2導電型の不純物が高濃度でドーピングされた請求項1記載のダイオード。

5 5. 前記第1導電型の半導体の基板に、第2導電型のエピタクシャル層を結晶成長する工程と、

前記第1導電型の半導体基板と前記第2導電型のエピタクシャル層の所定部分にわたって高濃度の第2導電型の埋設層を形成する工程と、

10 前記第2導電型の埋設層寄りの前記第2導電型のエピタクシャル層に、前記第1導電型の半導体の基板と連結される高濃度の第1導電型の素子分離領域を形成する工程と、

前記第2導電型のエピタクシャル層の所定部分に、前記埋設層と連結される高濃度の第2導電型のシンクを形成する工程と、

15 前記高濃度の第2導電型の埋設層の上部の前記第2導電型のエピタクシャル層に第1導電型のウェルを形成する工程と、  
前記第1導電型ウェル内に第2導電型ウェルを形成する工程

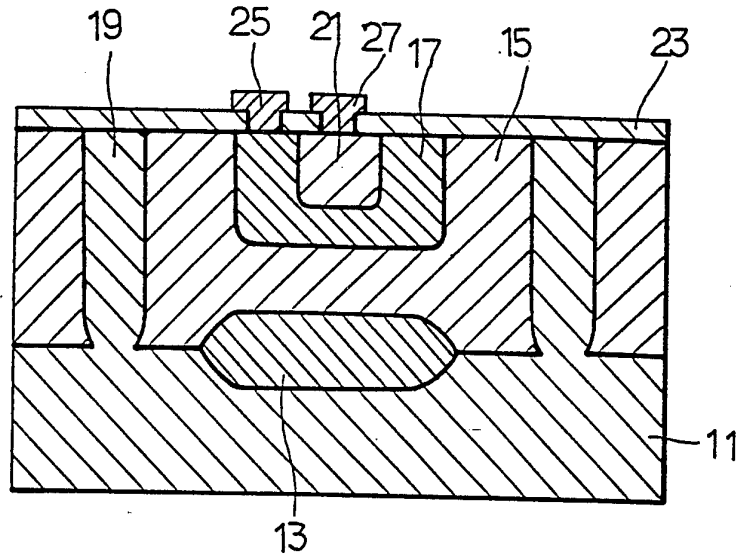
20 とを含むことを特長とするダイオードの製法。

6. 前記第1導電型ウェルの表面に、第1導電型の不純物を高濃度で注入する工程をさらに備える請求項5記載のダイオードの製法。

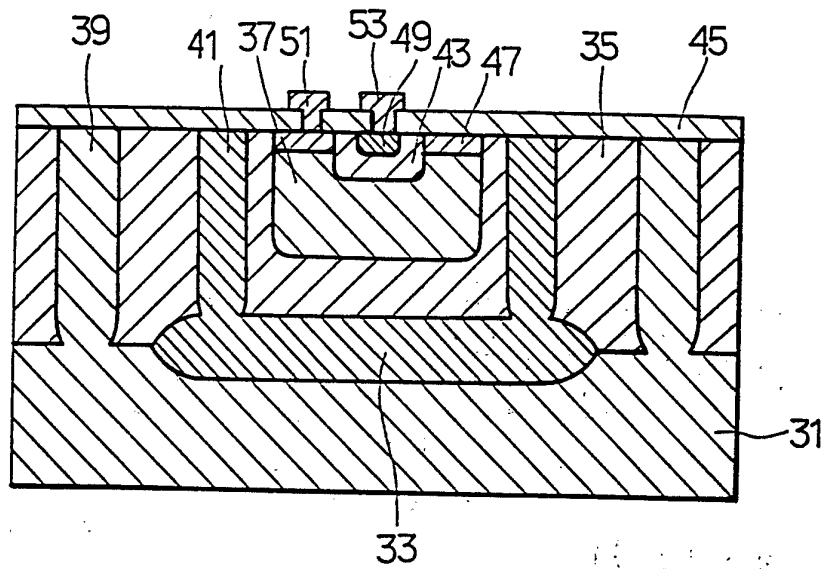
7. 前記第2導電型ウェルの表面の所定の部分に、第2導電型の不純物を高濃度で注入する工程をさらに備える請求項6記載のダイオードの製法。

1/2

第 1 图

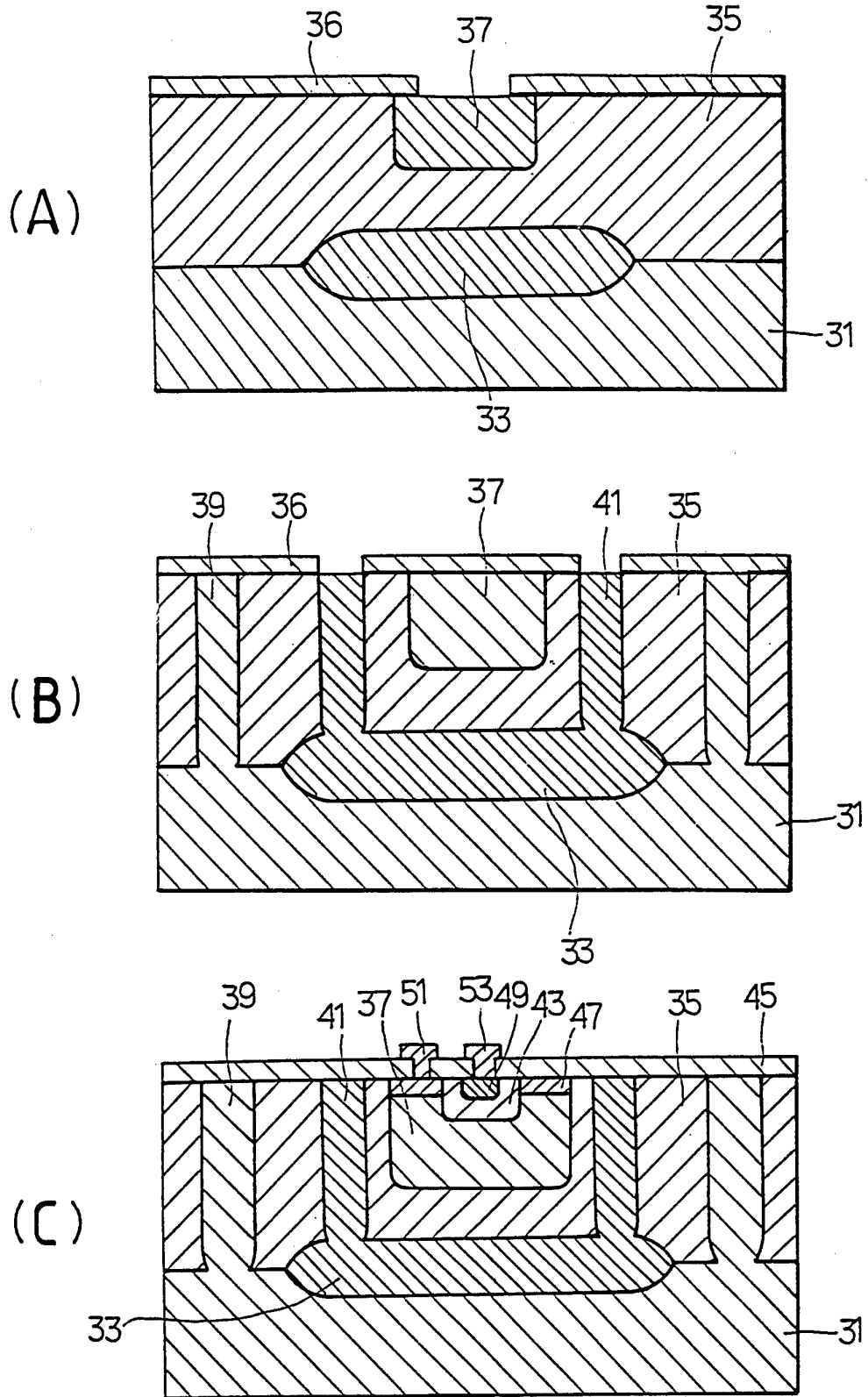


第 2 图



2/2

第 3 圖






## INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR95/00003

A. CLASSIFICATION OF SUBJECT MATTER		
Int. Cl <sup>6</sup> H01L29/861, H01L21/761		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Int. Cl <sup>6</sup> H01L29/861, H01L21/761		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Jitsuyo Shinan Koho 1960 - 1994		
Kokai Jitsuyo Shinan Koho 1971 - 1994		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, A, 6-104459 (Sanken Denki K.K.), April 14, 1994 (15. 04. 94), Fig. 1	1 - 4
Y	Figs. 1 to 10 (Family: none)	5 - 7
A	JP, A, 50-76988 (Nippondenso Co., Ltd.), June 24, 1975 (24. 06. 75), Fig. 1 (Family: none)	1 - 7
A	JP, A, 60-14450 (Tokyo Sanyo Electric Co., Ltd.), January 25, 1985 (25. 01. 85), Fig. 1 (Family: none)	1 - 7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search April 19, 1995 (19. 04. 95)		Date of mailing of the international search report May 16, 1995 (16. 05. 95)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))						
<b>Int. Cl.<sup>0</sup> H01L29/861, H01L21/761</b>						
B. 調査を行った分野						
調査を行った最小限資料 (国際特許分類 (IPC))						
<b>Int. Cl.<sup>0</sup> H01L29/861, H01L21/761</b>						
最小限資料以外の資料で調査を行った分野に含まれるもの						
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%;"><b>日本国実用新案公報</b></td> <td style="width: 50%; text-align: right;"><b>1960-1994年</b></td> </tr> <tr> <td><b>日本国公開実用新案公報</b></td> <td style="text-align: right;"><b>1971-1994年</b></td> </tr> </table>			<b>日本国実用新案公報</b>	<b>1960-1994年</b>	<b>日本国公開実用新案公報</b>	<b>1971-1994年</b>
<b>日本国実用新案公報</b>	<b>1960-1994年</b>					
<b>日本国公開実用新案公報</b>	<b>1971-1994年</b>					
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)						
C. 関連すると認められる文献						
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号				
<b>X</b>	<b>JP, A, 6-104459 (サンケン電気株式会社),</b> <b>15. 4月, 1994 (15. 04. 94),</b> <b>第1図</b>	<b>1-4</b>				
<b>Y</b>	<b>第1-10図 (ファミリーなし)</b>	<b>5-7</b>				
<b>A</b>	<b>JP, A, 50-76988 (日本電装株式会社),</b> <b>24. 6月, 1975 (24. 06. 75),</b> <b>第1図 (ファミリーなし)</b>	<b>1-7</b>				
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <span style="margin-left: 100px;"><input type="checkbox"/> パテントファミリーに関する別紙を参照。</span>						
<p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 先行文献ではあるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&amp;」 同一パテントファミリー文献</p>						
国際調査を完了した日	国際調査報告の発送日					
<b>19. 04. 95</b>	<b>16. 05. 95</b>					
名称及びあて先	特許庁審査官 (権限のある職員)	<b>4 M 9 2 7 5</b>				
日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	<b>河本 充雄</b>					
	電話番号 03-3581-1101 内線		<b>3462</b>			

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A, 60-14450 (東京三洋電機株式会社), 25. 1月. 1985 (25. 01. 85), 第1図 (ファミリーなし)	1-7