

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-178569

(P2012-178569A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/792 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 8 3
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 1 0 1
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 3 B	5 F 1 1 0
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 6 1 8 A	
H O 1 L 21/8247 (2006.01)	H O 1 L 29/78 6 1 7 J	

審査請求 有 請求項の数 20 O L 外国語出願 (全 30 頁) 最終頁に続く

(21) 出願番号	特願2012-77885 (P2012-77885)	(71) 出願人	504263587 コヴィオ インコーポレイテッド
(22) 出願日	平成24年3月29日 (2012. 3. 29)		アメリカ合衆国, カリフォルニア州,
(62) 分割の表示	特願2007-218722 (P2007-218722) の分割		ミルピタス, サウス ヒルビュー ドラ イヴ 2 3 3
原出願日	平成19年8月24日 (2007. 8. 24)	(74) 代理人	100094318 弁理士 山田 行一
(31) 優先権主張番号	60/840, 103	(74) 代理人	100123995 弁理士 野田 雅一
(32) 優先日	平成18年8月24日 (2006. 8. 24)	(74) 代理人	100107456 弁理士 池田 成人
(33) 優先権主張国	米国 (US)	(72) 発明者	アーヴィンド カマス
(31) 優先権主張番号	11/842, 884		アメリカ合衆国, カリフォルニア州,
(32) 優先日	平成19年8月21日 (2007. 8. 21)		マウンテン ヴュー, タイレラ コート 3 2
(33) 優先権主張国	米国 (US)		最終頁に続く

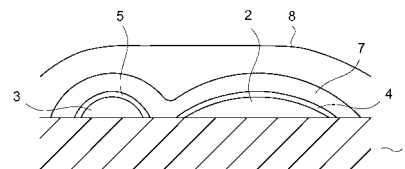
(54) 【発明の名称】 プリント不揮発性メモリ

(57) 【要約】 (修正有)

【課題】低コストで高スループットなプリント技術を使用した不揮発性メモリセルを提供する。

【解決手段】同一水平レベルにおいて所定の距離で離間している第1及び第2の半導体アイランドであって、第1の半導体アイランド2が制御ゲートを構成し、第2の半導体アイランド3がソース端子及びドレイン端子を構成する、当該第1及び第2の半導体アイランドと、第1の半導体アイランド2の少なくとも一部の上のゲート誘電体層4と、第2半導体アイランドの少なくとも一部の上のトンネル誘電体層5と、ゲート誘電体層4とトンネル誘電体層5の少なくとも一部の上のフローティングゲート7と、制御ゲート2並びにソース端子及びドレイン端子に電気的に接触する金属層と、を備える。一つの効果的な実施形態では、不揮発性メモリセルを、「全プリント」加工技術を使用して製造することができる。

【選択図】図4B



【特許請求の範囲】

【請求項 1】

電氣的に消去可能なプログラマブルリードオンリーメモリ（EEPROM）であって、

（a）実質的に水平な最上面を有する基板と、

（b）前記基板の実質的に水平な最上面上において同一水平レベルにあり所定距離だけ離れた第 1 及び第 2 のプリント半導体アイランドであって、前記第 1 のプリント半導体アイランドは前記 EEPROM の制御ゲートを構成し、前記第 2 のプリント半導体アイランドは前記 EEPROM のソース端子及びドレイン端子を構成する、該第 1 及び第 2 のプリント半導体アイランドと、

（c）前記第 1 の半導体アイランドの少なくとも一部の上にあるゲート誘電体層と、

（d）前記第 2 の半導体アイランドの少なくとも一部の上にあるトンネリング誘電体層と、

（e）前記ゲート誘電体層と前記トンネリング誘電体層の少なくとも一部の上であって、前記第 1 及び第 2 のプリント半導体アイランドの横に隣接する部分の間にあるフローティングゲートと、

（f）前記制御ゲートと前記ソース端子と前記ドレイン端子とに電氣的に接触する金属層と、

を備える、EEPROM。

【請求項 2】

前記第 1 及び第 2 の半導体アイランドの各々が、I V A 族元素を含む、請求項 1 に記載の EEPROM。

【請求項 3】

前記第 1 及び第 2 の半導体アイランドの各々が、幅と長さによって定義される領域を有し、前記第 1 の半導体アイランドの前記幅及び / 又は前記長さは、前記第 2 の半導体アイランドの前記幅及び / 又は前記長さの少なくとも一つに略等しい、請求項 1 に記載の EEPROM。

【請求項 4】

前記第 1 及び第 2 のプリント半導体アイランドと前記フローティングゲートとの上に誘電体膜を更に備え、該誘電体膜が拡散性のドーパントを含む、請求項 1 に記載の EEPROM。

【請求項 5】

前記誘電体膜内にコンタクトホールを更に備え、該コンタクトホールが、前記ソース及びドレインの一部と下方の前記制御ゲートの上面の少なくとも一部を露出させる、請求項 4 に記載の EEPROM。

【請求項 6】

（a）請求項 1 に記載の EEPROM と、

（b）（i）前記第 1 及び第 2 のプリント半導体アイランドと同一水平レベルにある第 3 のプリント半導体アイランド、

（ii）前記第 3 の半導体アイランドの少なくとも一部の上にある MOS ゲート誘電体、及び

（iii）前記 MOS ゲート誘電体の少なくとも一部の上にあるゲート電極

を有する MOS トランジスタと、

を備える集積回路。

【請求項 7】

前記 MOS ゲート誘電体は、前記トンネリング誘電体層と前記ゲート誘電体層のうち少なくとも一方の厚さとは異なる厚さを有する、請求項 6 に記載の集積回路。

【請求項 8】

電氣的に消去可能なプログラマブルリードオンリーメモリ（EEPROM）の製造方法であって、

（a）複数の半導体アイランドを基板の実質的に水平な最上面上にプリントする工程と

10

20

30

40

50

、

(b) ゲート誘電体層を、前記複数の半導体アイランドのうちの第1の半導体アイランドの少なくとも一部の上に形成し、トンネリング誘電体層を、前記複数の半導体アイランドのうちの第2の半導体アイランドの少なくとも一部の上に形成する工程と、

(c) フローティングゲートを前記ゲート誘電体層と前記トンネリング誘電体層の少なくとも一部の上であって、前記半導体アイランドの横に隣接する部分の間に形成する工程と、

(d) 誘電体膜を前記第1及び第2の半導体アイランドと前記フローティングゲートの上に形成する工程と、

(e) 前記第1及び第2の半導体アイランドと電氣的に接触する金属層を形成する工程と、

を含む、EEPROMの製造方法。

【請求項9】

前記複数の半導体アイランドを形成する工程は、半導体インクをプリントすることを含む、請求項8に記載の方法。

【請求項10】

前記フローティングゲートを形成する工程は、前駆体インクを前記ゲート誘電体層と前記トンネル誘電体層との上であって、前記半導体アイランドの横に隣接する部分の間にプリントすることを含む、請求項8に記載の方法。

【請求項11】

前記誘電体膜を形成する工程は、前記誘電体膜を前記半導体アイランドの上又は上方にプリントすることを含み、前記誘電体膜は拡散性のドーパントを含む、請求項8に記載の方法。

【請求項12】

前記ドーパントを前記複数の半導体アイランド内に十分に拡散させるよう前記誘電体膜と前記半導体アイランドをアニールする工程を更に含む、請求項11に記載の方法。

【請求項13】

前記金属層を形成する工程は、金属インクを前記誘電体膜と前記第1及び第2の半導体アイランドの露出面との上にプリントすることを含む、請求項8に記載の方法。

【請求項14】

前記フローティングゲートの形成と同時に、MOSトランジスタ内にゲートを形成する工程を更に含む、請求項10に記載の方法。

【請求項15】

前記複数の半導体アイランドの形成と同時に、MOSトランジスタチャネルを形成する工程を更に含む、請求項14に記載の方法。

【請求項16】

前記第1及び第2の半導体アイランド、並びに/若しくは前記フローティングゲートを、逐次的横方向結晶化(SLS)及び/又はレーザ結晶化により、(再)結晶化することを更に含む、請求項8に記載の方法。

【請求項17】

請求項1に記載のEEPROMを備える、RFデバイス。

【請求項18】

請求項6に記載の集積回路を備える、RFデバイス。

【請求項19】

請求項1に記載のEEPROMを備える、LCDディスプレイ。

【請求項20】

請求項6に記載の集積回路を備える、LCDディスプレイ。

【発明の詳細な説明】

【関連出願】

【0001】

10

20

30

40

50

[0001]本出願は、2006年8月24日に出願された米国仮出願第60/840,103号の利益を主張するものである。

【技術分野】

【0002】

[0002]本発明は、不揮発性メモリと、当該不揮発性メモリの製造方法及び使用方法とに関するものである。不揮発性メモリは、低コストのプリント技術を使用して製造することができる。この技術においては、ドーパ誘電体膜を（プリント）半導体膜上にプリントし、ドーパ誘電体膜からドーパントを半導体膜に拡散することで、MOS又は薄膜フローティングゲートトランジスタが作製される。本発明は、例えば、米国特許仮出願第60/838,125号（2006年8月15日に出願）、並びに、それぞれ2007年6月12日、2007年8月3日、及び2007年8月3日に出願された米国特許出願第11/818,078号、第11/888,949号、及び第11/888,942号で説明されているような、プリント薄膜トランジスタ（TFT）製造工程を効果的に採用するものである。

10

【背景技術】

【0003】

[0003]不揮発性メモリにおけるフローティングゲートトランジスタは、電氣的に消去可能でプログラム可能なリードオンリメモリ、又はEEPROMの公知の形態である。EEPROMデバイスは、一般的に、トランジスタのグリッド又はアレイを備えており、当該トランジスタは、高品質な絶縁体により保護した一以上のフローティングゲートを有している。正常より高い電位をEEPROMトランジスタの端子に印加することで、電子はフローティングゲートで捕捉されるようになり、それによってトランジスタをオンにする電圧が変化する。EEPROMトランジスタは、基本状態（設計によって全て「1」か「0」である）へと、電氣的に又は光学的に（例えば、紫外線「UV」光を照射することによる）、リセット又は消去することができる。パッケージされると、EEPROMデバイスは一般的に、UV光でリセット又は消去することはできない。しかしながら、電氣的消去プロセスは、デバイスの電荷蓄積能力を劣化させるという不利な点を有しており、従って、フローティングゲートトランジスタに基づくメモリシステムは一般的に、約 10^5 のオーダーでの書き込み動作という有限の寿命を有している。

20

【0004】

30

[0004]フラッシュメモリは、EEPROMと略同一であり、主に内部レイアウト及び/又は処理論理が異なる。フラッシュメモリは一般的に、ブロック、行、又は列で書き込み及び消去され、それにより内部書き込みが大幅に簡略化され、より高密度化が可能である。面密度（すなわち、単位面積あたりのメモリ記憶ビット）は、大部分のメモリシステムのコストを決定する主要因であり、このため、フラッシュメモリは利用可能な最低コストの固体メモリデバイスの一つに発展している。

【発明の概要】

【0005】

[0005]本発明は、不揮発性メモリ、並びに薄膜トランジスタ及びそれらを含む回路を、様々な基板上に作製する方法に関するものである。基板としては、以下のものに限定されないが、ガラス（例えば、石英）の板、ウエハ、又はスリップ、プラスチック及び/又は金属の箔、若しくは板、Siウエハ等があり、これらの全ては、一以上の追加層（例えば、バッファ、機械的サポート等）を有することがある。応用例としては、以下のものに限定されないが、ディスプレイ（例えば、フラットパネルディスプレイ、プラズマディスプレイ、LCD/LEDディスプレイ、電気泳動ディスプレイ、等）、RFデバイス、センサ、等がある。

40

【0006】

[0006]本発明の一態様は、不揮発性メモリセルに関するものであり、同一水平レベルにおいて所定距離だけ離間した第1及び第2のプリント半導体アイランドであって、第1のプリント半導体アイランドが不揮発性メモリセルの制御ゲートを有し、第2のプリント半

50

導体アイランドが不揮発性メモリセルのソース端子及びドレイン端子を有する、当該第 1 及び第 2 のプリント半導体アイランドと、第 1 の半導体アイランドの少なくとも一部の上にあるゲート誘電体層と、第 2 の半導体アイランドの少なくとも一部の上にあるトンネリング誘電体層と、ゲート誘電体層及びトンネリング誘電体層の少なくとも一部の上にあるフローティングゲートと、制御ゲートとソース端子及びゲート端子とに電氣的に接触する金属層と、を備える。

【 0 0 0 7 】

[0007]本発明の別態様は、集積回路に関するものであり、当該集積回路は、第 3 のプリント半導体アイランドを有する不揮発性メモリセル及び MOS トランジスタを備え、第 3 プリント半導体アイランドは、第 1 及び第 2 のプリント半導体アイランドと同一水平レベルにある。この集積回路は更に、第 3 のプリント半導体アイランドの少なくとも一部の上にある MOS ゲート誘電体と、 MOS ゲート誘電体の少なくとも一部の上にあるゲート電極と、を備える。

10

【 0 0 0 8 】

[0008]本発明の別態様は、 MOS トランジスタ及び / 又は不揮発性メモリセルの製造方法に関するものであり、当該方法は、複数の半導体アイランドを基板上にプリントする工程と、ゲート誘電体層を複数の半導体アイランドのうち第 1 の半導体アイランドの少なくとも一部の上に形成し、トンネリング誘電体層を複数の半導体アイランドのうち第 2 の半導体アイランドの少なくとも一部の上に形成する工程と、フローティングゲートをゲート誘電体層及びトンネリング誘電体層の少なくとも一部の上に形成する工程と、誘電体膜を第 1 及び第 2 の半導体アイランド及びフローティングゲートの上に形成する工程と、第 1 及び第 2 の半導体アイランドと電氣的に接触する金属層を形成する工程と、含む。

20

【 0 0 0 9 】

[0009]本発明は、相対的にコストが高く時間のかかるマスキング工程を、パターン化半導体アイランド、フローティングゲート、並びに、 n 型及び p 型ドーパントソース膜のような機能材料を用いた相対的に安価で高スループットなプリンティングで置き換える。オプションとして、ドーパント誘電体膜を層間誘電体として適切な位置に残し、更なる誘電体の堆積、パターンング及び / 又は除去工程を排除することができる。

【図面の簡単な説明】

【 0 0 1 0 】

30

【図 1 A】本デバイスの例示の実施形態を製造するための製造工程例における初期構造のレイアウト（例えば、トップダウン）を示す図である。

【図 1 B】本デバイスの例示の実施形態を製造するための製造工程例における初期構造の断面図である。

【図 1 C】本デバイスの例示の実施形態を製造するための製造工程例における初期構造の断面図である。

【図 2 A】製造工程例における中間構造の断面図である。

【図 2 B】製造工程例における中間構造の断面図である。

【図 3 A】本デバイスの例示の実施形態の作製工程例における一連の中間構造のレイアウトを示す図である。

40

【図 3 B】本デバイスの例示の実施形態の作製工程例における一連の中間構造の断面図である。

【図 3 C】本デバイスの例示の実施形態の作製工程例における一連の中間構造の断面図である。

【図 4 A】製造工程例における一連の中間構造の断面図である。

【図 4 B】製造工程例における一連の中間構造の断面図である。

【図 5 A】本発明による不揮発性メモリデバイスの例示の実施形態のトップダウン図である。

【図 5 B】本発明による不揮発性メモリデバイスの例示の実施形態の図 5 A の A - A ' に沿った断面図である。

50

【図 6 A】本発明により不揮発性メモリデバイスを製造するための代替的工程例における一連の中間構造の断面図である。

【図 6 B】本発明により不揮発性メモリデバイスを製造するための代替的工程例における一連の中間構造の断面図である。

【図 6 C】本発明により不揮発性メモリデバイスを製造するための代替的工程例における一連の中間構造の断面図である。

【図 7】チャネルアイランド / 制御ゲート層がスピンコートシリコン含有インクから形成された E E P R O M セルの保持データを示すグラフである。

【好適な実施の形態の詳細な説明】

【 0 0 1 1 】

10

[0018]本発明による不揮発性メモリセルは、単一のフローティングゲート、及び、一つ又は二つのゲート酸化物を有するプリント T F T 製造工程を用いて作製することができる。二つの別個のシリコンアイランドを使用することができ、その一方は制御ゲートのとして機能し、他方は読み出しトランジスタのソース、ドレイン及びチャネルとして機能する。シリコンアイランドのフローティングゲート（及び互い）に対する面積比を、所望の容量結合比を達成するように選択することができる。このデバイスは、ファウラ・ノルドハイムトンネリング、又はトンネルゲート酸化物を越えてキャリアをフローティングゲートにホット注入する処理を用いて、プログラムすることができる。或いは、参照セル（例えば、「非プログラム」トランジスタ、又は「0」の2値論理状態を記憶するもの）を、プログラムセルからの逆バイアスを使用してプログラムすることができ、その結果、プログラム - 非プログラムセル対（例えば、「0」及び「1」の2値論理状態）の間で非常に大きなデルタ電圧 V_t が生じ、セルが機能するマージンを拡張し、それにより、保持時間を増加させ、及び / 又は緩やかな（例えば、サブスレッショルドスイング）条件下での動作を可能にする。電荷はフローティングゲートで保持され、結果としてプログラムトランジスタのスレッショルド電圧が参照（非プログラム）トランジスタからシフトする。フローティングゲート上の電荷が実質的に乱れないように、トランジスタはプログラム動作中よりも大幅に低い電圧で読み出される。米国特許仮出願第 6 0 / 8 3 8 , 1 2 5 号（2 0 0 6 年 8 月 1 5 日出願）、及び / 又は米国特許出願第 1 1 / 0 8 4 , 4 4 8 号、第 1 1 / 2 0 3 , 5 6 3 号、第 1 1 / 4 5 2 , 1 0 8 号、第 1 1 / 8 0 5 , 6 2 0 号、第 1 1 / 8 1 8 , 0 7 8 号、第 1 1 / 8 8 8 , 9 4 9 号、及び第 1 1 / 8 8 8 , 9 4 2 号（それぞれ、2 0 0 5 年 3 月 1 8 日、2 0 0 5 年 8 月 1 1 日、2 0 0 6 年 6 月 1 2 日、2 0 0 7 年 5 月 2 3 日、2 0 0 7 年 6 月 1 2 日、2 0 0 7 年 8 月 3 日、及び 2 0 0 7 年 8 月 3 日に出願）のいずれかに説明されているようなプリント T F T 論理工程を、追加の処理工程なしに使用して、本発明の不揮発性メモリトランジスタを製造することができる。

20

30

【 0 0 1 2 】

[0019]本発明のメモリセルは、シリコンインクをプリントしてアクティブトランジスタ層を形成することにより、部分的に作製することができる。拡張として、逐次的横方向レーザ結晶化及び / 又はシリコンプリントアイランドの結晶化により、キャリア移動度及びゲート酸化物の界面品質を改善することができる。これは次いで、T F T サブスレッショルド係数（スロープ）を大幅に改善し（より急勾配なターンオン特性）、それによってゼロ状態及び 1 状態の間をより良く分離できる。デバイスの実現可能性は、スパンオンシリコンインク及びプリント / 従来 T F T 製造工程（例えば、上記引用特許出願のうち以上に記載されるように）から作製した膜を使用して、追加の処理工程なしに優れた保持力を有することにより実証された。

40

【 0 0 1 3 】

[0020]ここで、本発明の好適な実施形態を詳細に説明する。好適な実施形態の例を添付の図面に示す。本発明を好適な実施形態に関連させて説明するが、当然のことながら、好適な実施形態は、本発明をそれらの実施形態に限定することを意図するものではない。むしろ、本発明は、添付の請求項により定義される本発明の精神及び範囲内に含まれ得る代替物、変更物及び均等物を包含することを意図している。さらに、以下の開示においては

50

、多数の特定の詳細を提供して、本発明を完全に理解可能とする。しかしながら、本発明がこれらの特定の詳細なしに実施できることは、当業者には明らかであろう。他の例においては、公知の方法、手順、構成要素、及び回路は、不必要に本発明の態様を曖昧にすることを避けるため、詳細には説明していない。

【0014】

[0021]便宜上且つ簡略化のために、用語「～に結合される」、「～に接続される」、及び「～と連通している」（並びにその変形）は、その文脈において明らかに他の意味を示しているのでなければ、直接的又は間接的な結合、接続、及び連通を意味する。これらの用語は、その文脈において明らかに他の意味を示しているのでなければ、本明細書では一般的に入れ替えて用いることができ、一つのそのような用語が用いられるいかなる場合においても、その用語は他の用語を含む。本開示では、用語「堆積させる」（及びその文法的な変形）は、ブランケット堆積、コーティング及びプリンティングを含む全ての形態の堆積を含むことを意図している。さらに、ある特定の材料に関して、「本質的に～から成る」という言い回しは、意図的に添加されるドーパントを除外しない。このドーパントは、当該ドーパントが添加される材料（又はそのような材料から形成される素子又は構造）に、ある特定の所望の（及び潜在的に全く異なる）物理的及び／又は電気的特性を与えることができるものである。「（ポリ）シラン」との用語は、本質的に（１）シリコン及び／又はゲルマニウム、並びに（２）水素から成り、少なくとも１５個のシリコン及び／若しくはゲルマニウム原子を有する化学種を主に含む化合物又は化合物の混合物を指す。かかる化学種は、一以上の周期環を含み得る。好適な実施形態において、（ポリ）シランは化学式 Si_xH_y を有する。ここで x は３から約２００であり、 y は x から $(2x + 2)$ であって、 x はシランの平均分子量から導出することができる。「（シクロ）シラン」との用語は、本質的に（１）シリコン及び／又はゲルマニウム、並びに（２）水素から成り、一以上の周期環と１４個以下のシリコン及び／又はゲルマニウム原子を含むことができる化合物又は化合物の混合物を指す。「ヘテロ（シクロ）シラン」との用語は、本質的に（１）シリコン及び／又はゲルマニウム、（２）水素、並びに（３）従来の炭化水素、シラン又はゲルマン置換基で置換し得る B 、 P 、 As 、又は Sb のようなドーパント原子から成り、一以上の周期環を含むことができる化合物又は化合物の混合物を指す。「液相」は一般的に、単体で又は化合物として、大気温度（例えば、約１５ から約２５ ）で液相である一以上の材料を指す。また、構造又は特徴の「主面」とは、構造又は特徴の最大軸によって、少なくとも部分的に定義される面である（例えば、構造が円形でその厚さより大きな半径を有する場合、一以上のラジアル面が構造の主面であるが、構造が正方形、長方形又は楕円形の場合、構造の主面は一般的に二つの最大軸により定義される面であり、その二つの最大軸は一般的に長さと呼ぶ）。

【0015】

[0022]本発明は、「全プリント」製造工程におけるプリントシリコン、金属シリサイド又は耐火性金属構造に特に応用可能である。ポリシリコン、金属シリサイド（例えば、 Ni -、 Pt -、 Pd 、 Co -、 Ti 、 W 、 Mo - シリサイド他）、及び／又は、 Pd 、 W 、 Mo 等のような耐火性金属は、上記構造に対して好適である。「全プリント」態様により、プリント（例えば、インクジェット）ドーパント電体を自己整合フロー内のドーパント源として使用することもできる。本発明によってデバイスを作製するための好適な製造工程を、以下に例を挙げて説明する。

【0016】

< 部分的又は全体的にプリントされた不揮発性メモリセルの工程例 >

[0023]図１Ａ—５Ｂは、プリント不揮発性メモリ（例えば、「全プリント」 EEPROM トランジスタ）の製造工程例を示している。図１Ａ - １Ｃは、制御ゲート２及びトランジスタアイランド３をその上に有する基板１（図１Ａには示さず）を示している。図１Ｂは、軸 $A - A'$ に沿った図１Ａの構造の断面図であり、図１Ｃは、軸 $B - B'$ に沿った図１Ａの構造の断面図である。

【0017】

10

20

30

40

50

[0024] 基板 1 は一般的に、従来の機械的支持構造を構成している。基板 1 は、電氣的に不活性又は活性であってもよく、一以上の有利な及び / 又は所望の電氣的及び / 又は光学特性を更に有していてもよい。好適な電氣的に不活性又は非活性の基板は、ガラス、セラミック、誘電体、及び / 又はプラスチックのプレート、ディスク、及び / 又はシートで構成されてもよい。或いは、好適な導電基板は、半導体（例えば、シリコン）及び / 又は金属のウエハ、ディスク、シート及び / 又は箔で構成されてもよい。基板が金属シート及び / 又は金属箔で構成される場合、本デバイスは、インダクタ及び / 又はキャパシタを更に備えることがあり、本方法は、インダクタ及び / 又はキャパシタを金属基板から形成する工程を更に含むことがある。しかしながら、このような導電基板は、それ自体とその上の任意の電氣的活性層又は電氣的活性構造との間に絶縁層を有しなければならない。ただし、絶縁体上の構造及び / 又はデバイスから金属基板内に形成される構造に至るまで、電氣的接触が行われるべき位置は除く（例えば、インターポーザ、インダクタ及び / 又はキャパシタの一以上の金属パッド。例えば、それぞれ 2004 年 6 月 6 日、2005 年 4 月 1 日、及び 2005 年 10 月 3 日に出願の米国特許出願第 10 / 885, 283 号、第 11 / 104, 375 号、及び第 11 / 243, 460 号を参照のこと）。

10

【0018】

[0025] 基板 1 は、シリコンウエハ、ガラスプレート、セラミック製のプレート又はディスク、プラスチック製のシート又はディスク、金属箔、金属製のシート又はディスク、及び、これらの積層化又は層化した組合せから構成されるグループから選択される部材で構成されていることが望ましい。例えば、プラスチック基板は、その上に平坦化層を更に含んで、基板の表面粗さを低減することができ、ガラス、鋼、及びプラスチック製の基板は、その上に材料の表面エネルギー変更層を更に含み、それにより、接着性を改善すること、及び / 又はその上にプリント又は堆積した材料（例えば、インク）の拡散を制御することができる（2007 年 3 月 20 日出願の米国仮出願第 60 / 919, 290 号を参照のこと）。さらに、導電基板（例えば、金属を有するか、又は本質的に金属から成るもの）は、一般的に、絶縁層（例えば、対応する金属酸化物層）及び / 又は実質的に非結晶（アモルファス）の導電層（例えば、窒化チタン、窒化タンタル、又は窒化タングステンのような遷移金属窒化物）をその上に有する。

20

【0019】

[0026] 一実施形態では、半導体アイランド 2 及び半導体アイランド 3 は、分子及び / 又はナノ粒子ベースの半導体インクをプリント又はコーティングすることによって形成され、プリンティングの場合には、同一又は異なるインクを使用して（例えば、加熱及び / 又は硬化により）それらを薄膜に変換することができる。分子ベースの半導体インクが（ポリ）シラン及び / 又は（シクロ）シランを含む場合、及びナノ粒子ベースの半導体インクがシリコンナノ粒子を含む場合、半導体薄膜は（ポリ）シリコン膜を含む。当然ながら、（i）（ポリ）シラン及び / 又は（シクロ）シラン、並びに（ii）シリコンナノ粒子の双方を含むインクが最適である。一般に、プリンティングは、半導体インクを基板 1 上に所定のパターンで、インクジェットプリンティング（「インクジェッティング」）、スクリーンプリンティング、グラビアプリンティング、オフセットプリンティング、フレキソグラフィー（フレキソグラフィックプリンティング）、スプレーコーティング、スリットコーティング、押し出しコーティング、メニスカスコーティング、マイクロスポッティング、ペンコーティング、ステンシリング、スタンピング、シリンジディスペンシング及び / 又はポンプディスペンシングすることを含む。ある特定の好適な実施形態では、プリンティングは、インクジェッティング、グラビアプリンティング、オフセットプリンティング、又はフレキソグラフィーを含む。

30

40

【0020】

[0027] 従って、半導体薄膜層 2 及び半導体薄膜層 3 を形成することは、半導体前駆体インクを（一般的に、堆積面上に誘電材料を有する）基板 1 上にプリントしてパターンを形成し、インクを乾燥させ、インクを硬化させ（シランを架橋、オリゴマー化及び / 又はポリマー化し、並びに / 若しくは平均分子量を増加させ、粘性を増加及び / 又は組成の不安

50

定性を軽減させるのに十分な時間だけ、乾燥インクを一般的に加熱及び／又はアニールすることによる）、部分的又は略完全に半導体フィルムパターンを結晶化して、多結晶（例えば、ポリシリコン）膜を形成することを含む。液体半導体前駆体インクを、直接基板（又はその表面膜）上に局所プリントして、制御ゲート２及び／又はアイランド３のような半導体層を形成する技術は、米国特許第７，１５２，８０４号、及び、それぞれ２００３年７月８日、２００４年９月２４日、２００５年３月１８日、２００５年８月１１日に出願の同時係属の米国特許出願第１０／６１６，１４７号、第１０／９４９，０１３号、第１１／０８４，４４８号、及び第１１／２０３，５６３号に説明されている。ＭＯＳＴＦＴ構造を形成する後者のアプローチは、（ｉ）半導体前駆体材料の効率的な使用、及び（ｉｉ）半導体堆積とパターンングを組み合わせた一つのプリント工程により、コスト効率に優れたものとなり得る。一部の実施形態では、半導体インクのプリンティング（又は堆積）に引き続いて、略同時に又は即時に光（一実施形態においてはＵＶ光）を照射することができる。この光の波長及び／又は量は一般的に、インクのシリコン含有成分を架橋し、膜の基板に対する粘着度を改善し、及び／又は膜形態を改善させる（例えば、所望の断面形状を与える）のに十分である必要がある。本プロセスの重要な利点は、プリント半導体アイランドがテーパ状でドーム状の断面形状を有し、堆積又は熱酸化を通してゲート誘電体を一様に形成できることである。従って、酸化物の成長を阻害するか、又は後続材料の様な堆積に不都合な問題を引き起こしうる厳しい問題点が回避され、漏電及び／又は絶縁破壊の増大によりゲート誘電体全域で局所的に増大した場を通してデータ保持が失われるある特定の故障モードが、実質的に排除される。このデータ保持損失は、（フローティング）ゲートが半導体アイランドの端の上方を横切る点で生じる傾向がある。

【００２１】

[0028] 複数の半導体アイランドを形成することは、液相半導体インクをプリントすることによって成されてもよい。好適には、液相半導体インクは、オプションとしてＡｕ、Ｎｉ、Ａｌ等の結晶化促進剤の存在下で、インクの１～５０重量％量の液相（ポリ）シラン及び／又は（シクロ）シランと、シランを溶解可能な溶媒とを含むインクである。通常、必ずしも必要ではないが、液相半導体インクは、溶媒、好ましくはシクロアルカンを更に含む。従って、ＩＶＡ族元素源（例えば、Ｓｉ又はドーブＳｉに対するシランベースの前駆体）を含むか、又は本質的にそれらから成るインクを使用する場合、（例えば図１Ａ－１Ｃの２－３の）半導体層を形成することは、液相前駆体インクを堆積後に乾燥させることを更に含む。それぞれ２００３年７月８日、２００４年２月２７日、及び２００４年２月２７日に出願の同時係属の米国出願第１０／６１６，１４７号、第１０／７８９，３１７号、及び第１０／７８９，２７４号を参照されたい。一実施形態において、シランは化学式 Si_xH_y を有する。ここで x は３から１０００であり、 y は x から $(2x+2)$ であって、 x はシランの平均分子量から導出することができる。半導体インクは、シリコンナノ結晶を更に含んでいてもよい。このシリコンナノ結晶は、アルキル基、アラルキル基、アルコール、アルコラート、チオール、チオラート、水素及び／又はカルボン酸塩から構成される群から選択される一以上の配位子で不動態化することができる（例えば２００３年７月８日出願の米国特許出願第１０／６１６，１４７号を参照のこと。当該出願の関連部分を参照することによって本明細書に援用する。）。

【００２２】

[0029] 化学式が $(AH_z)_k$ であり、 A がＳｉで z が１又は２（２が好ましい）で k が３から１２（４から８が好ましい）である代表的なシクロシラン化合物、及びそれらを準備する方法の例は、２００４年２月２７日に出願された同時係属の出願第１０／７８９，３１７号に、より詳細に説明されている。或いは、一以上のＡ原子はＧｅであってもよい。代表的なヘテロ（シクロ）シラン化合物、ドーブシラン中間物資、ドーブシラン組成、それらの準備方法の例、並びに、前駆体インク及び活性膜内のドーバントレベルの決定及び／又は制御の技術は、（それぞれ２００４年９月２４日、２００４年９月２４日、２００４年１０月１日、及び２００５年１０月１１日に出願の）同時係属の米国特許出願第１０／９５０，３７３号、第１０／９４９，０１３号、第１０／９５６，７１４号、及び第

11/249, 167号に、より詳細に説明されている。代表的なオリゴシラン及びポリシラン化合物は、米国出願第11/246, 014号(2005年10月6日出願)、及びそれぞれ2006年10月6日、2007年3月5日出願の米国仮出願第60/850, 094号、及び第60/905, 403号で開示されている。

【0023】

[0030]堆積(及び一般的に、少なくとも何らかの乾燥)の後、半導体層は一般的に、同時係属の米国特許出願第10/789, 274号及び第10/949, 013号(2004年2月27日及び2004年9月24日出願)において説明されているように、加熱によって硬化され、アモルファス、水素化(ドーブ)半導体(例えば、a-Si:H)層を形成する。半導体層が(シクロ)シラン、(ポリ)シラン、ヘテロ(シクロ)シラン、及び/又は(ポリ)シランから生成又は形成される場合、硬化/加熱工程は、不要な前駆体/インク成分又は揮発性炭素含有化学種のような副産物を除去することができるか、又はアモルファス、水素化半導体(例えば、a-Si:H)層の水素含有量を低減することができる(これは、半導体膜形成後にレーザ結晶化を使用する場合に、特に有利である)。半導体層がヘテロ(シクロ)シラン及び/又はヘテロ(ポリ)シランから生成又は形成される場合、硬化/加熱工程は、ヘテロ(シクロ)シラン内のドーパントの一部を活性化することもできるが、多くの実施形態においては、ドーパント活性化が後続のレーザ結晶化工程中に発生する可能性が高い。

【0024】

[0031]或いは、従来のように半導体膜を(例えば、必要に応じてAu、Ni、Al等の結晶化促進剤の存在下での蒸発、物理蒸着、元素ターゲットのスパッタリング、又は化学蒸着(例えば、PECVD、LPCVD、等)により)堆積させ、半導体膜の一部又は全体を(UV)レーザ露光、炉アニール又はRTAアニールにより(例えば、半導体膜がIVA族の元素を含むか、又は本質的にIVA族の元素から成る場合に)結晶化し、次いで多結晶膜を(低解像度)フォトリソグラフィによりパターン化することができる。或いは、(シクロ)シラン及び/又は(不動態化した)半導体ナノ粒子、並びに溶媒を含むインクをスピンコーティングし、インクを硬化させることで半導体膜を「ブランケット堆積」することができる(例えば、それぞれ2003年7月8日及び2003年12月31日出願の米国特許出願第10/616, 147号及び10/749, 876号を参照)。一般的に、「低解像度フォトリソグラフィ」とは、サブミクロンフォトリソグラフィとは異なり、ミクロンのオーダー(例えば1 μ m、2 μ m、5 μ m又はそれ以上)の最小線幅を有するフォトリソグラフィを指す。半導体膜がレーザアニリングにより結晶化される場合、未照射の蒸着膜のアモルファス部分を公知の技術によって選択的にエッチングすることで単に除去することができる。

【0025】

[0032]様々な実施形態において、半導体層2及び半導体層3は、一以上のIVA族元素(例えば、シリコン及び/又はゲルマニウム)、いわゆる「III-V」材料(例えば、GaAs)、III-VI(又はカルコゲナイド)半導体等のような低濃度ドーブ無機半導体材料を含むか、又は本質的にそれから成り、更に、(B、P、As又はSbのような)ドーパントを $\sim 10^{16}$ から $\sim 5 \times 10^{18}$ 原子/cm³の濃度で含み得る。好適な実施形態においては、半導体薄膜層2及び半導体薄膜層3は、一般的に、一以上のIVA族元素、好ましくはシリコン又はシリコン-ゲルマニウムを含むか、又は本質的に当該IVA族元素から成る。

【0026】

[0033]一実施形態では、半導体チャネルアイランド3は、低濃度にドーブされていてもよい(例えば、 10^{16} から約 10^{18} 原子/cm³のドーパント濃度を有する)。低濃度ドーブ半導体膜及びその形成方法の例は、それぞれ2004年9月24日、2004年9月24日、及び2004年10月1日出願の同時係属の米国出願第10/950, 373号、第10/949, 013号、及び第10/956, 714号に開示されている。シランベースのインクから形成される場合に、低濃度ドーブ半導体膜は、アモルファス状

態において、半導体層の厚さの略全体に渡ってほぼ均一な濃度プロファイル（例えば、半導体層の厚さの関数としてのドーパント濃度）を有することができる。

【0027】

[0034]半導体層2及び半導体層3の一般的な厚さは、約10、25、50、又は100 nmから約200、500又は1000 nm、若しくは、それらの間の任意の範囲の値をとり得る。膜厚は、不揮発性メモリトランジスタの電気特性を最適化するように選択することができる。さらに、半導体層2及び半導体層3は、少なくとも5、8、又は10 μm 、最大で50、100、又は200 μm 、若しくは、それ以上、或いは、それらの間の任意の範囲の値の幅（例えば、図1A - 1Bの断面A - A'に示す最長の次元）を有することができる。チャンネルアイランド3は、少なくとも1、2、5、10、又は20 μm 、最大で20、50、又は100 μm 、若しくはそれ以上、或いは、それらの間の任意の範囲の値の長さ（例えば、図1Cに示す水平寸法）を有することができる。

10

【0028】

[0035]第1の半導体アイランド2及び第2の半導体アイランド3の各々は、幅と長さで定義される面積を有する。第1半導体アイランド（例えば、制御ゲート2）の幅及び/又は長さは、図1Aに示すように、第2半導体アイランド（例えば、チャンネルアイランド3）の幅及び/又は長さの少なくとも一つに略等しいことが好ましい。アイランド間の所定距離は1から50 μm で、2又は5 μm から20又は25 μm （又はそれらの間の任意の範囲の値）であることが好ましい。

【0029】

20

[0036]（少なくとも部分的に）上述したように、プリント（又は堆積）及び硬化した半導体アイランド2及び半導体アイランド3を、逐次的横方向結晶化（SLD）及び/又はレーザ結晶化により更に（再）結晶化して、キャリア移動度及びゲート酸化物の界面品質を改善することができる。この（再）結晶化は、TFETサブスレッショルド係数（スロープ）を大幅に改善させる（例えば、より急勾配なターンオン特性を与える）ことができ、メモリセル内に記憶した0及び1状態の間をより良く分離することができる。

【0030】

[0037]図2A - 2Bは、制御ゲート2及びトランジスタアイランド3上での誘電体層4及び誘電体層5の形成を示している。図2Aは、図1Aに示す構造の軸A - A'に沿った断面図（例えば、図1Bを参照）であり、図2Bは、図1Aに示す構造の軸B - B'に沿った断面図である（例えば、図1Cを参照）。

30

【0031】

[0038]ここで、図2Bを参照する。誘電体層4及び誘電体層5は同一であっても、又は、異なってもよい。制御ゲート2及びチャンネルアイランド3を別にドーブすることによって、当該技術で公知なように、異なる（ドーブ）酸化物及び/又は異なる酸化物厚をそれらの上に成長させることができる。誘電体層4及び誘電体層5は、プラズマ強化化学蒸着（PECVD）、低圧、大気圧、又は高圧の化学蒸着（それぞれ、LPCVD、APCVD、及びHPCVD）、酸化剤及び/又は窒化剤（例えば、二酸素、オゾン、水蒸気、二窒素、亜酸化窒素、酸化窒素、NO、アンモニア、それらの組合せ、等）を含む雰囲気中での熱酸化、金属酸化物の化学（浴）堆積（例えば、含水ヒドロケイ酸、 H_2SiF_6 からの SiO_2 ）、誘電体膜前駆体の液相堆積及び引き続く誘電体膜原子層堆積への変換、若しくは、それらの組合せにより、形成することができる。従って、様々な実施形態において、ゲート誘電体層4及びトンネル誘電体層5の形成は、誘電体層のプラズマ又は低圧化学蒸着、制御ゲート2及び半導体アイランド3の表面の熱酸化、若しくは、ゲート及びトンネル誘電前駆体の、制御ゲート2及びトランジスタアイランド3上への液相又は化学浴堆積を含むことができる。

40

【0032】

[0039]従って、本発明の方法の様々な実施形態において、ゲート誘電体層4及びゲート誘電体層5は、複数の層を備えてもよく、及び/又は、複数の半導体アイランド2及び半導体アイランド3全ての上に形成してもよい。しかしながら、代替的に、本発明の好適な

50

実施形態は、ゲート誘電体層（例えば、４及び／又は５）を、複数の半導体アイランド２又は半導体アイランド３の少なくともサブセットの上又は上方に形成することを含む。誘電体層がその上に形成されていない半導体アイランドは、ダイオード（例えば、ショットキーダイオード）、抵抗器等のようなデバイスに使用することができる。

【００３３】

[0040] 或いは、半導体アイランド２又は半導体アイランド３がⅢⅤＡ族元素（特にシリコン）を含み、且つ、基板１が十分に熱的に安定であるか又は耐性がある場合には、適切な雰囲気（空気、 O_2 、オゾン、 N_2O 、又は蒸気、若しくは、それらの組合せ）中で、約６００以上、好ましくは少なくとも約８００、より好ましくは約８５０まで膜を加熱することで、シリコン含有膜を酸化することができる。基板及び／又は膜、若しくはそれらの上の構造に対する（もしあれば）熱損傷を軽減、禁止又は防止するために、最高温度は約１０００－１１００、より好ましくは約９００とすることができる。このような実施形態において、ステンレス鋼の膜、シート、又は箔は、基板１に対して特に有利な選択となり得る。ゲート誘電体膜４又はゲート誘電体膜５は、２０から４００、又はそれらの間の任意の範囲の値（例えば、３０から３００、又は５０から２００、等）の厚さを有することができる。ステンレス鋼箔により可能となる高温工程は、通常、低欠陥率、少数／低密度の界面状態、及び低リークを含む大幅に強化したゲート誘電特性を可能とし、即ち、優れたサブスレッショルドスイング、キャリア移動度及びデータ保持を可能とする。

10

【００３４】

[0041] 図３Ａ－３Ｃに示すように、本方法は、フローティングゲート７を、ゲート誘電体層４及びゲート誘電体層５の上、並びに、複数の半導体アイランド２及び半導体アイランド３の一部又は全ての上又はその上方に形成することを更に含んでもよい。図３Ａは、フローティングゲート７を上には有する制御ゲート２及びトランジスタ３のトップダウン（レイアウト）図を示している。図３Ｂは、図１Ａの構造の軸Ａ－Ａ'に沿った断面図であり、図３Ｃは、図３Ａの構造の軸Ｂ－Ｂ'に沿った断面図である。

20

【００３５】

[0042] フローティングゲート７は、好適な前駆体（例えば、金属ナノ粒子又は一以上の有機金属化合物、ドーパ分子の及び／又はナノ粒子ベースの一以上のシリコンインク、一以上のシリサイド前駆体インク、等）をプリントし、それを電荷の蓄積に好適なフローティングゲート導体に変換することにより、形成することができる。ドーパシリコンインクの使用は、更に、多結晶シリコンを形成及び／又はドーパントを活性化して十分な電気特性（例えば、導電性）を達成するために、高温アニーリング及び／又はレーザ照射を必要とし、及び／又はその恩恵を受けてもよい。或いは、シード層前駆体をゲート誘電体層４及びゲート誘電体層５上にプリントすることができ、フローティングゲート金属（例えば、 Ag 、 Au 、 Cu 、 Pd 、 Pt 等）を電解的又は無電解的にシード層上にめっきすることができる。一部の実施形態では、シード層はめっき工程の前に、活性化及び／又はアニーリング工程を必要とし、及び／又はその恩恵を受けてもよい。従って、フローティングゲート７を形成することは、シード層をゲート誘電体層４及びゲート誘電体層５の上にプリントし、次いで電解的又は無電解的にフローティングゲート材料をシード層上にめっき

30

40

【００３６】

[0043] 様々な実施形態において、フローティングゲート７は、一般的に、ドーパポリシリコン製、金属シリサイド製、又は耐熱金属製のプリント材料で構成し得る。一実施形態では、フローティングゲート７はドーパⅢⅤＡ族元素を含む。一実施例では、ドーパⅢⅤＡ族元素は、 N 型ドーパントを含むポリシリコンを含む。 N 型ドーパントは、リンを含むことが好ましい。他の実施形態では、フローティングゲート７は、ニッケルシリサイド、コバルトシリサイド、パラジウムシリサイド、白金シリサイド、チタンシリサイド、タングステンシリサイド、及びモリブデンシリサイドから構成されるグループから選択される金属シリサイドを含む。更に別の実施形態では、フローティングゲート７は、パラジウム

50

、タングステン、及びモリブデンから構成されるグループから選択される耐熱金属を含む。更に別の実施形態では、フローティングゲート7はアルミニウムを含む。

【0037】

[0044]フローティングゲート前駆体7及び/又はシード層をプリントすることは、半導体アイランド2及び半導体アイランド3の形成に関して上述したプリント技術(例えば、インクジェット、グラビアプリンティング、オフセットリソグラフィー等)の任意のものを含むことができる。或いは、フローティングゲート7のパターニングは、フローティングゲート前駆体をコーティング又はプリントすること、及び照射部分が露出領域内の溶解特性を変化させるようにフローティングゲート前駆体をレーザ照射に対して局所的に露出することを含むことができる。オプションとして硬化又はアニーリング工程を必要に応じて行った後に、(前駆体がポジティブなパターン化可能材料か又はネガティブなパターン化可能材料かによって)露出又は非露出領域を洗浄すると、フローティングゲート材料(又はその前駆体)が残留してフローティングゲート7が形成される。この実施形態は、直接プリント法(例えば、2005年8月11日出願の同時係属の米国特許出願第11/203,563号を参照)では直接に達成不可能な、高分解能金属ゲートのパターニングに有利である。

【0038】

[0045]ポリシリコンの場合、シリコン前駆体インクは、(ポリ)シラン、(シクロ)シラン及び/又はシリコンナノ結晶(それらの各々は、例えば、インクの1から50重量%量、又はそれらの間の任意の範囲の値、例えば5から20重量パーセント量で存在可能)並びにシラン及び/又はシリコンナノ結晶を溶解可能な溶液を含み得る。シリコンナノ結晶を不動態化及び/又は官能化して、光ベースの処理を可能としてもよい(例えば、レーザ書き込み。例えば、それぞれ2003年7月8日、2003年12月31日、2004年2月27日、2004年3月18日、及び2005年8月11日出願の米国特許出願第10/616,147号、第10/749,876号、第10/789,317号、第11/084,448号、及び第11/203,563号を参照)。シランインク化合物(オプションとしてGe原子を含む)は、必要に応じて、それぞれ2004年9月24日、2004年9月24日、2004年10月1日、及び2005年10月11日出願の米国特許出願第10/949,013号、第10/950,373号、第10/956,714号、及び第11/249,167号に開示されるように、ドーピングすることが好ましい。プリンティングの後、プリントシランインクを硬化して(必要に応じてドーピングした)アモルファスシリコン膜を形成する。このような膜を、従来の方法(例えば、レーザ、炉又は金属誘導の結晶化)を用いて更に結晶化して、(必要に応じてドーピングした)多結晶シリコンを形成することができる。非ドーピングポリSiゲートパターンの場合、転移により、又は、より好ましくはプリントドーピング酸化物(本明細書の説明を参照)からのドーピングにより、ドーピングを行って、プリントフローティングゲート7を形成することができる。逐次的横方向結晶化(SLS)及び/又はレーザ結晶化技術をプリントフローティングゲート7の(再)結晶化に使用できるので、前述のシランインク並びにその作製及び使用のプロセスを使用して半導体アイランド2及び半導体アイランド3を形成することもできるが、キャリア移動度、酸化物界面品質、及びサブスレッショルド係数への効果は、半導体アイランド2及び半導体アイランド3ほど顕著ではない。

【0039】

[0046]金属シリサイドフローティングゲート7の場合、前駆体インクは、ナノ粒子及び/又は分子、シリコン及びシリサイド形成金属(例えば、Ni、Co、Pd、Pt、Ti、W、Mo等)のオリゴマー及び/又はポリマー化合物を、上述のシラン/シリコンインクと同充填率(例えば、重量%)で含むことができる。シリサイド前駆体インク内の金属原子/Si原子比は、10/1から1/10の範囲とし得る。インクは、上述の(ポリ)シラン及び/又は(シクロ)シラン化合物、並びにナノ粒子(次段落を参照)及び/又はシリサイド形成金属の有機金属化合物(例えば、低抵抗接触の形成を容易にするNi(PH₃)₄、Ni(COD)₂、Ni(PF₃)₄等)を含むことが好ましい。従って、

一実施形態では、フローティングゲート前駆体インクは、(i) (ポリ) シラン、(ii) 金属ナノ粒子及び/又は有機金属化合物、並びに(iii) (ポリ) シラン及び金属ナノ粒子及び/又は有機金属化合物を溶解可能な溶媒を含むことができる。シリサイド前駆体インクのプリント後、目的の金属シリサイド(及び/又はその相)の形成を容易にする条件(雰囲気、温度及び時間)下で、プリント膜が硬化及びアニールされる。

【0040】

[0047] 金属含有フローティングゲート7の場合、金属含有インクは、金属前駆体材料及び金属前駆体材料を溶解可能な溶液を含むか、又は本質的にそれらから成っていてもよい。一般的にプリンティング又は(選択的な)めっきと互換性のある金属前駆体は、チタン、銅、銀、クロム、モリブデン、タングステン、コバルト、ニッケル、金、パラジウム、白金、亜鉛、鉄等、又はそれらの金属合金といった金属の化合物又はナノ粒子(例えば、ナノ結晶)を含み得る。従って、金属前駆体インクは、ナノ粒子及び/又は分子、若しくは耐熱金属(例えば、Pd、Mo、W等)の有機金属化合物を、上述のシラン/シリコンと同充填率(例えば、重量パーセント)で含むことができる。分子又はオリゴマー金属化合物の例としては、カルボン酸塩、アセチルアセトネート、アリル、ホスフィン、カルボニル、及び/又はこのような金属の他の配位子複合体がある。Pdの場合、可溶化ハロゲン化パラジウム(乾燥させて水の一部又は全てを除去可能な、含水HCl及び極性又は水溶性有機溶媒中のPdCl₂)を含むインクを、使用することができる。2007年5月30日出願の米国特許仮出願第60/932,392号を参照されたい。金属ナノ粒子又はナノ結晶は、(例えば、本明細書で説明した一以上の界面活性剤、配位子又は置換基により)従来方式で、不動態化又は非不動態化することができる。金属フローティングゲート7を、複数の金属の混合物、又は(半導体及び金属シリサイドフローティングゲートのように)積層として形成することができ、後続の層の形成中又はその形成後に更に加熱又は熱処理することができる。耐熱金属前駆体インクのプリント後に、目的の耐熱金属(及び/又はその相)の形成を容易にする条件(例えば、雰囲気、温度及び時間)下でプリント膜が硬化及びアニールされる。

【0041】

[0048] 金属含有及び/又はシリコン含有インクは、従来及び/又は公知の工程により乾燥させることができる。例えば、プリント前駆体インクは、当該前駆体インクをその上を含む基板を、溶媒及び/又は結合剤の除去に効果的な温度及び時間で加熱することにより、乾燥させることができる。プリントインクからの溶媒除去に好適な温度は、約80から約150の範囲、又はそれらの間の任意の範囲の温度(例えば、約100から約120)であることができる。この温度でのプリントインクからの溶媒除去に好適な時間は、約10秒から約10分の範囲、又はそれらの間の任意の範囲の時間(例えば、約30秒から約5分、又は約1分から3分、等)であることができる。前述の加熱は、必要に応じて(上述のような)不活性雰囲気中で、従来のホットプレート上で、又は従来の炉若しくはオープン内で行うことができる。

【0042】

[0049] インクを乾燥させた前駆体材料は、その電氣的及び/又は物理的特性(例えば、導電性、形態、エレクトロマイグレーション耐性、及び/又はエッチング耐性、応力及び/又は表面ひずみ、等)、並びに/若しくは、その下のゲート酸化物4及び/又はトンネル酸化物5に対する接着性を改善させるのに十分な温度及び時間で、更にアニールすることができる。金属含有インクが全体的に(ブランケット)堆積又はプリントされる場合、アニーリングを一般的に行って、後続のレーザパターンニング用にその上にレジストが堆積される金属膜を形成する。また、金属前駆体インクをレーザ直接描画してパターン金属及び/又は金属前駆体を得る場合には、一般的にアニーリングを行って、改善した特性(例えば、導電性、接着性、等)を有する金属層を形成する。このようなアニーリングは、既に融解した金属ナノ粒子をアニールすること、又はパターン化金属前駆体層をパターン化金属へ変換することのいずれかを含むことができる。好適な温度は一般的に、約100から約300の範囲、又はそれらの間の任意の範囲の温度(例えば、約150から約

250)にある。好適なアニーリング時間は、約1分から約2時間、好ましくは約10分から約1時間、又はそれらの間の任意の範囲の時間(例えば、約10分から約30分)である。アニーリングは、必要に応じて(上述のような)不活性又は還元性雰囲気中で、従来の炉又はオープン内で行うことができる。従って、本発明の方法は、更にレーザパターン化金属ゲートをアニールして、その電氣的、物理的及び/又は粘着特性を十分に改善させる工程を含むことができる。

【0043】

[0050] スピンコーティング又はプリンティングにより堆積し得る金属インクは、アルミニウム、チタン、バナジウム、クロム、モリブデン、タングステン、鉄、ニッケル、パラジウム、白金、銅、亜鉛、銀、金、等のような元素金属、アルミニウム-銅合金、アルミニウム-シリコン合金、アルミニウム-銅-シリコン合金、チタン-タングステン合金、Mo-W合金、アルミニウム-チタン合金等のような上記元素の従来の合金、及び元素金属の窒化物及びシリサイド(例えば、窒化チタン、チタンシリサイド、窒化タンタル、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイド、白金シリサイド、等)のような導電性金属化合物の前駆体を含む。例えば、元素金属の好適な前駆体は、アルミニウムナノ粒子及び水素化アルミニウムを含む。一部の実施形態では、金属は、金属含有材料を含むインクをスピンコーティングすること、そして、金属、一以上の有機金属前駆体及び/又は金属ナノ粒子を(必要に応じてレーザパターニングの工程の前に)硬化又はアニールすることで、ブランケット堆積させることができる。

10

20

【0044】

[0051] めっきは、一例では、金属(例えば、Pd)のシード層をナノ粒子ベースの金属インク及び/又は化合物ベースの金属インク(例えば、上述のPdCl₂含有インク)を用いてプリント又はレーザ描画し、次いで選択的に(例えば、無電解又は電解めっきにより)バルク導体(例えば、Co、Ni、Cu、Pd等)を金属シード層に堆積させることを含むことができる。PdCl₂含有インクに加えて、コバルト、ニッケル、白金、パラジウム、チタン、タングステン、又はモリブデン(特にパラジウム)を含む金属ナノ粒子がシード層に対して好適である。

【0045】

[0052] ある特定の実施形態では、レーザ描画又はレーザパターニングは、ブランケット堆積した金属含有層上にレジスト材料を堆積させる副工程、レジスト材料の一部を、(i) 所定幅を有するレーザ、及び/又は(ii) レジストにより(又はレジスト内の吸収染料により)吸収される所定の波長若しくは波長帯域を有するレーザからの光線で選択的に照射する副工程、選択的に照射したレジストを現像剤で現像し、形成する構造(この場合、ゲート金属20である。これらの工程は、ポジティブレジスト及びネガティブレジストの双方に適用することに注意されたい)に対応するパターンを残す副工程、所望又は所定のパターンに対応しないブランケット堆積材料の部分を(一般的に、ドライ又はウェットエッチングにより)除去する副工程、そして、残りのレジスト材料を除去する副工程を含むことができる。前述の光は、赤外線(IR)帯域内の波長を有し(紫外線(UV)及び/又は可視スペクトル帯域内の波長又は波長帯域を含むこともできる)、レジスト(又は染料)は、その光波長又は光帯域を吸収し、及び/又はそれらに対して高感度であり、光線は、レジストの所望又は所定の部分に集中又は向けられることが好ましい。

30

40

【0046】

[0053] レーザ描画の一つの代替方法として、熱レジストを効果的に使用してフローティングゲート金属をマスクすることができる。レーザからの比較的細い光線で(例えば、2-5 µm幅の光線で、又はより多くの拡散光を、その幅の構造を画成するように構成したマスクを通過させることで)熱レジストを照射すると、レジストが加熱され、従来の現像剤内での溶解特性が変化する。この従来の現像剤は、レジストがポジティブであるかネガティブであるかにより、それぞれレジストの照射(書き込み)部分又は非照射(非書き込み)部分を除去するために使用される。このようなレジストは、一般的に、カナダのブリティッシュコロンビア州バーナビーのCreo社から市販されている。好適な熱レジスト

50

は、Graviti Thermal Resist (Creo) 及び American Dye Sources Thermolak シリーズを含む。レジストは、赤外線 (IR) 光吸収染料をその中に有する従来の (光) レジスト材料も含むことができる。好適な (光) レジストには、AZ 1518 (AZ 電子材料) 及び SPR 220 (Shipley) があり、好適な赤外線 (IR) 光吸収染料には、American Dye Source の 815EI、830AT、830WS、及び 832WS、Avecia Project の 830NP 及び 830LDI、Epolin Epolight の 4148、2184、4121、4113、3063、及び 4149、HW Sands の SDA 5303 及び SDA 4554 がある。現像後、(所定の) ゲートパターン外部の金属 (又は金属前駆体) 材料を、ウェット又はドライエッチングにより除去することができる。ウェットエッチングは、レジストを好適にアンダーカットし、ドライエッチングで可能なものよりも更に細いゲート及び / 又はトランジスタチャネル幅を提供することもできる。

10

20

30

40

50

【0047】

[0054] 様々な実施形態では、フローティングゲート 7 は、少なくとも 0.1 ミクロン、0.5 ミクロン、1 ミクロン、又は 2 ミクロンの幅を有する。一実施例では、最小ゲート幅は約 5 ミクロンである。フローティングゲート 7 は、約 1 μm から約 1000 μm 、又はそれらの間の任意の範囲の値 (例えば、約 2 μm から約 200 μm 、又は約 5 μm から約 100 μm 、等) の長さを有することができ、約 50 nm から約 10,000 nm、又はそれらの間の任意の範囲の値 (例えば、約 100 から約 5000 nm、又は約 200 から約 2000 nm、等) の厚さを有することができる。フローティングゲート 7 は、10 から 1000 nm、又はそれらの間の任意の範囲の値 (例えば、100、200、又は 250 から 10,000、1000、又は 500) の厚さを有することもできる。フローティングゲートの形成後、ゲート誘電体層 4 及びトンネル誘電体層 5 の露出部分を、従来のように (例えば、ウェット又はドライエッチングによる。以下で説明する図 6A を参照) 除去することができる。

【0048】

[0055] 次に、図 4A - B を参照する。一実施形態では、第 1 のドーパント誘電体層 (1LD) 8 を、フローティングゲート 7 上、半導体アイランド 2 及び半導体アイランド 3 上方のゲート誘電体 4 及びトンネル誘電体 5 の露出部分上、並びに基板 1 の表面上に、プリント又は堆積することができる。図 4A は、図 3A に示す構造の軸 A - A' に沿った断面図であり、図 4B は、図 3A に示す構造の軸 B - B' に沿った断面図であって、ドーパント誘電体層 8 がそれらの上にプリント又は堆積されている。

【0049】

[0056] 一般的に、誘電体膜 8 は拡散性ドーパントを含む。一実施形態では、ドーパントは、好ましくはリンを含む N 型ドーパントである。或いは、拡散性ドーパントは、好ましくはホウ素を含む P 型ドーパントであってもよい。従って、本発明のデバイスの様々な実施形態では、制御ゲート 2、(その中にソース端子とドレイン端子を含む) トランジスタアイランド 3、及び (必要に応じて) フローティングゲート 7 は、(i) IVA 族元素、GaAs のような III-V 化合物半導体、若しくは ZnO 又は ZnS のような II-VI (又はカルコゲニド化合物) 半導体、及び (ii) ドーパント元素を含むことができる。半導体は、IVA 族元素 (例えば、Si 及び / 又は Ge)、並びに、B、P、As 及び Sb から構成されるグループから選択されるドーパントを含むことが好ましい。

【0050】

[0057] 図 4A に示すように、ドーパント誘電体膜 8 をプリントして、コンタクトホール 11 及びコンタクトホール 12 を誘電体膜 8 内に形成し、フローティングゲート 7 の反対側にある制御ゲート 2 上方のゲート誘電体 4 の上面を露出することができる。図 4A - 4B には示していないが、同様のコンタクトホールが誘電体膜 8 内に形成されて、フローティングゲート 7 の反対側にある半導体アイランド 3 上方のトンネル誘電体 5 の上面が露出される (例えば、図 5A を参照)。即ち、ドーパント誘電体層 8 がプリントされるパターンは、このような位置にあるコンタクトホールを含む。しかしながら、図 4B に示すように、ドー

ブ誘電体膜 8 は、一般的に、フローティングゲート 7 の全面にプリントされる。露出したゲート誘電体 4 及びトンネル誘電体 5 を次いで（以下で説明するように、従来のウェット又はドライエッチングのいずれかにより、及びドーパントを拡散させるアニーリングの前後いずれかに）エッチングして、制御ゲート 2 の表面を露出することができる。さらに、ゲート誘電体 4 及びトンネル誘電体 5 のエッチング中及び / 又はその後、ドーブ誘電体層 8 を十分にエッチングして、好ましくはドーブ誘電体層 8 の誘電的に有効な厚さがエッチング後に残るように、コンタクトホール 11 及びコンタクトホール 12 を広げることできる。

【0051】

[0058] 或いは、制御ゲート 2、トランジスタアイランド 3、及びフローティングゲート 7 の全体を覆うパターンで、ドーブ誘電体 8 をプリントすることができる。様々な実施形態では、ドーブ誘電体層 8 を、メモリセル全体（例えば、少なくとも図 5 A のレイアウト）、又は複数の隣接メモリセルを含む更に大きな領域上で、プリントすることができる。（以下で説明するように）プリント及びアニーリングを行ってドーパントを拡散した後、コンタクトホール（例えば、図 4 A の 11 及び 12）をドーブ誘電体層 8 内に形成して、制御ゲート 2 の上面領域と半導体アイランド 3 におけるソース / ドレイン端子を（例えば、図 5 A の金属接続 / コンタクト 14 及び 15 と電氣的に接触して）露出させる。一般的に、この代替的な実施形態では、コンタクトホール（例えば、図 4 A の 11 及び 12）は、フォトリソグラフィ及びエッチングにより形成される（例えば、次段落の説明を参照）。従って、コンタクトホール 11 及びコンタクトホール 12 の形成は、第 1 及び第 2 のタイプの誘電体層 8 の一部を、特にドーブ誘電体 8 用にプリントしたパターンがコンタクトホールを全く含まない場合に、除去することを含むことがある。

【0052】

[0059] ドーブガラスパターン及びゲート誘電体のエッチングは、一以上の好適なエッチング液に晒すことで達成される。このエッチング液には、以下のものに限られないが、HF ベースのウェットエッチング液（例えば、緩衝化酸化エッチング溶液（BOE）、自然酸化エッチング溶液（NOE）、ピリジン水溶液：HF、等）、HF ベース又は HF 生成蒸気又はガス、プラズマエッチング、等がある。エッチング液は、ドーブ誘電体層 8、ゲート誘電体 4、及びトンネル誘電体 5 のエッチング速度がトランジスタアイランド 3（例えば、シリコン）及び制御ゲート 2 のエッチング速度より十分に大きく、ドーブ誘電体層 8、ゲート誘電体 4、並びにトンネル誘電体 5 の所望及び / 又は所定の量を、トランジスタアイランド 3 及び制御ゲート 2 を実質的に又は大幅に除去することなく、略完全に除去可能とするように、選択される。

【0053】

[0060] ドーブ誘電体層 8 をプリントするための好適なインクは、リン及び酸素（シリコン、炭素、水素及び / 又は窒素を更に含むことができる）、ホウ素（シリコン、炭素、水素、酸素及び / 又は窒素を更に含むことができる）、ヒ素及び / 又はアンチモン（それらの各々は、シリコン、炭素、水素及び / 又は酸素を更に含むことができる）等のような、ドーパント及び / 又は誘電前駆体原子を含有する化合物及び / 又はポリマーを含み、必要に応じて好適な溶媒内にそれらを含む（例えば、2006 年 8 月 15 日出願の米国特許仮出願第 60 / 838,125 号、並びに、それぞれ 2007 年 6 月 12 日、2007 年 8 月 3 日、及び 2007 年 8 月 3 日出願の米国特許出願第 11 / 818,078 号、第 11 / 888,949 号、及び第 11 / 888,942 号を参照）。リン含有誘電体の例として、以下のものがある。

- ・無機オキシリン化合物及び無機オキシリン酸（例えば、 P_2O_3 、 P_2O_5 、 $POCl_3$ 、等）
- ・リンケイ酸塩
- ・リン酸単量体、リン酸二量体及び / 又はリン酸オリゴマー（例えば、メタリン酸塩及び / 又はポリリン酸塩）
- ・ホスホン酸塩、ホスフィン酸塩、及びホスフィン

10

20

30

40

50

- ・有機オキソリン化合物及び有機オキソリン酸（例えば、アルキル（アリール）リン酸塩、ホスホン酸塩、ホスフィン酸塩、及びそれらの縮合生成物）
- ・アルキル及び／又はアリールホスホン酸及び／又はホスフィン酸

【0054】

[0061]ホウ素含有誘電体の例としては以下のものがある。

- ・無機ホウ素化合物及び無機ホウ素酸（例えば、ホウ酸、 B_2O_3 ）
- ・ホウケイ酸塩、ボラゾール及びそれらのポリマー
- ・ハロゲン化ホウ素（例えば、 BBr_3 ）
- ・ボラン（例えば、 $B_{10}H_{10}$ ）、及びシラボラン及び／又はアザボラン
- ・有機ホウ素化合物及び有機ホウ素酸（例えば、アルキル／アリールボロン酸、ホウ酸塩、ボロキシン及びボラゾール、ボラン付加複合体、等）

10

【0055】

[0062]ヒ素及び／又はアンチモン含有誘電体の例としては以下のものがある。

- ・ As_2O_3 、及び Sb_2O_3 のような上記化合物のオキソ類似体及び／又はアザ類似体
- ・シクロ $As_5(SiH_3)_5$ のようなアルシノシラン

【0056】

[0063]ドーパガラスの前駆体の例としては、（例えば、従来の化合物（formulation）内の溶媒を高粘性の類似又は互換性溶媒で置換又は希釈することで）粘性を増した従来のスピンドーパント（SOD）化合物、及びその異形物、堆積後に低温（例えば、400以下）で酸化可能なドーパ分子シリコンインク化合物（例えば、環式、直鎖、及び分岐状のシランオリゴマー又はポリマーであって、シクロ $Si_5H_9PR_2$ 等の一以上のドーパント置換物を含むことができるもの。ここで、Rは低級（ $C_1 - C_4$ ）アルキル、フェニル、又は $C_1 - C_4$ アルキル置換フェニル、若しくは化合物中のドーパント前駆体（例えば、*t*-ブチルホスフィン）である。それぞれ2004年9月24日、2005年10月6日、及び2005年10月11日に出願の米国特許出願第10/949,013号、第11/246,014号、及び第11/249,167号を参照のこと）、酸化ドーパ分子シリコンインク化合物（例えば、化合物中にドーパント前駆体（例えば、環式、直鎖、又は分岐状のシランオリゴマー若しくはポリマー（例えば、シクロ $Si_5O_5H_{10}$ ）の酸化異形物であって、モノ、ジ、又はトリ-*t*-ブチルホスフィン又はその酸化類似体）を含むか又はその上にドーパント置換物を含むもの）、リン又はホウ素化合物（例えば、ジ-*n*-ブチルリン酸塩のような有機リン酸塩、又はトリ-*t*-ブチルホウ酸塩のような有機ホウ酸塩）を含むガラス形成処方物（例えば、いわゆるゾルゲル処方物）がある。

20

30

【0057】

[0064]或いは、単一基板上の全てのデバイスを単一のドーパント型（すなわち、一以上の*n*型又は*p*型のドーパント）を用いて作製可能な場合には、ドーパ誘電体8を、略基板全体上に（例えば、一以上の従来のスピンドーパガラス（SOG）成分、そのための一以上の従来の溶媒、並びに必要に応じて一以上の従来の界面活性剤、応力減少剤、結合剤及び／又は増粘剤を含むSOGインク組成物を、従来のスピンドーピング、ブレードコーティング、浸漬コーティング、メニスカスコーティング、スロットコーティング、又はスプレーコーティングすることといったような、コーティング又は他のブランケット堆積技術により）ブランケット堆積させることができ、ドーパ SiO_2 前駆体（例えば、一以上の上記のドーパント／誘電体を含むテトラアルキルシロキサン又はテトラアルコキシシラン等）の液相堆積、化学蒸着（CVD、PECVD、LPCVD、等）、若しくは、適切な及び／又は互換可能なドーパント源の存在下での他の金属酸化物（例えば、 TiO_2 、 ZrO_2 、 HfO_2 、等）のスパッタ堆積等を行うことができる。

40

【0058】

[0065]上述のように、ドーパ誘電体を（上で引用した米国特許出願に開示されているように）ドーパシランインクから形成し、プリント後に酸化雰囲気中で硬化させることができる。2007年4月24日出願の米国仮出願第60/926,125号に開示されているように、前述のドーパシランインクを直接、基板、アイランド及びフローティングゲー

50

ト上にインクジェットすることができる。

【0059】

[0066] ドープ誘電体 8 を (コンタクトホール有りであり又は無し of いずれかで) プリントした後、構造を十分にアニールして、ドーパントをドープ誘電体膜 8 からフローティングゲート 7、並びに半導体アイランド 2 及び半導体アイランド 3 へ十分に拡散 (「ドライブイン」) させる (ただし、ドーパントはフローティングゲート 7 の下の半導体アイランド 2 及び半導体アイランド 3 の領域に完全には拡散しない可能性がある)。アニーリングは、フローティングゲート 7 の厚さ全体、並びにフローティングゲート 7 により覆われない半導体アイランド 2 及び半導体アイランド 3 の領域に渡って、ドーパントが十分に拡散する (従って、ソース端子及びドレイン端子をトランジスタアイランド 3 内に形成する) ような温度及び時間で行うことが好ましい。別の実施形態では、この温度と時間は、拡散したドーパントの少なくとも一部を活性化するために十分なものである。一般的に、アニーリングは 750 - 1100 で行われ、様々な実装例では、アニーリングの最高温度は 900 以下、850 以下、又は 800 以下である。アニーリングは一般的に、炉アニーリング又は高速熱アニーリングを含む。

10

【0060】

[0067] 上記実装例では、ゲート材料及び基板は、この温度範囲に耐えられるように選択される。好適な実施形態では、ポリシリコンゲート 2、トランジスタアイランド 3 及びフローティングゲート 7 を、ドーパントを誘電体層 8 からシリコンアイランド 2 及びシリコンアイランド 3、並びにフローティングゲート 7 に熱ドライブイン / 活性化させる際に、自動的にドーピングして、 $n +$ ポリ n MOS 又は $p +$ ポリ p MOS デバイスを作製することができる。或いは、ドーパントを誘電体から半導体へ拡散及び / 又は半導体内でドーパントを一度活性化させるのに十分な光の波長及び / 又は光パワーを用いて、UV ランプフラッシュアニーリング又はレーザ照射により、半導体アイランド 2 - 3 及びフローティングゲート 7 内で、ドーパントをドライブイン及び / 又は活性化させることができる。

20

【0061】

[0068] ゲート誘電体層 4 及びトンネル誘電体層 5 が半導体アイランド 2 及び半導体アイランド 3 のほぼ全面にある図 4 A - 4 B の実施形態においては、ドーパントを誘電体層 4 及び誘電体層 5 を通って下方の半導体アイランド 2 及び半導体アイランド 3 に十分に拡散させて、ソース / ドレイン端子をトランジスタアイランド 3 内に含むドーピング半導体層 (例えば、図 5 B の 2') を形成することができる。この実施形態では、誘電体層 4 及び誘電体層 5 は、低濃度及び / 又は低密度のドーパントをフローティングゲート 7 の縁部の下で (場合によっては、より浅い深さまで) 拡散させ、低濃度にドーピングしたソース / ドレイン拡張部 (例えば、LDD。「グレーデッドゲートフィールド」と題して 2007 年 5 月 23 日に出版された米国特許出願第 11 / 805,620 号を参照) と同様な効果を得ることができる。

30

【0062】

[0069] ある特定の実施形態では、MOS トランジスタを、本発明の不揮発性メモリセルと同時に形成することができる。例えば、MOS トランジスタチャネルは、複数の半導体アイランド 2 - 3 と同時に形成 (例えば、プリント、硬化、及び結晶化) することができる。MOS ゲート酸化物は、ゲート酸化物 4 及び / 又はトンネル酸化物 5 の形成と同時に形成することができる。フローティングゲート 7 の形成によって、MOS トランジスタ内のゲートも形成することができる。

40

【0063】

[0070] 一実施形態では、CMOS トランジスタは、例えばインクジェットを用いて N ドーパント及び P ドーパントを (誘電体層 8 の形成に用いるようなドーピングインクの形態で) プリントすることで、本不揮発性メモリトランジスタと同時に形成することができる。N ドーパント及び P ドーパントは、同一プリンタに搭載されており、且つ、各組が一以上の N ドーパント又は P ドーパントを充填した 2 セットのインクジェットヘッド (例えば、各種ドーパント用の各セット内に一以上のインクジェットヘッド) から、それぞれ回路

50

ノ基板 1 の異なる領域に、同時にインクジェットされることが最も好ましい。或いは、N ドーパント及び P ドーパントを、二つの代替的又は別個のプロセス及びノ又は機械でプリントすることができる。この後者の実施形態では、インクジェット以外の他のプリント又は堆積技術、例えばフレキシグラフィックプリンティング、オフセットリソグラフィックプリンティング、グラビアプリンティング、スクリーンプリンティング、及びステンシルプリンティング、スリット及びノ又は押し出しコーティング、等を利用することができる。補完ドーパント材料を同時に又は逐次的にプリントすると（必要に応じて、ゲートレイアウトに対する配列型アーキテクチャと組み合わせ）、インクジェット又は他のプリントプロセスに関連する分解能と液滴配置の正確性の問題とを克服することができ、比較的高価なマスク層をプリンティングで置き換えることができ、フォトリソグラフィーに関連する他の処理工程を削除することができる。

10

【0064】

[0071] ドープ誘電体 8 がプリントされる一以上の材料の表面を変更して、濡れを改善し、粘性、流量等を最適化することができる。さらに、ドープ誘電インク化合物を最適化して、フローティングゲート 7 及びノ又は半導体アイランド 2 - 3 上の一様性を改善することができる。一般的に、半導体層 2 - 3 及びフローティングゲート 7 上にプリントしたドープ誘電体膜 8 は、層間誘電体 (ILD) として適切な位置に残すことができる（一般的にはそのようにする）。本発明は、複数のツール及び複数の処理工程を削除し、欠陥及びサイクル時間（例えば、処理に使用されるエンジニアの時間及びノ又は技術者の時間）を減少させ、在庫を削除又は減少させることができる。

20

【0065】

[0072] エッチング及びオプションの洗浄工程の後、図 5 A - 5 B に示すように、（例えば、コンタクト 13、14 及び 15、並びに金属接続部 13'、14' 及び 15' を備える）金属層は、トランジスタアイランド 3 の各露出したソース/ドレイン端子と接触し、ドープ制御ゲート 2' の露出した上面と接触して形成される。金属層 13 - 15' の形成は、半導体アイランド 3 のソース/ドレイン端子の露出面、制御ゲート 2' の露出面、及び適用可能な場合には、誘電体層 8 及び（必要に応じて）第 2 タイプの誘電体層 8 の上に、金属インクをプリントすることを含むことが好ましい。金属層 13 - 15' は、アルミニウム、銀、金、銅、パラジウム又は白金を含むことが好ましい。金属層 13 - 15' は、電解めっき又は無電解めっきをプリント金属/導電シード層上に行うことで形成することができる（例えば、「コンタクト及び局所接続金属のプリンティング」と題して 2007 年 7 月 17 日に出版された米国特許仮出願第 60/959,977 号を参照）。

30

【0066】

[0073] コンタクト/接続金属 13 - 15' のプリンティング及びノ又は形成は、適切な金属前駆体（例えば、上述の金属ナノ粒子、及びノ又は、一以上の有機金属化合物）をプリントすること、それに対応する金属へと変換することを含み得る。或いは、シード層用の前駆体を、上述のコンタクト及びノ又は接続領域にプリントすることができ、接続金属（例えば、Ag、Au、Cu、Pd、Pt、Al、等）をシード層上に電解的又は無電解的にめっきすることができる。或いは、接続金属のパターニングは、その溶解特性が露出領域内で変化するように金属前駆体をコーティング又はプリントして、それをレーザ照射に局所的に露出すること（例えば、「レーザ描画」）を含むことができる。溶解可能領域（例えば、露出又は非露出領域。前駆体の溶解性が上記照射によりポジティブ又はネガティブのどちらに影響されるかによる）を洗浄する際、必要に応じて更なる硬化又はアニーリング工程の後に、適切な金属前駆体を残留させて、コンタクト/接続金属を形成する。このレーザ描画の実施形態は、直接プリント法では達成できない可能性がある高分解能金属接続のパターニングに対して、利点を提供することができる。

40

【0067】

[0074] 良好な電氣的接触を保証するため、構造を更にアニールして、シリコン含有界面にシリサイドを形成するか、又は金属 13 - 15 とその下のシリコンとの間のコンタクト領域の膜厚全体に渡ってシリサイドを形成することができる。好適なシリサイド形成金属

50

には、以下のものに限られないが、Al、Ni、Pd、Pt、Mo、W、Ti及びCoがある。コンタクト/接続金属は、このようなシリサイド形成金属から選択することができる。或いは、金属前駆体インクは、シリサイドを形成するか、又はシリコンアイランド2及びシリコンアイランド3に対する他の低抵抗コンタクトを形成する添加物を含むことができる。例えば、Ni有機金属化合物でドーブした銀インクは、銀配線とドーブシリコン（例えば、ソース/ドレイン）コンタクトとの間の接触抵抗を低下させることが分かっている。分析によると、上記インク内のNiがシリコン界面に乖離し、シリサイドを形成する可能性があることも示されている。

【0068】

[0075]接続金属のプリント後、金属間誘電体（IMD。図示せず）をプリント又はブランケット堆積して、必要に応じてビアホールを適切な領域内に残して（例えば、金属コンタクト/接続13の少なくとも一部を露出して）、デバイスを覆うことができる。IMD前駆体は、ガラス形成化合物（例えば、（有機）ケイ酸塩又は（有機）シロキサンのようなスピノンガラス化合物）、有機誘電体（例えば、ポリイミド、BCB、等）、酸化ケイ素前駆体（例えば、 $\text{Si}_5\text{O}_5\text{H}_{10}$ 、等のような酸化シラン）、若しくは、（プリント後に酸化可能な上述の（ポリ）及び/又は（シクロ）シランのような）分子ベース及び/又はナノ粒子ベースのシリコン処化合物を含み得る。

【0069】

[0076]本明細書で説明した技術は、RFIDタグ（例えば、補完ドーパント含有誘電体がプリントされており、多数の不揮発性メモリビットが識別データ、及び/又は、一以上のセキュリティコードのようなある特定のデータを記憶するのに非常に有用なもの）、及びディスプレイデバイス（例えば、ディスプレイの一部を1種類のためのドーブ誘電体でプリントでき、多数の不揮発性メモリビットが構成情報のようなある特定のデータを記憶するのに非常に有用なフラットパネルディスプレイ及び/又はプラズマディスプレイ）を含む様々な製品の製造に有用である。さらに、本発明の不揮発性メモリセルを現場でプログラム可能なデバイスとして使用することができる。RF又はRFID回路と必要に応じて結合したセンサは、本プログラム可能なデバイスを使用して、恒久的又は一時的に、感知情報、識別情報、及び/又は校正データを記憶及び/又は数値化することができる。

【0070】

[0077]図6A - 6Cは上述の代替の実施形態を示しており、ゲート酸化物4（及び図6A - 6Cには示していないトンネル酸化物5）の一部が、ドーブ誘電体8のプリンティング又は堆積の前に除去される。図6A - 6Cは、図3Aの不揮発性メモリセルの軸A - A'に沿った断面図を示している。

【0071】

[0078]図6Aに示すように、露出したゲート誘電体4（図3Bを参照）の制御ゲート2上方でのエッチングによって、フローティングゲート7の下にのみ位置するエッチゲート誘電体10'を形成する。図6Bに示すように、ドーブ誘電体8は、コンタクトホール11及びコンタクトホール12のいずれかを形成するパターンとして、フローティングゲート7と制御ゲート2の露出部分の上、又はフローティングゲート7及び制御ゲート2全体上に（ドーパントをドーブ誘電体8からドライブインした後に、内部でコンタクトホール11及びコンタクトホール12がエッチングされて）プリントされる。ドーパントは、ドーブ誘電体8からフローティングゲート7及び制御ゲート2（及び、図示していないが、トランジスタアイランド3）に上述と同じ方法で拡散されるが、消費熱量がより少ない（例えば、より短時間及び/又はより低温で）ので有利である。次いで、図6Cに示すように、金属コンタクト/接続13が、上述のようにコンタクトホール11及びコンタクトホール12内に形成される。

【0072】

< 本発明の不揮発性メモリの動作例 >

[0079]EPROM、EEPROM及びフラッシュメモリの技術は、不揮発性メモリセルに基づくものであり、当該不揮発性メモリセルは、ソース、チャネル、チャネル上方にフ

10

20

30

40

50

ローティングゲートを有するドレイン、及びフローティングゲートから隔離されているがフローティングゲートに容量結合された制御ゲートを備える。セルを（消去状態以外の）所定の状態にプログラムする動作は、フローティングゲートを電子で充電し、メモリセルのターンオン閾値を増加させることを含む。従って、プログラムの際に、セルはターンオンしない（或いは、非常に又は区別可能な程の高い閾値でターンオンする）。すなわち、制御ゲートに印加した読み出し電位でアドレス指定するときに、セルは一般的に非導電状態（或いは、検出可能なほどの低導電状態）のままである。セルの消去動作は、フローティングゲートから電子を除去して閾値をベース（例えば、2 値「0」）状態に下げることを含む。より低い閾値で、制御ゲートに対する読み出し電位でアドレス指定するときに、セルは完全導電状態にターンオンすることができる。

10

【0073】

[0080]フラッシュ、EPROM、又はEEPROMセルをプログラムすることは、ゲートとソースの間に正の高電圧をかけ、ドレインとソースの間に正の電圧をかけることによるファウラ・ノルドハイム（F-N）トンネリングのホットエレクトロン注入を通して、（行単位又はバイト毎に）達成される。フローティングゲートを放電する動作は、消去工程として知られている。これは一般的に、フローティングゲートとソースとの間のファウラ・ノルドハイムトンネリング（ソース消去）、又はフローティングゲートと基板との間のファウラ・ノルドハイムトンネリング（チャンネル消去）により達成される。ソースの消去は、ゲートをアースするか又はゲートに負のバイアスを印加しつつ、正のバイアスをソースに印加することで、行うことができる。チャンネルの消去（例えば、ブロックバイアス上の）は、ゲートに負のバイアスを印加し、及び/又は正のバイアスを基板に印加することで、行うことができる。

20

【0074】

[0081]データを本発明の不揮発性メモリにプログラムするために、トランジスタアイランド3のソース及びドレインの双方が接地電位に保持され、正の電圧が制御ゲート2に印加される。様々な実施形態では、正の電圧（Vpp）は少なくとも12V（例えば、正の読み出し又は動作電圧Vddの場合は、約5Vである）であってもよく、好ましくは少なくとも12Vであり、ある特定の実施形態では、20Vから25Vであってもよい。接地電位は一般的に、仮想的な接地電位又は約0Vの電圧レベルを指す。プログラミングは、従来のエレクトロン注入により影響を受けると信じられている。或いは、負の電圧（例えば、-Vpp）を制御ゲート2に印加することで、ホールをフローティングゲート7上に蓄えることができる。更なる代替の実施形態では、参照セル、「非プログラム」トランジスタ、又は「0」の2値論理状態を記憶するトランジスタを、一以上のプログラムセルのバイアスと反対のバイアスを使用して、補完2値論理状態へとプログラムすることで、プログラム-非プログラムセル対（例えば、補完2値論理状態）の間のより大きなデルタ電圧Vtをもたらすことができる。より大きなスレッショルド電圧の差分は、セルが機能するマージンを拡張し、データ保持時間を増加させ、及び/又は緩やかな（例えば、サブスレッショルドスイング）条件下での読み出し動作を可能とする。

30

【0075】

[0082]データを本不揮発性メモリセルから読み出すために、第1の正電圧が制御ゲート2に印加され、第2の正電圧がドレインに印加され、ソースが接地電位に保持される。一つの好適な実施形態では、第1及び第2の正電圧は、Vpp未満の従来の読み出し電圧（例えば、Vdd）であり、一般的に約1.5から9V、又はそれらの間の任意の範囲の値（例えば、約3から約5V）である。

40

【0076】

[0083]本発明の不揮発性メモリセルからデータを消去するため、プログラム動作の逆の動作が行われる。即ち、正電圧を制御ゲート2に印加することで不揮発性メモリセルがプログラムされる場合には、消去操作は、トランジスタアイランド3のソース及びドレインを接地電位に保持しつつ、制御ゲート2に対して略同一の大きさの負電圧を印加する。或いは、負電圧を制御ゲート2に印加することで不揮発性メモリセルがプログラムされる場

50

合には、消去操作は、トランジスタアイランド 3 のソース及びドレインを接地電位に保持しつつ、制御ゲート 2 に対してほぼ同一の大きさの正電圧を印加する。

【 0 0 7 7 】

[0084] 図 7 は、上述の実施形態による実施に限定した不揮発性メモリセルに対する保持データを示す。逐次的横方向レーザ固相化及び／又は結晶化をシリコンのプリントアイランド上で使用すると、キャリア移動度、及びゲート／トンネル酸化物の界面品質が好適に改善される。次いで、この改善は、TFT サブスレッショルド係数（より急勾配なターンオン特性。図 7 を参照）を大幅に改善し、それにより 2 値不揮発性メモリセル内のゼロ状態と 1 状態との間、及び非 2 値不揮発性メモリセル内の隣接状態間をより良く分離できる。（半導体アイランド 2 - 3 に対応する半導体層を形成するための）スパノンシリコン

10

【 0 0 7 8 】

< 結論 / 概要 >

[0085] 本発明は、プリント技術を使用して、ドーブ誘電体膜を含めることによって、MOS 内の不揮発性メモリセル又は薄膜デバイス集積回路を製造する低コストの方法を効果的に提供する。本発明の不揮発性メモリセルは、信頼性があり、商業的に受け入れ可能な電気特性（例えば、オン／オフの速度及び比、キャリア移動度、 V_t 、等）を有する。プリント半導体構造、及び／又は放射線で画成された半導体構造（及び、必要に応じて、プリント導体構造及び／又は放射線で画成された導体構造）は、より従来のアプローチで形成した構造と同様な結果を提供することができるが、従来の半導体加工技術より非常に低コスト及び非常に高スループット（週から月ではなく、時間から日のオーダーで）ある。

20

【 0 0 7 9 】

[0086] 前述の本発明による具体的な実施形態の説明は、例示及び説明のために提示したものである。それらは排他的であることを意図したものではなく、又は本発明を、開示した形態に正確に限定することを意図したものでもなく、明らかに多数の変更及び変形が、上述の教示の観点から可能である。本発明の原理とその実用的応用を最も良く説明し、それにより当業者が、本発明と様々な変更を加えた様々な実施形態とを考えうる特定の使用に適する形で利用できるように、実施形態を選択して説明した。本発明の範囲は、添付の特許請求の範囲とその均等物によって規定されることを意図している。

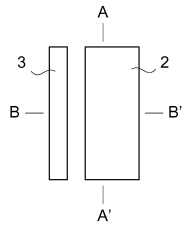
30

【 符号の説明 】

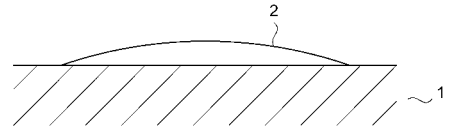
【 0 0 8 0 】

1 ... 基板、2 ... 制御ゲート、3 ... トランジスタアイランド、7 ... フローティングゲート、8 ... 第 1 のドーブ誘電体層。

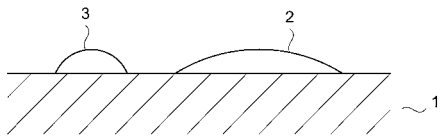
【図 1 A】



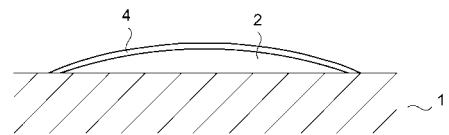
【図 1 B】



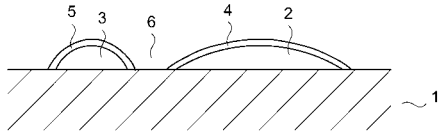
【図 1 C】



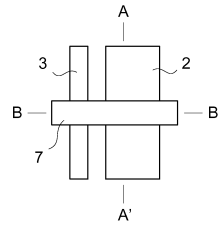
【図 2 A】



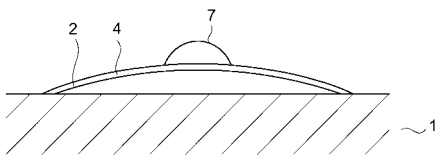
【図 2 B】



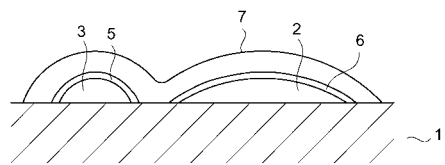
【図 3 A】



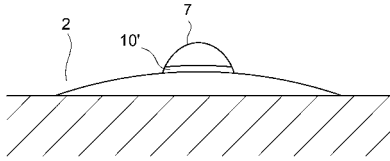
【図 3 B】



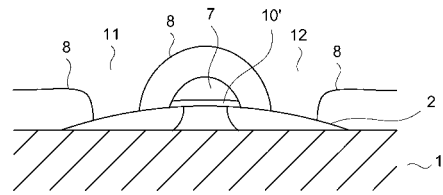
【図 3 C】



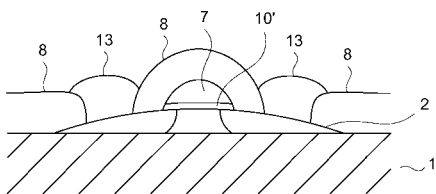
【図 6 A】



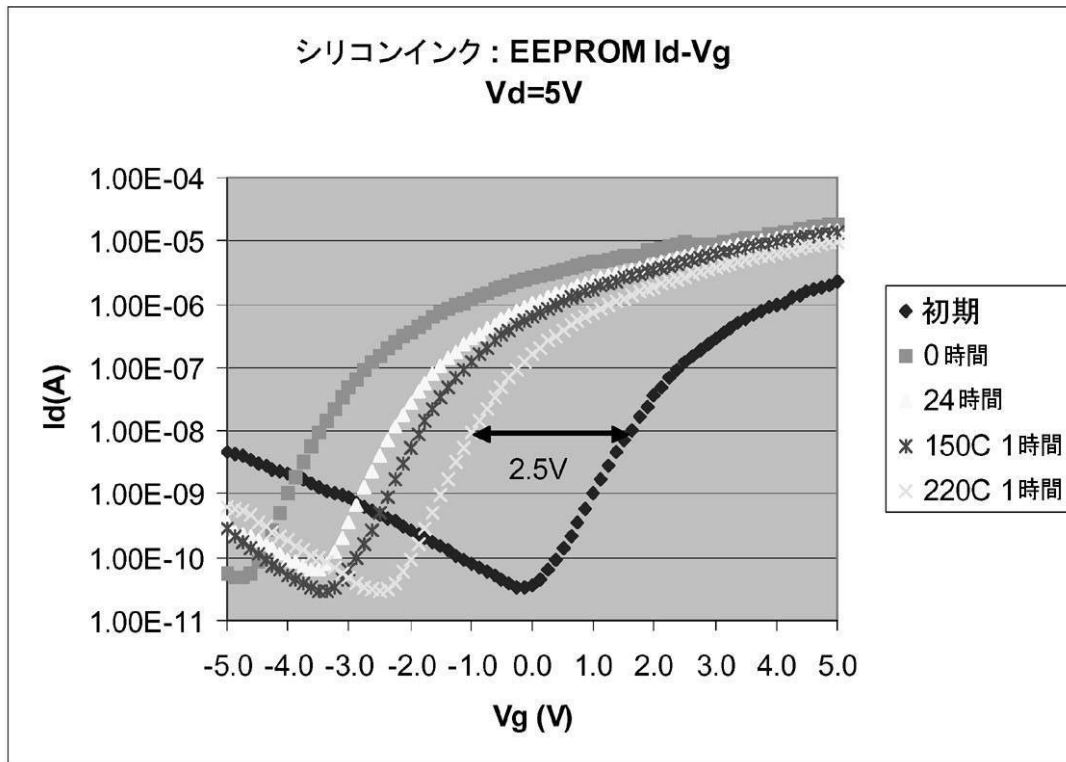
【図 6 B】



【図 6 C】



【 図 7 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 7 S

(72)発明者 パトリック スミス
 アメリカ合衆国, カリフォルニア州, サン ホゼ, ヴィスタモント ドライブ 3 2 3 6

(72)発明者 ジェイムス モンタギュー クリーヴス
 アメリカ合衆国, カリフォルニア州, レッドウッド シティ, サミット ドライブ 5 5
 1

F ターム(参考) 5F083 EP13 EP22 ER02 ER03 ER05 ER06 ER14 ER16 ER19 ER30
 GA27 GA28 HA02 JA35 JA36 JA37 JA38 JA39 JA56 PR05
 PR12 PR23 PR33 PR34
 5F101 BA02 BB06 BD18 BH04
 5F110 AA16 BB04 BB08 CC01 CC02 DD01 DD02 DD05 DD12 EE02
 EE03 EE04 EE05 EE09 EE11 EE42 EE47 EE48 FF01 FF02
 FF05 FF22 FF23 FF26 FF27 FF29 FF30 FF32 GG01 GG02
 GG03 GG04 GG13 GG22 GG24 GG25 GG28 GG32 GG42 GG43
 GG44 GG45 GG47 GG58 HJ01 HJ16 HK02 HK03 HK04 HK05
 HK32 NN22 NN27 NN33 NN34 NN35 NN36 NN40 NN71 PP01
 PP02 PP03 PP23 PP34 PP35 QQ01 QQ06

【外国語明細書】
2012178569000001.pdf