

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5615211号
(P5615211)

(45) 発行日 平成26年10月29日 (2014. 10. 29)

(24) 登録日 平成26年9月19日 (2014. 9. 19)

(51) Int. Cl.

F I

G 0 6 F 3/041 (2006.01)

G 0 6 F 3/041 5 2 2

G 0 6 F 3/044 (2006.01)

G 0 6 F 3/044 1 2 9

請求項の数 7 (全 13 頁)

(21) 出願番号 特願2011-52554 (P2011-52554)
 (22) 出願日 平成23年3月10日 (2011. 3. 10)
 (65) 公開番号 特開2012-190217 (P2012-190217A)
 (43) 公開日 平成24年10月4日 (2012. 10. 4)
 審査請求日 平成25年12月11日 (2013. 12. 11)

(73) 特許権者 000010098
 アルプス電気株式会社
 東京都大田区雪谷大塚町 1 番 7 号
 (74) 代理人 100085453
 弁理士 野▲崎▼ 照夫
 (74) 代理人 100121049
 弁理士 三輪 正義
 (72) 発明者 重高 寛
 東京都大田区雪谷大塚町 1 番 7 号 アルプ
 ス電気株式会社内

審査官 中田 剛史

最終頁に続く

(54) 【発明の名称】 静電容量式入力装置

(57) 【特許請求の範囲】

【請求項 1】

フィルム基材と、前記フィルム基材のセンサ部側にパターン形成された駆動電極と、前記駆動電極とセンサ側絶縁層を介して対向し前記駆動電極との間の静電容量を検出するパターン形成された検出電極と、を有する静電容量式入力装置において、

前記フィルム基材の前記センサ部とは反対側の回路部側には、回路側絶縁層を介して対向する第 1 導体層と第 2 導体層とがパターン形成されてなるリファレンスキャパシタ部が設けられ、前記第 1 導体層と前記第 2 導体層間に前記駆動電極と前記検出電極間の静電容量に対する基準静電容量が形成されていることを特徴とする静電容量式入力装置。

【請求項 2】

前記第 1 導体層は、前記フィルム基材を貫通して前記検出電極と導通している請求項 1 記載の静電容量式入力装置。

【請求項 3】

前記第 1 導体層と前記第 2 導体層は、前記基準静電容量に応じて、所定の長さ寸法にて直線状に延出形成されている請求項 1 又は 2 に記載の静電容量式入力装置。

【請求項 4】

前記回路部には、前記フィルム基材から離れる方向に向けてグランド層、回路側絶縁層及び回路配線層が順に積層されており、前記第 1 導体層は前記グランド層と同じ工程で形成され、前記第 2 導体層は前記回路配線層と同じ工程で形成される請求項 1 ないし 3 のいずれか 1 項に記載の静電容量式入力装置。

10

20

【請求項 5】

前記回路側絶縁層は、前記センサ側絶縁層と同じ層構成で形成される請求項 1 ないし 4 のいずれか 1 項に記載の静電容量式入力装置。

【請求項 6】

前記センサ部に、互いに絶縁されて直交する向きに形成された第 1 の駆動電極および第 2 の駆動電極と、前記第 1 の駆動電極および前記第 2 の駆動電極に距離を開けて対向する前記検出電極とが設けられており、前記リファレンスキャパシタ部は、前記第 1 の駆動電極と前記検出電極間の静電容量に対する基準静電容量を備える第 1 リファレンスキャパシタ部と、前記第 2 の駆動電極と前記検出電極間の静電容量に対する基準静電容量を備える第 2 リファレンスキャパシタ部とを有する請求項 1 ないし 5 のいずれか 1 項に記載の静電容量式入力装置。

10

【請求項 7】

前記リファレンスキャパシタ部には、前記基準静電容量に対する微調整用コンデンサチップが設けられている請求項 1 ないし 6 のいずれか 1 項に記載の静電容量式入力装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動電極と検出電極間の静電容量の変化によって指等の接近を検出する静電容量式入力装置に係り、特に回路部側にリファレンスキャパシタ部を有する構成に関する。

20

【背景技術】

【0002】

静電容量式入力装置は、以下の特許文献に記載されているように、基材及び電極パターンを備えるセンサ部と、センサ部の電極パターンと導通接続される回路部とを有して構成される。

【0003】

特許文献 1 及び特許文献 2 ではセンサ部と回路部とを別体で設けているが特許文献 3 のようにセンサ部と回路部とを共通のフィルム基材上に設けた構成も知られている。

【先行技術文献】

【特許文献】

30

【0004】

【特許文献 1】特開平 9 - 5 4 6 5 0 号公報

【特許文献 2】特開 2 0 0 3 - 2 7 1 3 1 1 号公報

【特許文献 3】U S R E 4 0 , 8 6 7 E

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来、センサ部を構成する電極パターンをフィルム基材に形成した構成では、環境変化に伴うフィルム基材や絶縁層の誘電率の変化により、電極パターン間の静電容量が環境によりばらついてしまい、その結果、位置検出精度が低下する問題があった。

40

【0006】

そこで本発明は上記従来の課題を解決するものであり、特に位置検出精度の向上とともに薄型化、部品点数の削減を可能とした静電容量式入力装置を提供することを目的としている。

【課題を解決するための手段】

【0007】

本発明は、フィルム基材と、前記フィルム基材のセンサ部側にパターン形成された駆動電極と、前記駆動電極とセンサ側絶縁層を介して対向し前記駆動電極との間の静電容量を検出するパターン形成された検出電極と、を有する静電容量式入力装置において、

前記フィルム基材の前記センサ部とは反対側の回路部側には、回路側絶縁層を介して対

50

向する第1導体層と第2導体層とがパターン形成されてなるリファレンスキャパシタ部が設けられ、前記第1導体層と前記第2導体層間に前記駆動電極と前記検出電極間の静電容量に対する基準静電容量が形成されていることを特徴とするものである。

【0008】

このようにリファレンスキャパシタ部を構成する第1導体層と第2導体層を夫々パターン形成することで、リファレンスキャパシタ部とセンサ部の双方に、フィルム基材や絶縁層に対する誘電率依存性を持たせることができる。すなわちセンサ部の電極間の静電容量は、環境変化に伴うフィルム基材や絶縁層の誘電率変化により変動するが、同じように、リファレンスキャパシタ部の基準静電容量も変動させることができるため、電極間の静電容量の温湿度ドリフトによっても検出誤差を小さくでき優れた位置検出精度を得ることが可能になる。

10

【0009】

またリファレンスキャパシタ部をコンデンサチップとする構成では、リファレンスキャパシタ部にセンサ部と同様の、フィルム基材や絶縁層に対する誘電率依存性を持たせることができないため、位置検出精度の向上を適切に図ることができない。

【0010】

本発明では、リファレンスキャパシタ部をパターン形成することで、コンデンサチップを設ける構成に比べて、位置検出精度を適切に向上させることができるとともに部品点数の削減及び薄型化を促進することが可能になる。

【0011】

20

本発明では、前記第1導体層は、前記フィルム基材を貫通して前記検出電極と導通していることが、検出回路を簡素化でき、また簡単な構造でリファレンスキャパシタ部を形成できて好ましい。

【0012】

また本発明では、前記第1導体層と前記第2導体層は、前記基準静電容量に応じて、所定の長さ寸法にて直線状に延出形成されていることが好ましい。

【0013】

また本発明では、前記回路部には、前記フィルム基材から離れる方向に向けてグランド層、回路側絶縁層及び回路配線層が順に積層されており、前記第1導体層は前記グランド層と同じ工程で形成され、前記第2導体層は前記回路配線層と同じ工程で形成されることが好ましい。これによりリファレンスキャパシタ部の形成を容易化でき製造コストの低減を図ることが出来る。

30

【0014】

また本発明では、前記回路側絶縁層は、前記センサ側絶縁層と同じ層構成で形成されることが好ましい。センサ部とリファレンスキャパシタ部とで、絶縁層に対する誘電率依存性を同じにでき、より効果的に位置検出精度の向上を図ることが可能になる。

【0015】

また本発明では、前記センサ部に、互いに絶縁されて直交する向きに形成された第1の駆動電極および第2の駆動電極と、前記第1の駆動電極および前記第2の駆動電極に距離を開けて対向する前記検出電極とが設けられており、前記リファレンスキャパシタ部は、前記第1の駆動電極と前記検出電極間の静電容量に対する基準静電容量を備える第1リファレンスキャパシタ部と、前記第2の駆動電極と前記検出電極間の静電容量に対する基準静電容量を備える第2リファレンスキャパシタ部とを有することが好ましい。

40

【0016】

また本発明では、前記リファレンスキャパシタ部には、前記基準静電容量に対する微調整用コンデンサチップが設けられていてもよい。

【発明の効果】

【0017】

本発明では、リファレンスキャパシタ部をパターン形成することで、リファレンスキャパシタ部とセンサ部の双方に、フィルム基材や絶縁層に対する誘電率依存性を持たせるこ

50

とができ、電極間の静電容量の温湿度ドリフトによっても優れた位置検出精度を得ることが可能になる。またリファレンスキャパシタ部をチップコンデンサで構成する形態に比べて、位置検出精度の向上とともに部品点数の削減及び薄型化を促進できる。

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】本実施形態における静電容量式入力装置の平面図、

【図 2】本実施形態における静電容量式入力装置の裏面図、

【図 3】図 1 に示す A - A 線に沿って切断し矢印方向から見た静電容量式入力装置の部分拡大縦断面図、

【図 4】図 1 に示す B - B 線に沿って切断し矢印方向から見た静電容量式入力装置の部分拡大縦断面図、

【図 5】第 1 実施形態におけるリファレンスキャパシタ部の部分拡大縦断面図、

【図 6】(a) は、第 2 実施形態におけるリファレンスキャパシタ部の部分拡大縦断面図、(b) は、第 2 実施形態におけるリファレンスキャパシタ部の斜視図、

【図 7】本実施形態における静電容量式入力装置を用いたポインティングデバイスの模式図、

【図 8】本実施形態における静電容量式入力装置を用いたポインティングデバイスの模式図、

【図 9】本実施形態における静電容量式入力装置を用いたポインティングデバイスの模式図、

【図 1 0】本実施形態における静電容量式入力装置を用いたポインティングデバイスの模式図。

【発明を実施するための形態】

【 0 0 1 9 】

図 1 は、本実施形態における静電容量式入力装置 1 の平面図、図 2 は静電容量式入力装置 1 の裏面図、図 3 は、図 1 に示す A - A 線に沿って切断し矢印方向から見た部分拡大縦断面図、図 4 は図 1 に示す B - B 線に沿って切断し矢印方向から見た部分拡大縦断面図、図 5 は、第 1 実施形態におけるリファレンスキャパシタ部の部分拡大縦断面図、図 6 (a) は、第 2 実施形態におけるリファレンスキャパシタ部の部分拡大縦断面図、図 6 (b) は、第 2 実施形態におけるリファレンスキャパシタ部の斜視図、である。ただし図 5 , 図 6 では、静電容量式入力装置 1 の裏面側 (回路部側) を上側に向けて図示した。

【 0 0 2 0 】

図 3 , 図 4 の断面図に示すように、静電容量式入力装置 1 は、表側 2 と裏側 3 を有している。図 1 は静電容量式入力装置 1 を表側 2 から見た状態を示しており、図 2 は静電容量式入力装置 1 を裏側 3 から見た状態を示している。

【 0 0 2 1 】

図 1 に示すように、表側 2 にはそのほぼ全域に X 駆動電極 (第 1 の駆動電極) 1 3 および Y 駆動電極 (第 2 の駆動電極) 1 1 と検出電極 1 2 が設けられている。なお図 1 には一つの X 駆動電極に対して符号 1 3 を付した。また図 1 では、Y 駆動電極及び検出電極を一部だけ図示し、また一つの Y 駆動電極及び一つの検出電極に対して符号 1 1 , 1 2 を付した。

各電極 1 1 , 1 2 , 1 3 は印刷にてパターン形成されている。

【 0 0 2 2 】

図 3 , 図 4 に示すように、静電容量式入力装置 1 は樹脂フィルム、樹脂シートからなる可撓性のフィルム基材 1 0 を有する。フィルム基材 1 0 を構成する合成樹脂は、例えば P E T (ポリエチレン・テレフタレート) である。

【 0 0 2 3 】

フィルム基材 1 0 の表側 2 はセンサ部 2 0 を構成し、フィルム基材 1 0 の表面 1 0 a に、直接にまたは絶縁層を介して、図 1 に示す複数の Y 駆動電極 1 1 と複数の検出電極 1 2 とが形成されている。

【 0 0 2 4 】

また Y 駆動電極 1 1 と検出電極 1 2 の表面にセンサ側絶縁層 1 4 が設けられ、X 駆動電極 1 3 はセンサ側絶縁層 1 4 上に形成されている。この X 駆動電極 1 3 の表面は図示しない表面絶縁層で覆われている。

【 0 0 2 5 】

図 1 に示すように、それぞれの Y 駆動電極 1 1 は X 1 - X 2 方向へ直線的に延びる電極本体部 1 1 a を有している。複数の Y 駆動電極 1 1 は、電極本体部 1 1 a が Y 1 - Y 2 方向に一定の間隔を空けて平行に延びるように形成されている。検出電極 1 2 は、X 1 - X 2 方向へ直線的に延びる電極本体部 1 2 a を有しており、複数の検出電極 1 2 は、電極本体部 1 2 a が Y 1 - Y 2 方向へ一定の間隔を空けて平行に延びるように形成されている。Y 駆動電極 1 1 の電極本体部 1 1 a と検出電極 1 2 の電極本体部 1 2 a は、Y 1 - Y 2 方向に交互に配列しており、電極本体部 1 1 a と電極本体部 1 2 a は互いに平行である。

10

【 0 0 2 6 】

図 1 に示すように、X 駆動電極 1 3 は、Y 1 - Y 2 方向に直線的に延びており、X 1 - X 2 方向に一定の間隔を空けて互いに平行に形成されている。

【 0 0 2 7 】

図 1 に示すように、Y 駆動電極 1 1 は、枝電極部 1 1 b を有している。枝電極部 1 1 b は、X 1 - X 2 方向に間隔を空けて複数本形成されており、それぞれが電極本体部 1 1 a と導通して電極本体部 1 1 a から Y 1 方向と Y 2 方向へ向けて短く突出している。検出電極 1 2 も枝電極部 1 2 b を有している。枝電極部 1 2 b は、X 1 - X 2 方向へ間隔を空けて複数本設けられている。それぞれの枝電極部 1 2 b は、電極本体部 1 2 a と導通し、電極本体部 1 2 a から Y 1 方向と Y 2 方向へ向けて短く突出している。

20

【 0 0 2 8 】

図 1 に示すように、X 駆動電極 1 3 は、Y 駆動電極 1 1 の電極本体部 1 1 a と検出電極 1 2 の電極本体部 1 2 a の上方を交差するように通過している。また、検出電極 1 2 に枝電極部 1 2 b が設けられていることで、検出電極 1 2 の電極本体部 1 1 a と X 駆動電極 1 3 との交差部分において、検出電極 1 2 と X 駆動電極 1 3 との結合容量を増大でき、しかも操作面の全域において、検出電極 1 2 と X 駆動電極 1 3 との結合容量の大きなばらつきが発生しないように調整されている。

【 0 0 2 9 】

図 1 に示す実施の形態では、X 駆動電極 1 3 に枝電極部が設けられていないが、X 駆動電極 1 3 に枝電極部が設けられていてもよい。

30

【 0 0 3 0 】

Y 駆動電極 1 1 の電極本体部 1 1 a と検出電極 1 2 の電極本体部 1 2 a が互いに平行に対向しているとともに、Y 駆動電極 1 1 の枝電極部 1 1 b と検出電極 1 2 の一対の枝電極部 1 2 b とが、X 1 - X 2 方向にて対向するように配置されている。前記枝電極部 1 1 b と枝電極部 1 2 b が設けられていることで、Y 駆動電極 1 1 と検出電極 1 2 との結合容量を増大でき、しかも操作面の全域において、Y 駆動電極 1 1 と検出電極 1 2 との結合容量の大きなばらつきが発生しないように調整されている。

【 0 0 3 1 】

図 2 に示すように、フィルム基材 1 0 の裏側 3 は回路部 2 1 を構成し、フィルム基材 1 0 の裏面 1 0 b には、図 3 , 図 4 に示すように、導電性材料で形成されたグランド層 (シールド層) 1 7 が形成されている。グランド層 1 7 は、操作面のほぼ全域を裏側から覆うように形成されている。

40

【 0 0 3 2 】

図 3 , 図 4 に示すように、グランド層 1 7 の裏面は回路側絶縁層 1 8 で覆われている。この回路側絶縁層 1 8 の裏面 1 8 a に図 2 , 図 3 , 図 4 に示すように、回路配線層 1 9 が形成されている。なお図 2 には一部の回路配線層 1 9 のみを図示した。

【 0 0 3 3 】

図 2 に示すように、回路配線層 1 9 は、Y 配線層 1 9 a と検出配線層 1 9 b および X 配

50

線層 19c を有している。

【0034】

図1に示すように、操作面の縁部に沿って、スルーホール24, 25が形成されている。なお図1, 図2には、各一つのスルーホールにのみ符号24, 25を付した。図3, 図4に示すように、スルーホール24, 25は、フィルム基材10を貫通して形成されており、内部に導電層36, 37が充填されている。そして、それぞれのスルーホール24内の導電層36を介して複数本のY駆動電極11とY配線層19aとが個別に導通している。同様に、それぞれのスルーホール25内の導電層37を介して複数本のX駆動電極13とX配線層19cとが個別に導通している。

【0035】

また検出電極12に対するスルーホール26は図2に示すように一つであり、このスルーホール26もフィルム基材10を貫通して形成されており、内部に導電層が充填されている。そして、検出電極12は一本に纏められて、スルーホール26を介して検出電極12と導通した一本の検出配線層19bが回路部21側に形成されている。

【0036】

図2に示すように、回路部21には回路側絶縁層18の裏面18aに、電子素子としてICパッケージ27が実装されており、各回路配線層19がICパッケージ27内の回路に導通している。ICパッケージ27内には、駆動回路や検出回路が含まれている。またICパッケージ27から回路配線層19が延出してコネクタ部29に接続されている。

【0037】

また図3, 図4に示すように回路配線層19は、配線絶縁層28で覆われている。ただし実装ランド部(図示せず)の部分に配線絶縁層28は形成されておらず、実装ランド部は露出した状態となっている。

【0038】

本実施形態では各層の材質を特に限定するものではないが、印刷形成可能とされ、例えば、各電極11, 12, 13、回路配線層19、さらには後述するリファレンスカパシタ部を構成する導体層は、銀を含む導電層、カーボンを含む導電層、あるいはこれらの層の積層構造等で形成される。また、絶縁層14, 18, 28は例えばレジストで形成される。

【0039】

ICパッケージ27内の駆動回路によって、Y配線層19aを介してY駆動電極11にパルス状の電圧が一定の時間間隔で与えられる。このパルス状の電圧は複数のY駆動電極11に順番に与えられる。また、駆動回路によって、X配線層19cを介してX駆動電極13にパルス状の電圧が一定の時間間隔で与えられ、このときもパルス状の電圧が複数のX駆動電極13に順番に与えられる。ただし、Y駆動電極11とX駆動電極13には、異なる時間に電圧が与えられる。

【0040】

それぞれのY駆動電極11と検出電極12との間には静電容量が形成されている。いずれかのY駆動電極11にパルス状の電圧が印加されると、電圧の立ち上がり同期して、電圧が与えられたY駆動電極11に隣接する検出電極12に瞬間的な電流が流れる。ほぼ接地電位の人の指(操作体)がセンサ部20の操作面に触れて、指がいずれかのY駆動電極11に接近すると、指とY駆動電極11との間に静電容量が形成され且つ指と検出電極12との間に静電容量が形成されるために、指が接近しているY駆動電極11と検出電極12との間の静電容量が変化する。検出電極12に流れる電流量は前記静電容量の変動に応じて変化するため、指の近くに位置するY駆動電極11に電圧が与えられたときに検出電極12に流れる電流量と、指が接近していないY駆動電極11に電圧を与えたときに検出電極12に流れる電流量との間に変化が生じる。

【0041】

本実施形態では、回路部21に二つのリファレンスカパシタ部30, 31が形成されている。各リファレンスカパシタ部30, 31には基準静電容量が設定されている。

10

20

30

40

50

【 0 0 4 2 】

ここでリファレンスキャパシタ部 3 0 , 3 1 の構成について説明する。図 5 (図 2 に示す回路部 2 1 側を上面側に図示した) に示すように、フィルム基材 1 0 にスルーホール 3 2 が形成され、スルーホール 3 2 内に充填された導電層 3 3 と検出電極 1 2 とが導通している。

【 0 0 4 3 】

図 5 に示すように、回路部 2 1 側では、グラウンド層 1 7 と同じ形成面 (フィルム基材 1 0 の裏面 1 0 b) に第 1 導体層 3 4 が印刷でパターン形成されている。図 5 に示すように検出電極 1 2 と第 1 導体層 3 4 は導電層 3 3 を介して導通している。

【 0 0 4 4 】

さらに図 5 に示すように、回路配線層 1 9 と同じ形成面 (回路側絶縁層 1 8 の裏面 1 8 a) に第 2 導体層 3 5 が形成されている。第 2 導体層 3 5 は、第 1 導体層 3 4 と回路側絶縁層 1 8 を介して対向し、第 1 導体層 3 4 と第 2 導体層 3 5 との間に基準静電容量 C 1 を形成している。図 2 に示すように第 2 導体層 3 5 は印刷でパターン形成されており、IC パッケージ 2 7 に回路配線層 1 9 を介して接続される。なお第 2 導体層 3 5 と回路配線層 1 9 とを一体に形成することができる。

【 0 0 4 5 】

例えば図 2 に示す符号 3 0 が X 駆動電極 1 3 と検出電極 1 2 間の静電容量に対する基準静電容量 C 1 を備えた第 1 リファレンスキャパシタ部 3 0 であり、符号 3 1 が、Y 駆動電極 1 1 と検出電極 1 2 間の静電容量に対する基準静電容量 C 1 を備えた第 2 リファレンスキャパシタ部 3 1 である。

【 0 0 4 6 】

上記したように、各 Y 駆動電極 1 1 に対して次々にパルス状の電圧を与え、検出電極 1 2 に流れる電流量を検出する。更に、第 2 リファレンスキャパシタ部 3 1 の第 2 導体層 3 5 に対してパルス状の電圧を与える。すると、第 2 リファレンスキャパシタ部 3 1 の基準静電容量 C 1 に基づいて検出電極 1 2 および検出配線層 1 9 b により基準電流値が検出される。

【 0 0 4 7 】

IC パッケージ 2 7 の検出回路では、この基準電流値と、各 Y 駆動電極 1 1 と検出電極 1 2 間の静電容量に基づく電流値を対比する。操作面に指を触れていないと、各 Y 駆動電極に電圧を与えて得られた各電流値と、基準電流値との差が所定範囲内に収められ、指が接近していないと判断できる。一方、指が操作面上に接近すると、指に近い Y 駆動電極 1 1 に電圧を印加したときに得られる電流値は、指が接近していないときの電流値に比べて変化するので、各 Y 駆動電極 1 1 に電圧を印加したときに得られた各電流値が基準電流値に対してどの程度変化しているかによって、指が接近している箇所の Y 座標上の位置を推定することができる。同様に、各 X 駆動電極 1 3 と第 1 リファレンスキャパシタ部 3 0 の第 2 導体層 3 5 に次々にパルス状の電圧を与え、検出電極 1 2 に流れる電流量を検出する。そして各 X 駆動電極 1 3 に電圧を印加したときに得られた各電流値が基準電流値に対してどの程度変化しているかによって、指が接近している箇所の X 座標上の位置を推定することができる。

【 0 0 4 8 】

また本実施形態の基準静電容量を有するリファレンスキャパシタ部を備えた静電容量式入力装置によれば、例えば、操作面全体を手で触った状態をも検出することが可能である。

【 0 0 4 9 】

本実施形態の静電容量式入力装置 1 の特徴的部分は、回路部 2 1 側に、回路側絶縁層 1 8 を介して対向する第 1 導体層 3 4 と第 2 導体層 3 5 とをパターン形成して基準静電容量を備えるリファレンスキャパシタ部 3 0 , 3 1 を設けた点にある。

【 0 0 5 0 】

これにより、フィルム基材 1 0 の裏側 3 に設けたリファレンスキャパシタ部 3 0 , 3 1

10

20

30

40

50

とフィルム基材 10 の表側 2 に設けたセンサ部 20 の双方に、フィルム基材 10 や各絶縁層 14、18 に対する誘電率依存性を持たせることができる。上記したようにフィルム基材 10 は PET フィルム等であり環境変化によって誘電率が変化しやすい。また各絶縁層 14、18 もレジスト等で形成され環境変化によって誘電率が変化しやすい。このためセンサ部 20 のパターン形成された電極間の静電容量は、環境変化に伴うフィルム基材 10 や各絶縁層 14、18 の誘電率変化により変動しやすいが、本実施形態ではリファレンスキャパシタ部 30、31 をパターン形成することで、リファレンスキャパシタ部 30、31 の基準静電容量をセンサ部 20 側と同様に、フィルム基材 10 や各絶縁層 14、18 の誘電率変化に基づいて変動させることができるため、電極間の静電容量の温湿度ドリフトによっても検出誤差を小さくでき優れた位置検出精度を得ることが可能になる。

10

【0051】

また基準静電容量を有するリファレンスキャパシタ部をコンデンサチップとする構成では、リファレンスキャパシタ部にセンサ部と同様の、フィルム基材 10 や各絶縁層 14、18 に対する誘電率依存性を持たせることができないため、位置検出精度の向上を適切に図ることができない。

【0052】

本実施形態では、リファレンスキャパシタ部 30、31 をパターン形成することで、コンデンサチップを設ける構成に比べて、位置検出精度を適切に向上させることができるとともに、部品点数の削減及び薄型化を促進することが可能になる。また本実施形態では、フィルム基材 10 の表側 2 及び裏側 3 の双方にて各導電層を印刷形成でき、リファレンスキャパシタ部 30、31 の形成も第 1 導体層 34 をグランド層 17 と同じ工程で印刷形成でき、第 2 導体層 35 を回路配線層 19 と同じ工程で印刷形成できる。よってリファレンスキャパシタ部 30、31 の形成のために製造工程が増えることがなく、リファレンスキャパシタ部としてコンデンサチップを設ける構成に比べて製造コストの低減を図ることが可能である。

20

【0053】

本実施形態では、図 5 に示したように、リファレンスキャパシタ部 30、31 を、フィルム基材 10 のスルーホール 32 内の導電層 33 を介して検出電極 12 と導通する第 1 導体層 34 と、第 1 導体層 34 と回路側絶縁層 18 を介して対向する第 2 導体層 35 とを有して構成しているため、センサ部 20 側から回路部 21 側の IC パッケージ 27 に向う配線パターン（電気回路）を簡易化でき、また簡単な構造でリファレンスキャパシタ部 30、31 を形成できる。

30

【0054】

また、本実施形態では、図 2、図 5 に示すように、第 1 導体層 34 及び第 2 導体層 35 を、基準静電容量 C1 に応じて、所定の長さ寸法にて直線状に延出形成することが好適である。簡単な構成で所望の基準静電容量 C1 を備えるリファレンスキャパシタ部 30、31 を形成できる。

【0055】

また本実施形態ではセンサ部 20 側に設けられるセンサ側絶縁層 14 と、回路部 21 側に設けられる回路側絶縁層 18 とを同じ層構成で形成することが好ましい。ここで「同じ層構成」とは同じ材質で、さらにほぼ同じ厚みであることを意味する。これにより、センサ部 20 とリファレンスキャパシタ部 30、31 とで絶縁層に対する誘電率依存性を同じにでき、より効果的に位置検出精度の向上を図ることができる。

40

【0056】

図 6 は、リファレンスキャパシタ部 40 の第 2 実施形態を示すものである。図 6 (a) (b) に示すように、リファレンスキャパシタ部 40 は、第 1 導体層 41 と第 2 導体層 42 とを有し、第 1 導体層 41 は、検出電極 12 と導電層 33 を介して導通している。導電層 33 はフィルム基材 10 に形成されたスルーホール 32 内に形成されている。

【0057】

図 6 (a) に示すように第 1 導体層 41 と第 2 導体層 42 とは回路側絶縁層 18 を介し

50

て対向しており、第 1 導体層 4 1 と第 2 導体層 4 2 間に基準静電容量 C 2 が形成されている。

【 0 0 5 8 】

さらに図 6 に示すリファレンスキャパシタ部 4 0 は、回路側絶縁層 1 8 にスルーホール 4 3 が形成され、スルーホール 4 3 内を導電層 4 4 が埋めている。そして第 1 導体層 4 1 と第 3 導体層 4 5 とが導電層 4 4 を介して導通している。

【 0 0 5 9 】

図 6 (b) に示すように、第 2 導体層 4 2 は第 3 導体層 4 5 と平面視にて対向する位置まで延出しており、第 2 導体層 4 2 と第 3 導体層 4 5 との間に基準静電容量 C 2 に対する微調整用のコンデンサチップ 4 6 が設けられている。なお、基準静電容量 C 2 に対して微調整用コンデンサチップ 4 6 の静電容量は十分に小さく例えば基準静電容量 C 2 に対して 1 / 1 0 程度である。

【 0 0 6 0 】

微調整用コンデンサチップ 4 6 は、リファレンスキャパシタ部 4 0 を構成する第 1 導体層 4 1 及び第 2 導体層 4 2 を印刷した際、基準静電容量 C 2 がばらつく等の不具合発生時に微調整できるように取り付けたものであるが、微調整用コンデンサチップ 4 6 の取り付けの有無は任意に決定することが出来る。

【 0 0 6 1 】

本実施形態における静電容量式入力装置 1 はノートパソコン等に搭載されるポインティングデバイスとして用いることができ、例えば図 7 のように静電容量式入力装置 1 の裏側の回路部 2 1 には、二つのコネクタ部 5 0 , 5 1 が取り付けられている。そして一方のコネクタ部 5 0 にはフレキシブルフラットケーブル 5 3 が接続され、他方のコネクタ部 5 1 にはスイッチ部 5 4 , 5 4 と金属プレートを備えるフレキシブルプリント基板 5 2 が接続されている。

【 0 0 6 2 】

また図 8 に示すように本実施形態の静電容量式入力装置 1 を構成するフィルム基材を延在させて図 7 に示したフレキシブルフラットケーブル 5 3 を一体にすることも可能である。これにより図 8 では図 7 に比べてコネクタ部 5 0 を少なくでき部品点数を減らすことが可能になる。

【 0 0 6 3 】

さらには図 9 に示すように、フィルム基材をフレキシブルフラットケーブル 5 3 用として延在させるとともにフレキシブルプリント基板 5 2 用としても延在させて図 7 に示したフレキシブルプリント基板 5 2 も一体的に形成することができ、これにより図 7 で示したコネクタ部 5 0 , 5 1 の双方を削除できる。

また図 1 0 では、さらにフィルム基材を延長させてホール I C 5 5 を取り付けられている。

【 符号の説明 】

【 0 0 6 4 】

- 1 静電容量式入力装置
- 2 表側
- 3 裏側
- 1 0 フィルム基材
- 1 1 Y 駆動電極
- 1 2 検出電極
- 1 3 X 駆動電極
- 1 4 センサ側絶縁層
- 1 7 グランド層
- 1 8 回路側絶縁層
- 1 9 回路配線層
- 2 0 センサ部
- 2 1 回路部

10

20

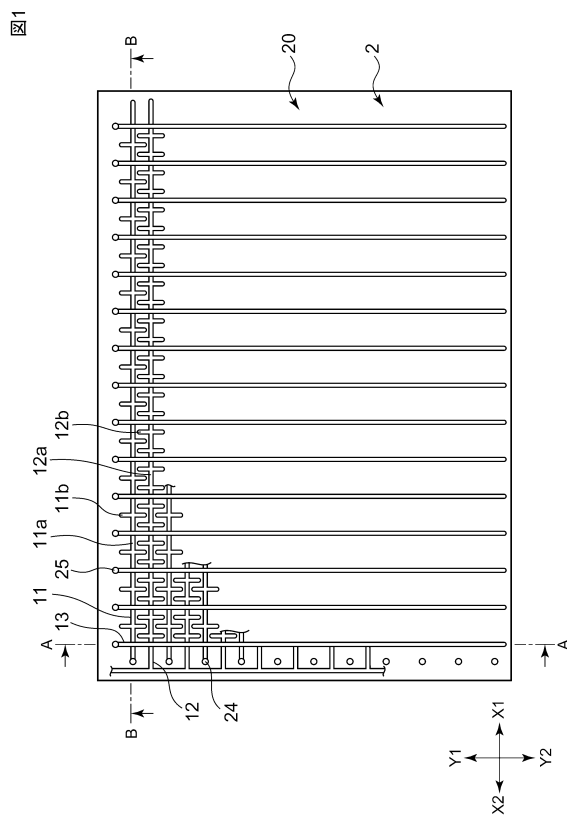
30

40

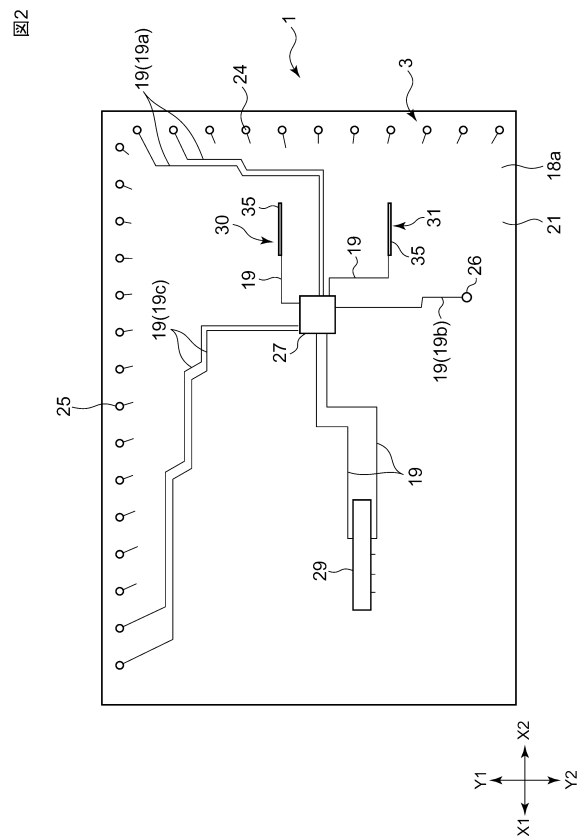
50

- 24、25、26、32、43 スルーホール
- 27 ICパッケージ
- 30、31、40 リファレンスカパシタ部
- 34、41 第1導体層
- 35、42 第2導体層
- 45 第3導体層
- 46 微調整用コンデンサチップ
- 29、50、51 コネクタ部
- 52 フレキシブルプリント基板
- 53 フレキシブルフラットケーブル

【図1】

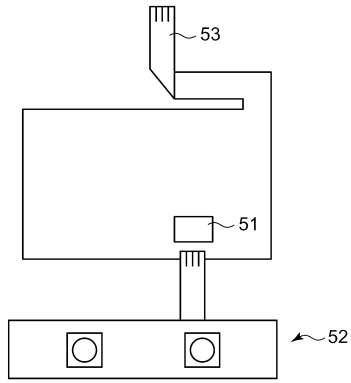


【図2】



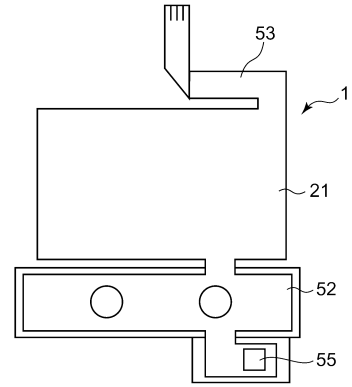
【図 8】

図8



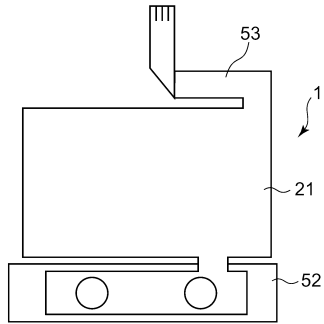
【図 10】

図10



【図 9】

図9



フロントページの続き

(56)参考文献 特開2002-366304(JP,A)
特開2003-028606(JP,A)
特開2005-140612(JP,A)
特開2003-099185(JP,A)
特開2011-197942(JP,A)
特開2007-179230(JP,A)
特開2010-218535(JP,A)
特開2012-043275(JP,A)
特開2010-273020(JP,A)
特開2006-012110(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/041
G06F 3/044