

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2012-227503  
(P2012-227503A)

(43) 公開日 平成24年11月15日(2012.11.15)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/363 (2006.01)	H O 1 L 21/363	5 F 1 0 3
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 1 0
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 A	

審査請求 未請求 請求項の数 16 O L (全 28 頁)

(21) 出願番号	特願2011-178203 (P2011-178203)	(71) 出願人	000153878
(22) 出願日	平成23年8月17日 (2011. 8. 17)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-183025 (P2010-183025)		神奈川県厚木市長谷 3 9 8 番地
(32) 優先日	平成22年8月18日 (2010. 8. 18)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2011-83966 (P2011-83966)		半導体エネルギー研究所内
(32) 優先日	平成23年4月5日 (2011. 4. 5)	F ターム (参考)	5F103 AA08 BB22 BB32 BB42 BB46
(33) 優先権主張国	日本国 (JP)		BB49 DD30 LL08 LL13 PP11
			PP12 PP18 RR02 RR04 RR05

最終頁に続く

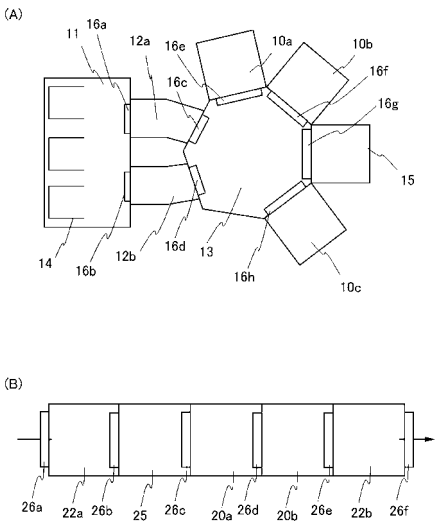
(54) 【発明の名称】 成膜装置及び成膜方法

(57) 【要約】

【課題】酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタと比較して信頼性が劣る場合があった。また、酸化物半導体を用いたトランジスタの電気特性は、基板内、基板間及びロット間において、ばらつきが大きい場合があった。そこで、信頼性が高く、電気特性のばらつきの小さい酸化物半導体を用いた半導体装置を作製する。

【解決手段】ロードロック室と、ロードロック室とゲートバルブを介して接続された搬送室と、搬送室とゲートバルブを介して接続された基板加熱室と、搬送室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10}$  Pa・m<sup>3</sup>/秒以下である成膜室と、を有する成膜装置である。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

ロードロック室と、  
 前記ロードロック室とゲートバルブを介して接続された搬送室と、  
 前記搬送室とゲートバルブを介して接続された基板加熱室と、  
 前記搬送室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室と、を有することを特徴とする成膜装置。

## 【請求項 2】

請求項 1 において、  
 前記成膜室を複数有することを特徴とする成膜装置。

10

## 【請求項 3】

請求項 1 または請求項 2 において、  
 前記ロードロック室を複数有することを特徴とする成膜装置。

## 【請求項 4】

ロードロック室と、  
 前記ロードロック室とゲートバルブを介して接続された基板加熱室と、  
 前記基板加熱室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室と、を有することを特徴とする成膜装置。

## 【請求項 5】

ロードロック室と、  
 前記ロードロック室とゲートバルブを介して接続された基板加熱室と、  
 前記基板加熱室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である第 1 の成膜室と、  
 前記第 1 の成膜室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である第 2 の成膜室と、を有することを特徴とする成膜装置。

20

## 【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、  
 前記基板加熱室は、プラズマ処理室を兼ねることを特徴とする成膜装置。

## 【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、  
 前記成膜室、前記第 1 の成膜室及び前記第 2 の成膜室の少なくとも一におけるターゲットと基板との距離が、スパッタ粒子、ガス分子またはイオンの平均自由行程よりも小さいことを特徴とする成膜装置。

30

## 【請求項 8】

請求項 1 乃至請求項 6 のいずれかーにおいて、  
 前記成膜室、前記第 1 の成膜室及び前記第 2 の成膜室の少なくとも一におけるターゲットと基板との距離が、25 mm 以下であることを特徴とする成膜装置。

## 【請求項 9】

請求項 1 乃至請求項 8 のいずれかーにおいて、  
 成膜ガスの供給源と、前記成膜室、前記第 1 の成膜室及び前記第 2 の成膜室の少なくとも一と、を有し、  
 前記成膜ガスの供給源と、前記成膜室、前記第 1 の成膜室及び前記第 2 の成膜室の少なくとも一との間に精製機を有することを特徴する成膜装置。

40

## 【請求項 10】

請求項 9 において、  
 前記精製機から、前記成膜室、前記第 1 の成膜室及び前記第 2 の成膜室の少なくとも一までの配管の長さが、5 m 以下であることを特徴とする成膜装置。

## 【請求項 11】

リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された成膜室に基板を導入した後、

50

前記成膜室に 99.999999% 以上の純度である成膜ガスを導入し、  
前記成膜ガスを用いてターゲットをスパッタリングして、前記基板上に膜を成膜することを特徴とする成膜方法。

【請求項 12】

真空排気された基板加熱室に基板を導入した後、  
前記基板を、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において 250 以上基板の歪み点未満で熱処理し、  
前記熱処理された基板を、大気に暴露することなく、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された成膜室に導入した後、  
前記成膜室に 99.999999% 以上の純度である成膜ガスを導入し、  
前記成膜ガスを用いてターゲットをスパッタリングして、前記基板上に膜を成膜することを特徴とする成膜方法。

10

【請求項 13】

真空排気された基板加熱室に基板を導入した後、  
前記基板を、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において 250 以上基板の歪み点未満で熱処理し、  
前記熱処理された基板を、大気に暴露することなく、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された第 1 の成膜室に導入した後、  
前記第 1 の成膜室に 99.999999% 以上の純度である成膜ガスを導入し、  
前記成膜ガスを用いてターゲットをスパッタリングして、前記基板上に絶縁膜を成膜し

20

、  
前記絶縁膜が成膜された基板を、大気に暴露することなく、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された第 2 の成膜室に導入した後、  
前記第 2 の成膜室に 99.999999% 以上の純度である成膜ガスを導入し、  
前記成膜ガスを用いてターゲットをスパッタリングして、前記基板上に酸化物半導体膜を成膜することを特徴とする成膜方法。

【請求項 14】

真空排気されたプラズマ処理室に基板を導入した後、  
前記基板をプラズマ処理し、  
前記プラズマ処理された基板を、大気に暴露することなく、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された第 1 の成膜室に導入した後、  
前記第 1 の成膜室に 99.999999% 以上の純度である成膜ガスを導入し、  
前記成膜ガスを用いてターゲットをスパッタリングして、前記基板上に絶縁膜を成膜し

30

、  
前記絶縁膜が成膜された基板を、大気に暴露することなく、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された第 2 の成膜室に導入した後、  
前記第 2 の成膜室に 99.999999% 以上の純度である成膜ガスを導入し、  
前記成膜ガスを用いてターゲットをスパッタリングして、前記基板上に酸化物半導体膜を成膜することを特徴とする成膜方法。

【請求項 15】

請求項 13 または請求項 14 のいずれか一において、  
前記酸化物半導体膜の成膜時の基板温度が、100 以上 400 以下であることを特徴とする成膜方法。

40

【請求項 16】

請求項 13 または請求項 14 において、  
前記絶縁膜の成膜時の基板温度が、50 以上 450 以下であることを特徴とする成膜方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

成膜装置及び成膜方法に関する。

【0002】

なお、本明細書において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜の材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

10

【0004】

例えば、トランジスタの活性層として、電子キャリア濃度が $10^{18}/\text{cm}^3$ 未満であるインジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む酸化物半導体を用いたトランジスタが開示されており、酸化物半導体膜の成膜方法としてはスパッタリング法が最適とされている（特許文献1参照。）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-165528号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタと比較して信頼性が劣る場合があった。また、酸化物半導体を用いたトランジスタの電気特性は、基板内、基板間及びロット間において、ばらつきが大きい場合があった。そこで、信頼性が高く、電気特性のばらつきの小さい酸化物半導体を用いた半導体装置を作製することを目的とし、そのための成膜装置及び該成膜装置を用いた成膜方法を示す。

【課題を解決するための手段】

【0007】

酸化物半導体を用いたトランジスタにおいて、水素の一部がドナーとなり、電子を生じることが知られている。酸化物半導体中で電子が発生すると、ゲート電圧を印加しなくてもドレイン電流が流れてしまう。そのため、しきい値電圧がマイナスシフトする。酸化物半導体を用いたトランジスタはn型を示すことが多く、しきい値電圧のマイナスシフトによってノーマリーオンの特性となる。ここで、「ノーマリーオン」とは、ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れてしまう状態のことである。

30

【0008】

また、トランジスタを作製した後で、酸化物半導体へ水素が混入することによって、トランジスタのしきい値電圧が変動する場合がある。しきい値電圧の変動は、トランジスタの信頼性を著しく損なう。

40

【0009】

本発明者は、スパッタリング法で成膜すると膜中に意図しない水素が含まれてしまうことを見出した。なお、本明細書において「水素」とは水素原子を指し、例えば「水素を含む」と記載した場合、水素分子、炭化水素、水酸基及び水などに起因した水素も含む。

【0010】

本発明の一態様は、ロードロック室と、ロードロック室とゲートバルブを介して接続された搬送室と、搬送室とゲートバルブを介して接続された基板加熱室と、搬送室とゲートバルブを介して接続されたリークレートが $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下である成膜室と、を有する成膜装置である。

50

## 【0011】

なお、ロードロック室、基板加熱室及び成膜室を各々複数有してもよい。

## 【0012】

また、本発明の一態様は、ロードロック室と、ロードロック室とゲートバルブを介して接続された基板加熱室と、基板加熱室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室と、を有すること成膜装置である。

## 【0013】

また、本発明の一態様は、ロードロック室と、ロードロック室とゲートバルブを介して接続された基板加熱室と、基板加熱室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である第1の成膜室と、第1の成膜室とゲートバルブを介して接続されたリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である第2の成膜室と、を有する成膜装置である。

10

## 【0014】

ここで、成膜ガスは純度が99.999999%以上とすることが好ましい。成膜ガスの純度を高めるために、成膜ガスの供給源と成膜室との間に精製機を設けてもよい。精製機から成膜室までの配管の長さは5m以下、好ましくは1m以下とする。

## 【0015】

本発明の一態様は、成膜圧力を0.8Pa以下、好ましくは0.4Pa以下に制御し、成膜時のターゲットと基板との距離を40mm以下、好ましくは25mm以下とする成膜装置である。

20

## 【0016】

本発明の一態様は、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された成膜室に基板を導入した後、成膜室に99.999999%以上の純度である成膜ガスを導入し、該成膜ガスを用いてターゲットをスパッタリングして、基板上に膜を成膜する成膜方法である。

## 【0017】

また、本発明の一態様は、真空排気された基板加熱室に基板を導入した後、基板を不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において250℃以上基板の歪み点未満で熱処理し、熱処理された基板を大気に暴露することなくリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された成膜室に導入した後、成膜室に99.999999%以上の純度である成膜ガスを導入し、該成膜ガスを用いてターゲットをスパッタリングして、基板上に膜を成膜する成膜方法である。

30

## 【0018】

本明細書において減圧雰囲気とは、圧力が10Pa以下のことを指す。また、不活性雰囲気とは、不活性ガス（窒素、希ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン）など）を主成分とする雰囲気であって、水素が含まれないことが好ましい。例えば、導入する不活性ガスの純度を、8N（99.999999%）以上、好ましくは9N（99.9999999%）以上とする。または、不活性雰囲気とは、不活性ガスを主成分とする雰囲気、反応性ガスが0.1ppm未満である雰囲気のことである。反応性ガスとは、半導体や金属などと反応するガスのことをいう。

40

## 【0019】

また、本発明の一態様は、真空排気された基板加熱室に基板を導入した後、基板を不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において250℃以上基板の歪み点未満で熱処理し、熱処理された基板を大気に暴露することなくリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された第1の成膜室に導入した後、第1の成膜室に99.999999%以上の純度である成膜ガスを導入し、該成膜ガスを用いてターゲットをスパッタリングして、基板上に絶縁膜を成膜し、絶縁膜が成膜された基板を、大気に暴露することなく、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である真空排気された第2の成膜室に導入した後、第2の成膜室に99.999999%以上の純度である成膜ガスを導入し、該成膜ガスを用いてターゲットをスパッタリングして、基板上に酸化物半導体

50

膜を成膜する成膜方法である。

【0020】

ここで、絶縁膜は、基板温度を50以上450以下として成膜するとよい。基板温度を50以上450以下とすることで絶縁膜に含まれる水素を低減できる。より好ましくは、基板温度を100以上400以下とする。

【0021】

また、酸化物半導体膜は、基板温度を100以上400以下として成膜するとよい。

【0022】

なお、基板加熱室がプラズマ処理室を兼ねる場合、前述の熱処理に変えてプラズマ処理によって基板表面の水素を低減してもよい。プラズマ処理は、低温で処理可能であり、かつ短時間で効率よく水素を除去することができる。特に、基板表面に強く結合している水素の除去に効果的である。

10

【0023】

また、水素をブロッキングする膜でトランジスタを挟み込むことで、外部からの水素の混入を抑制することができる。さらに、トランジスタを構成する膜からの水素の脱離及び拡散の影響を低減する必要がある。このためには、トランジスタを構成する膜中の水素濃度を低減することが有効である。加えて、各膜と膜の界面には、大気中で吸着した水素を有する場合がある。この水素を低減するには、大気暴露を極力控えることが有効である。しかしながら、大気暴露せざるを得ない場合、成膜直前に不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において250以上基板の歪み点未満で熱処理することが好ましい。前述の熱処理によって、基板表面に吸着した水素を効率よく除去することができる。

20

【0024】

このように、本発明の一態様は、トランジスタを構成する各膜及び各膜の界面において、混入する水素を低減することを技術的思想とする。

【発明の効果】

【0025】

本発明の一態様により、酸化物半導体膜に含まれる水素を低減でき、しきい値電圧のばらつきの少ない、安定した電気特性を有するトランジスタが提供される。

【0026】

または、本発明の一態様により、酸化物半導体膜に接する膜中の水素を低減できるため、酸化物半導体膜への水素の混入を抑制できる。そのため、電気特性が良好で信頼性の高いトランジスタを有する半導体装置が提供される。

30

【図面の簡単な説明】

【0027】

【図1】本発明の一態様である成膜装置の一例を示す上面図。

【図2】本発明の一態様である成膜装置を説明する図。

【図3】本発明の一態様である半導体装置の一例を示す上面図及び断面図。

【図4】本発明の一態様である半導体装置の一例を示す断面図。

【図5】本発明の一態様である半導体装置の一例を示す断面図。

【図6】本発明の一態様である半導体装置の作製工程の一例を示す断面図。

40

【図7】本発明の一態様である半導体装置の作製工程の一例を示す断面図。

【図8】本発明の一態様である半導体装置の作製工程の一例を示す断面図。

【図9】SIMSによる水素濃度測定結果。

【図10】 $m/z = 18$ のTDSスペクトル。

【発明を実施するための形態】

【0028】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号

50

は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0029】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0030】

(実施の形態1)

本実施の形態では、成膜時に水素の混入が少ない成膜装置の構成について図1を用いて説明する。

【0031】

図1(A)は、マルチチャンバーの成膜装置である。該成膜装置は、基板を収容するカセットポート14を3つ有する基板供給室11と、ロードロック室12a及びロードロック室12bと、搬送室13と、基板加熱室15と、リークレートが $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下である成膜室10aと、リークレートが $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下である成膜室10bと、リークレートが $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下である成膜室10cと、を有する。基板供給室は、ロードロック室12a及びロードロック室12bと接続する。ロードロック室12a及びロードロック室12bは、搬送室13と接続する。基板加熱室15、成膜室10a、成膜室10b及び成膜室10cは、搬送室13とのみ接続する。各室の接続部にはゲートバルブ16a~16hが設けられており、各室を独立して真空状態に保持することができる。なお、成膜室10a、成膜室10b及び成膜室10cは、純度が99.999999%以上の成膜ガスを導入することができる。図示しないが、搬送室13は一以上の基板搬送口ポットを有する。ここで、基板加熱室15は、水素をほとんど含まない雰囲気(不活性雰囲気、減圧雰囲気または乾燥空気雰囲気など)下に制御することができる。例えば、水分については露点-40以下、好ましくは露点-50以下の乾燥窒素雰囲気にすることができる。ここで、基板加熱室15は、プラズマ処理室を兼ねると好ましい。枚様式マルチチャンバーの成膜装置は、処理と処理の間で基板を大気暴露する必要がなく、基板に水素が吸着することを抑制できる。また、成膜や熱処理などの順番を自由に構築することができる。なお、成膜室、ロードロック室及び基板加熱室の数は、上述の数に限定されるわけではなく、設置スペースやプロセスに併せて適宜決めればよい。

【0032】

図2(A)を用いて図1(A)に示す成膜室の一例について説明する。成膜室10は、ターゲット32と、ターゲットを支持するターゲットホルダ34と、ターゲットホルダ34に整合器52を介して電力を供給するRF電源50と、内部に基板ヒータ44が埋め込まれた基板を支える基板ホルダ42と、シャッター軸46を軸として回転可能なシャッター板48と、成膜ガスを供給する成膜ガス供給源56と、成膜ガス供給源56と成膜室10の間に設けられた精製機54と、成膜室10に接続した真空ポンプ58と、を有する。ここで、成膜室10、RF電源50、シャッター軸46、シャッター板48及び基板ホルダ42はGNDに接続される。ただし、目的に応じて成膜室10、シャッター軸46、シャッター板48及び基板ホルダ42のいずれか一以上を電氣的に浮かせてもよい。また、真空ポンプ58は、一台に限定されず複数台設けてもよい。例えば、粗引き用ポンプと高真空用ポンプを並列または直列に接続しても構わない。また、成膜ガス供給源56及び精製機54を複数設けても構わない。例えば、成膜ガス種の数に応じて、成膜ガス供給源及び精製機のセットを増加させることができる。増設した成膜ガス供給源及び精製機のセットは、成膜室10に直接接続してもよく、その場合、各々の精製機と成膜室10との間に成膜ガス流量を制御するためのマスフローコントローラを設けてもよい。または、増設した成膜ガス供給源及び精製機のセットは成膜室10と精製機54との間を結ぶ配管に接続しても構わない。図示しないが、ターゲットホルダ34の内部または下部にマグネットを設けると、ターゲット周辺に高密度のプラズマを閉じこめることができて好ましい。この方

10

20

30

40

50

法はマグネトロンスパッタリング法と呼ばれ、堆積速度が高く、基板へのプラズマダメージが少なく、かつ膜質も良好となる。マグネトロンスパッタリング法において、マグネットを回転可能にすると、磁界の偏りを低減できるため、ターゲットの使用効率が高まり、かつ基板の面内における膜質のばらつきを低減できる。また、ここではRF電源をスパッタリング用電源として用いたが、必ずしもRF電源に限定されるものではなく、用途によってDC電源またはAC電源に代えたり、二種類以上の電源を切り替え可能として設けてもよい。DC電源またはAC電源を用いる場合、電源とターゲットホルダとの間の整合器は不要になる。また、基板ホルダには、基板を支えるためのチャック機構を設ける必要がある。チャック機構には、静電チャック方式及びクランプ方式などがある。膜質、膜厚の基板面内の均一性を高めるために、基板ホルダに回転機構を設けてもよい。また、基板ホルダを複数設けて、一度に複数枚の基板を成膜可能な成膜室としても構わない。また、シャッター軸46、シャッター板48及び基板ヒータ44を設けない構成としても構わない。図2(A)では、ターゲットが基板の下にある構成としたが、ターゲットが基板の上にある構成や横にある構成としても構わない。

10

20

30

40

50

#### 【0033】

基板加熱室15は、例えば、抵抗発熱体などを用いて加熱してもよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱しても用いてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)、LRTA(Lamp Rapid Thermal Anneal)などのRTA(Rapid Thermal Anneal)を用いることができる。LRTAは、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する。GRTAは、高温のガスを用いて熱処理を行う。ガスとしては、不活性ガスが用いられる。

#### 【0034】

例えば、基板加熱室15は、図2(B)の構成とすればよい。基板加熱室15には、内部に基板ヒータ44の埋め込まれた基板ホルダ42と、成膜ガスを供給する成膜ガス供給源56と、成膜ガス供給源56と基板加熱室15の間に設けられた精製機54と、基板加熱室15に接続した真空ポンプ58と、を有する。ここで、基板加熱室15がプラズマ処理室を兼ねる場合、基板ホルダ42は、整合器52を介してRF電源50に接続され、対向電極68が設けられる。なお、基板ヒータによる加熱機構に代えて、基板ホルダに対向する位置にLRTAを設けてもよい。その場合、基板に効率よく熱を伝えるために、基板ホルダ42に反射板を設けてもよい。

#### 【0035】

図1(B)は、図1(A)と構成の異なる成膜装置である。該成膜装置は、ロードロック室22aと、基板加熱室25と、リークレートが $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下である成膜室20aと、リークレートが $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下である成膜室20bと、ロードロック室22bと、を有する。ロードロック室22aは基板加熱室25と接続し、基板加熱室25は成膜室20aと接続し、成膜室20aは成膜室20bと接続し、成膜室20bはロードロック室22bと接続する。各室の接続部にはゲートバルブ26a~26fが設けられており、各室を独立して真空状態に保持することができる。なお、成膜室20a及び成膜室20bは、図1(A)の成膜室10a、成膜室10b及び成膜室10cと同様の構成とする。また、基板加熱室25は、図1(A)の基板加熱室15と同様の構成とする。基板は図1(B)に示す矢印の一方方向にのみ搬送され、基板の導入口と搬出口が異なる。図1(A)の枚様式マルチチャンバーの成膜装置と異なり搬送室を有さないため、フットプリントを小さくできる。なお、成膜室、ロードロック室及び基板加熱室の数は、上述の数に限定されるわけではなく、設置スペースやプロセスに併せて適宜決めればよい。例えば、成膜室20bを省いても構わないし、成膜室20bと接続する第2の基板加熱室または第3の成膜室を設けてもよい。

#### 【0036】



室温における成膜において膜中に混入する水素の量は、成膜室に含まれる水素の量の  $10^2 \sim 10^4$  倍にもなると推定される。そのため、成膜室に含まれる水素を極力低減する必要がある。

【0037】

具体的には、成膜室のリークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とすることで、成膜での膜中に混入する水素を低減することができる。

【0038】

リークは、大きく外部リーク及び内部リークに分かれる。外部リークとは、微小な穴やシール不良などによって真空系の外から気体が流入することである。内部リークとは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とするために、外部リーク及び内部リークの両面から対策をとる必要がある。

10

【0039】

例えば、成膜室の開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属材料を用いると好ましい。メタルガスケットはＯリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属材料の不動態を用いることで、メタルガスケットから生じる水素を含む放出ガスが抑制され、内部リークを低減することができる。

20

【0040】

成膜装置を構成する部材として、水素を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の材料を鉄、クロム及びニッケルなどを含む合金材料に被覆して用いてもよい。鉄、クロム及びニッケルなどを含む合金材料は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておく、放出ガスを低減できる。

【0041】

または、前述の成膜装置の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

【0042】

成膜装置の部材は、極力金属材料のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

30

【0043】

また、成膜圧力を  $0.8 \text{ Pa}$  以下、好ましくは  $0.4 \text{ Pa}$  以下とし、成膜時のターゲットと基板との距離を  $40 \text{ mm}$  以下、好ましくは  $25 \text{ mm}$  以下とすることで、スパッタ粒子と、別のスパッタ粒子、ガス分子またはイオンとが衝突する頻度を下げることができる。即ち、成膜圧力に応じてターゲットと基板との距離をスパッタ粒子、ガス分子またはイオンの平均自由行程よりも小さくすればよい。例えば、圧力を  $0.4 \text{ Pa}$ 、温度を  $25$ （絶対温度を  $298 \text{ K}$ ）における平均自由行程は、アルゴン分子が  $28.3 \text{ mm}$ 、酸素分子が  $26.4 \text{ mm}$ 、水素分子が  $48.7 \text{ mm}$ 、水分子が  $31.3 \text{ mm}$ 、ヘリウム分子が  $57.9 \text{ mm}$ 、ネオン分子が  $42.3 \text{ mm}$  である。なお、圧力が  $2$  倍になれば平均自由行程は  $2$  分の  $1$  になり、絶対温度が  $2$  倍になれば平均自由行程は  $2$  倍になる。

40

【0044】

ここで、成膜ガスを導入する直前に精製機を設けてもよい。このとき、精製機から成膜室までの配管の長さを  $5 \text{ m}$  以下、好ましくは  $1 \text{ m}$  以下とする。配管の長さを  $5 \text{ m}$  以下または  $1 \text{ m}$  以下とすることで、配管からの放出ガスの影響を長さに応じて低減できる。

【0045】

さらに、成膜ガスの配管には、フッ化鉄、酸化アルミニウム、酸化クロムなどで内部が被覆された金属配管を用いるとよい。前述の配管は、例えば  $\text{SUS316L-EP}$  配管と比

50

べ、水素を含む放出ガスの量が少なく、成膜ガスへの不純物の混入を低減できる。また、配管の継手には、高性能超小型メタルガスケット継手（UPG継手）を用いるとよい。また、配管の材料を全て金属材料で構成することで、樹脂等を用いた場合と比べ、生じる放出ガス及び外部リークの影響を低減できて好ましい。

#### 【0046】

成膜室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプなどの高真空ポンプとを適宜組み合わせるとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。そこで、水の排気能力の高いクライオポンプ及び水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。

10

#### 【0047】

成膜室に存在する吸着物は、吸着しているために成膜室の圧力に影響しないが、成膜室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、成膜室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、成膜室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100 以上450 以下で行えばよい。このとき、不活性ガスを導入しながら吸着物の除去を行うと、排気するだけでは脱離にくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。また、ベーキングと同時にダミー成膜を行うことでも吸着物の脱離速度をさらに高めることができる。ここで、ダミー成膜とは、ダミー基板に対してスパッタリングによる成膜を行うことで、ダミー基板及び成膜室内壁に膜を堆積させ、成膜室内の不純物及び成膜室内壁の吸着物を膜中に閉じこめることをいう。ダミー基板は、放出ガスの少ない材料が好ましく、例えば後述する基板100と同様の材料を用いてもよい。

20

#### 【0048】

以上の成膜装置を用いて、酸化物半導体膜を成膜することで、酸化物半導体膜への水素の混入を抑制できる。さらには、以上の成膜装置を用いて、該酸化物半導体膜に接する膜を成膜することで、酸化物半導体膜に接する膜から酸化物半導体膜へ水素が混入することを抑制できる。この結果、電気特性のばらつきの少ない、信頼性の高い半導体装置を作製することができる。

30

#### 【0049】

（実施の形態2）

本実施の形態では、水素の混入が少ない成膜方法を用いた半導体装置の作製方法の一形態を、図3乃至図7を用いて説明する。

#### 【0050】

図3には、本発明の一態様の半導体装置の例として、トップゲートトップコンタクト型であるトランジスタ151の上面図及び断面図を示す。ここで、図3（A）は上面図であり、図3（B）及び図3（C）はそれぞれ、図3（A）におけるA-B断面及びC-D断面における断面図である。なお、図3（A）では、煩雑になることを避けるため、トランジスタ151の構成要素の一部（例えば、ゲート絶縁膜112など）を省略している。

40

#### 【0051】

図3に示すトランジスタ151は、基板100と、基板100上の絶縁膜102と、絶縁膜102上の酸化物半導体膜106と、酸化物半導体膜106上に設けられたソース電極108a及びドレイン電極108bと、ソース電極108a及びドレイン電極108bを覆い、酸化物半導体膜106と一部が接するゲート絶縁膜112と、酸化物半導体膜106上にゲート絶縁膜112を介して設けられたゲート電極114とを含む。

#### 【0052】

基板100の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サフ

50

ァイア基板などを、基板 100 として用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 100 として用いてもよい。

#### 【0053】

また、基板 100 として、可撓性基板を用いてもよい。その場合は、可撓性基板上に直接的にトランジスタを作製してもよい。なお、可撓性基板上にトランジスタを設けるには、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、基板 100 である可撓性基板に転置する方法もある。その場合には、基板 100 とトランジスタとの間に剥離層を設けるとよい。

10

#### 【0054】

絶縁膜 102 の材料には、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは窒化アルミニウムなどを単層または積層して用いる。例えば、絶縁膜 102 を窒化シリコン膜と酸化シリコン膜の積層構造とすると、基板などからトランジスタ 151 への水分の混入を防ぐことができる。絶縁膜 102 を積層構造で形成する場合、酸化物半導体膜 106 と接する側の膜を加熱により酸素を放出する絶縁膜（酸化シリコン、酸化窒化シリコン、酸化アルミニウムなど）とするとよい。こうすることで、絶縁膜 102 から酸化物半導体膜 106 へ酸素が供給され、酸化物半導体膜 106 の酸素欠損、及び絶縁膜 102 と酸化物半導体膜 106 の界面準位を低減することができる。酸化物半導体膜 106 の酸素欠損はしきい値電圧のマイナスシフトの原因となり、また、絶縁膜 102 と酸化物半導体膜 106 の界面準位はトランジスタの信頼性を低下させる。なお、絶縁膜 102 はトランジスタ 151 の下地膜として機能する。

20

#### 【0055】

なお、ここでは、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）及び水素前方散乱法（HFS: Hydrogen Forward scattering Spectrometry）を用いて測定した場合に、組成範囲として酸素が 50 原子%～70 原子%、窒素が 0.5 原子%～15 原子%、シリコンが 25 原子%～35 原子%、水素が 0 原子%～10 原子%の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS 及び HFS を用いて測定した場合に、組成範囲として酸素が 5 原子%～30 原子%、窒素が 20 原子%～55 原子%、シリコンが 25 原子%～35 原子%、水素が 10 原子%～30 原子%の範囲で含まれるものをいう。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を 100 原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

30

#### 【0056】

「加熱により酸素を放出する」とは、TDS（Thermal Desorption Spectroscopy: 昇温脱離ガス分光法）分析にて、酸素原子に換算したときの酸素の放出量が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上、好ましくは  $1.0 \times 10^{20} \text{ atoms/cm}^3$  以上、さらに好ましくは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上であることをいう。

40

#### 【0057】

ここで、TDS 分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

#### 【0058】

TDS 分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

50

## 【 0 0 5 9 】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの T D S 分析結果、及び絶縁膜の T D S 分析結果から、絶縁膜の酸素分子の放出量 ( $N_{O_2}$ ) は、数式 1 で求めることができる。ここで、T D S 分析で得られる質量数 3 2 で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数 3 2 のものとして  $CH_3OH$  があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 1 7 の酸素原子または質量数 1 8 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

## 【 0 0 6 0 】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad (\text{数式 1})$$

10

## 【 0 0 6 1 】

$N_{H_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$  は、標準試料を T D S 分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$  とする。 $S_{O_2}$  は、絶縁膜を T D S 分析したときのスペクトルの積分値である。は、T D S 分析におけるスペクトル強度に影響する係数である。数式 1 の詳細に関しては、特開平 6 - 2 7 5 6 9 7 公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 E M D - W A 1 0 0 0 S / W を用い、標準試料として  $1 \times 10^{16} \text{ atoms / cm}^3$  の水素原子を含むシリコンウェハを用いて測定した。

## 【 0 0 6 2 】

20

また、T D S 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

## 【 0 0 6 3 】

なお、 $N_{O_2}$  は酸素分子の放出量である。絶縁膜においては、酸素原子に換算したときの酸素の放出量は、酸素分子の放出量の 2 倍となる。

## 【 0 0 6 4 】

上記構成において、加熱により酸素を放出する絶縁膜は、酸素が過剰な酸化シリコン ( $SiO_x$  ( $x > 2$ )) であってもよい。酸素が過剰な酸化シリコン ( $SiO_x$  ( $x > 2$ )) とは、シリコン原子数の 2 倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

30

## 【 0 0 6 5 】

酸化物半導体膜に用いる材料としては、四元系金属酸化物である  $In - Sn - Ga - Zn - O$  系の材料や、三元系金属酸化物である  $In - Ga - Zn - O$  系の材料、 $In - Sn - Zn - O$  系の材料、 $In - Al - Zn - O$  系の材料、 $Sn - Ga - Zn - O$  系の材料、 $Al - Ga - Zn - O$  系の材料、 $Sn - Al - Zn - O$  系の材料や、二元系金属酸化物である  $In - Zn - O$  系の材料、 $Sn - Zn - O$  系の材料、 $Al - Zn - O$  系の材料、 $Zn - Mg - O$  系の材料、 $Sn - Mg - O$  系の材料、 $In - Mg - O$  系の材料、 $In - Ga - O$  系の材料や、 $In - O$  系の材料、 $Sn - O$  系の材料、 $Zn - O$  系の材料などを用いてもよい。また、上記の材料に  $SiO_2$  を含ませてもよい。ここで、例えば、 $In - Ga - Zn - O$  系の材料とは、インジウム ( $In$ )、ガリウム ( $Ga$ )、亜鉛 ( $Zn$ ) を有する酸化物膜、という意味であり、その組成比は特に問わない。また、 $In$  と  $Ga$  と  $Zn$  以外の元素を含んでいてもよい。

40

## 【 0 0 6 6 】

また、酸化物半導体膜は、化学式  $InMO_3 (ZnO)_m$  ( $m > 0$ ) で表記される材料を用いた薄膜により形成する。ここで、 $M$  は、 $Ga$ 、 $Al$ 、 $Mn$  及び  $Co$  から選ばれた一または複数の金属元素を示す。例えば、 $M$  として、 $Ga$ 、 $Ga$  及び  $Al$ 、 $Ga$  及び  $Mn$  または  $Ga$  及び  $Co$  などを用いてもよい。

50

## 【0067】

酸化物半導体膜は、バンドギャップが3 e V以上、好ましくは3 e V以上3.6 e V未満とすればよい。また、電子親和力が4 e V以上、好ましくは4 e V以上4.9 e V未満とすればよい。このような材料において、さらに、ドナーまたはアクセプタに由来するキャリア濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満とすればよい。さらに、酸化物半導体膜の水素濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 未満とすればよい。上記酸化物半導体膜を活性層に有する薄膜トランジスタは、オフ電流を $1 \text{ zA}$ （zeptoアンペア、 $10^{-21} \text{ A}$ ）というような極めて低い値とすることができる。

## 【0068】

ゲート絶縁膜112は、絶縁膜102と同様の構成としてもよい。このとき、トランジスタのゲート絶縁膜として機能することを考慮して、酸化ハフニウムや酸化アルミニウムなどの比誘電率が高い材料を採用してもよい。また、ゲート耐圧や酸化物半導体とゲート絶縁膜との界面状態などを考慮し、酸化シリコン、酸化窒化シリコン、窒化シリコンに酸化ハフニウムや酸化アルミニウムなどの比誘電率の高い材料を積層してもよい。

## 【0069】

トランジスタ151上には、さらに保護絶縁膜が設けられていてもよい。保護絶縁膜は、絶縁膜102と同様の構成とすることができる。また、ソース電極108aやドレイン電極108bと配線とを電気的に接続させるために、絶縁膜102、ゲート絶縁膜112などには開口が形成されていてもよい。また、酸化物半導体膜106の下方に、さらに、第2のゲート電極を有していてもよい。なお、酸化物半導体膜106は島状に加工されていることが好ましいが、島状に加工されていなくてもよい。

## 【0070】

また、酸化物半導体膜106とソース電極108a、ドレイン電極108bとの間に、ソース領域及びドレイン領域として機能する酸化物導電膜をバッファとして設けてもよい。

## 【0071】

図4(A)では、酸化物半導体膜106とソース電極108aとが重なる部分の間にバッファ128aを、酸化物半導体膜106とドレイン電極108bとが重なる部分の間にバッファ128bを設けている。

## 【0072】

図4(B)では、ソース電極108a及びドレイン電極108bの下部に接してバッファ128a及びバッファ128bを設けている。

## 【0073】

酸化物導電膜は、酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化スズ( $\text{SnO}_2$ )、酸化亜鉛( $\text{ZnO}$ )、酸化インジウム酸化スズ( $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛( $\text{In}_2\text{O}_3$   $\text{ZnO}$ )またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

## 【0074】

ソース領域及びドレイン領域として、酸化物導電膜を酸化物半導体膜106とソース電極108a、ドレイン電極108bとの間に設けることで、ソース領域及びドレイン領域と酸化物半導体膜106のコンタクト抵抗を低くすることができ、トランジスタ151が高速動作をすることができる。

## 【0075】

図4(A)及び図4(B)は、バッファの有する機能に違いはなく、形成方法によって形状が異なる例である。

## 【0076】

図5には、トランジスタ151とは異なる構成のトランジスタの断面構造を示す。

## 【0077】

図5(A)に示すトランジスタ152は、絶縁膜102、酸化物半導体膜106、ソース電極108a、ドレイン電極108b、ゲート絶縁膜112、ゲート電極114を含む点

10

20

30

40

50

で、トランジスタ 151 と共通している。トランジスタ 152 とトランジスタ 151 との相違は、酸化物半導体膜 106 と、ソース電極 108a やドレイン電極 108b が接続する位置である。即ち、トランジスタ 152 では、酸化物半導体膜 106 の下部において、酸化物半導体膜 106 と、ソース電極 108a やドレイン電極 108b とが接している。その他の構成要素については、図 1 のトランジスタ 151 と同様である。

【0078】

また、酸化物半導体膜 106 とソース電極 108a、ドレイン電極 108b との間に、ソース領域及びドレイン領域として機能する酸化物導電膜をバッファとして設けてもよい。

【0079】

図 5 (B) では、酸化物半導体膜 106 とソース電極 108a とが重なる部分の間にバッファ 128a を、酸化物半導体膜 106 とドレイン電極 108b とが重なる部分の間にバッファ 128b を設けている。なお、図示しないが、バッファ 128a 及びバッファ 128b は、それぞれソース電極 108a 及びドレイン電極 108b と同様の上面形状で設けられてもよい。

10

【0080】

図 5 (C) では、ソース電極 108a の直下にバッファ 128a を、ドレイン電極 108b の直下にバッファ 128b を設けている。この場合、バッファ 128a 及びバッファ 128b の側面部が酸化物半導体膜 106 との電氣的な接続箇所になる。

【0081】

以下、図 6 (A) 乃至図 6 (E) を用いて、図 3 に示すトランジスタ 151 の作製工程の一例について説明する。なお、本実施の形態において、成膜及び熱処理またはプラズマ処理は、可能な限り真空状態のまま連続 (in situ) で行う。まずは、図 1 (A) の成膜装置を用いた場合の工程を示す。

20

【0082】

まず、基板 100 をロードロック室 12a に導入する。次に、基板加熱室 15 に移動させ、基板加熱室 15 で基板 100 に吸着している水素を第 1 の熱処理またはプラズマ処理などで除去する。ここで、第 1 の熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、100 以上基板の歪み点未満で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素 (亜酸化窒素、一酸化窒素、二酸化窒素など) を用いる。その後、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室 10a に基板 100 を移動させ、厚さ 50 nm 以上 500 nm 以下、好ましくは 200 nm 以上 400 nm 以下の絶縁膜 102 をスパッタリング法によって成膜する (図 6 (A) 参照。)。その後、基板加熱室 15 に基板 100 を移動させ、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において 150 以上 280 以下、好ましくは 200 以上 250 以下で第 2 の熱処理を行ってもよい。第 2 の熱処理によって、基板 100 及び絶縁膜 102 から水素を除去することができる。なお、第 2 の熱処理は、絶縁膜 102 から水素を除去するが、酸素を極力放出させない温度で行う。そして、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室 10b に基板 100 を移動させ、酸化物半導体膜をスパッタリング法によって成膜する。その後、基板加熱室 15 に基板 100 を移動させ、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において 250 以上 470 以下で第 3 の熱処理を行い、酸化物半導体膜中から水素を除去すると同時に絶縁膜 102 から酸化物半導体膜に酸素を供給してもよい。なお、第 3 の熱処理は、第 2 の熱処理よりも 5 以上高い温度で行う。このように、図 1 (A) の成膜装置を用いることによって成膜時に水素の混入が少ない作製プロセスを進めることができる。

30

40

【0083】

次に、同様の工程を図 1 (B) の成膜装置を用いた場合について示す。

【0084】

まず、基板 100 をロードロック室 22a に導入する。次に、基板加熱室 25 に移動させ、基板加熱室 25 で基板 100 に吸着している水素を第 1 の熱処理またはプラズマ処理などで除去する。ここで、第 1 の熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲

50

気にて、100 以上基板の歪み点未満で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素（亜酸化窒素、一酸化窒素、二酸化窒素など）を用いる。その後、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室 20a に基板 100 を移動させ、膜厚 300 nm の絶縁膜 102 をスパッタリング法によって成膜する（図 6（A）参照。）。そして、リークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室 20b に基板 100 を移動させ、膜厚 30 nm の酸化物半導体膜をスパッタリング法によって成膜する。このように、図 1（B）の成膜装置を用いることによって成膜時に水素の混入が少ない作製プロセスを進めることができる。

#### 【0085】

ここで、基板加熱室 15 または基板加熱室 25 において、熱せられた不活性雰囲気中に基板を投入する GRTA 処理を用いると、短時間での高温熱処理が可能となり、スループットの向上が実現できる。また、基板の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性雰囲気を酸化性雰囲気に切り替えてもよい。酸化性雰囲気において熱処理を行うことで、酸化物半導体膜の酸素欠損を埋めることができるとともに、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができる。

10

#### 【0086】

酸化物半導体膜の厚さは、3 nm 以上 50 nm 以下とすることが好ましい。酸化物半導体膜を厚くしすぎると（例えば、厚さを 100 nm 以上）、短チャネル効果の影響が大きくなり、サイズの小さなトランジスタでノーマリーオンになるおそれがあるためである。

#### 【0087】

本実施の形態では、酸化物半導体膜を、In - Ga - Zn - O 系の酸化物ターゲットを用いて成膜する。

20

#### 【0088】

In - Ga - Zn - O 系の酸化物ターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [mol 数比] の酸化物ターゲットを用いることができる。なお、ターゲットの材料及び組成を上述したものに限定する必要はない。例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol 数比] の組成比の酸化物ターゲットを用いることもできる。

#### 【0089】

酸化物ターゲットの相対密度は、90% 以上 100% 以下、好ましくは 95% 以上 100% 以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜を緻密な膜とすることができるためである。

30

#### 【0090】

酸化物半導体膜の成膜は、希ガス雰囲気下、酸素雰囲気下または希ガスと酸素の混合ガス雰囲気下などで行えばよい。

#### 【0091】

例えば、酸化物半導体膜は、次のように成膜することができる。基板とターゲットの間との距離を 60 mm、圧力を 0.4 Pa、直流（DC）電源を 0.5 kW、成膜雰囲気をアルゴンと酸素の混合雰囲気（酸素流量比率 33%）とすることができる。なお、パルス DC スパッタリング法を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、厚さの分布も均一となるため好ましい。基板温度は 100 以上 400 以下とする。基板 100 が加熱された状態で成膜を行うことで、酸化物半導体膜に含まれる過剰な水素やその他の不純物濃度を低減することができる。また、スパッタリングによる損傷を軽減することができる。また、絶縁膜 102 から酸素が放出され、酸化物半導体膜中の酸素欠損及び絶縁膜 102 と酸化物半導体膜との界面準位を低減することができる。

40

#### 【0092】

基板 100 を大気に暴露した後、酸化物半導体膜に対して、第 3 の熱処理を行ってもよい。第 3 の熱処理によって酸化物半導体膜中の、過剰な水素を除去し、かつ酸化物半導体膜の構造を整えることができる。第 3 の熱処理の温度は、100 以上 650 以下または

50





導電膜の加工は、レジストマスクを用いたエッチングによって行うことができる。当該エッチングに用いるレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光などを用いるとよい。

【0103】

なお、チャンネル長 $L = 25\text{ nm}$ 未満となるように露光を行う場合には、例えば、数 $\text{nm} \sim$ 数 $10\text{ nm}$ と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて、レジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。したがって、後に形成されるトランジスタのチャンネル長 $L$ を短くすることが可能であり、回路の動作を速くすることができる。

【0104】

また、いわゆる多階調マスクによって形成されたレジストマスクを用いてエッチングを行ってもよい。多階調マスクを用いて形成されたレジストマスクは、複数の厚さを有する形状となり、アッシングによってさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることが可能である。このため、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。つまり、工程の簡略化が可能となる。

【0105】

なお、導電膜のエッチングの際に、酸化物半導体膜106の一部がエッチングされ、溝部(凹部)を有する酸化物半導体膜となることもある。

【0106】

なお、酸化物半導体膜106とソース電極108a、ドレイン電極108bとの間に、ソース領域及びドレイン領域として機能する酸化物導電膜をバッファとして設けてもよい。

【0107】

この場合、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体膜106と島状の酸化物導電膜を形成する。酸化物半導体膜106及び酸化物導電膜上にソース電極108a、ドレイン電極108bを形成した後、ソース電極108a、ドレイン電極108bをマスクとして、酸化物導電膜をエッチングし、ソース領域及びドレイン領域に分割し、バッファを形成する。

【0108】

または、酸化物半導体膜106上に酸化物導電膜を形成し、その上に導電膜を形成し、酸化物導電膜及び導電膜を同じフォトリソグラフィ工程によって加工して、ソース電極108a及びドレイン電極108bの下部に接してそれぞれソース領域及びドレイン領域となるバッファを形成する。

【0109】

酸化物導電膜の成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。

【0110】

次に、ソース電極108a及びドレイン電極108bを覆い、かつ、酸化物半導体膜106の一部と接するように、ゲート絶縁膜112を成膜する(図6(D)参照。 )。

【0111】

なお、ゲート絶縁膜112の成膜直前に、酸化性ガスを用いたプラズマ処理を行い、露出している酸化物半導体膜106の表面を酸化し、酸素欠損を埋めてもよい。プラズマ処理を行った場合、当該プラズマ処理に続けて大気に触れさせることなく、酸化物半導体膜106の一部に接するゲート絶縁膜112を成膜することが好ましい。

【0112】

ゲート絶縁膜112は、絶縁膜102と同様の構成とすることができる。ゲート絶縁膜112の合計の厚さは、好ましくは $1\text{ nm}$ 以上 $300\text{ nm}$ 以下、より好ましくは $5\text{ nm}$ 以上 $50\text{ nm}$ 以下とする。ゲート絶縁膜が厚いほど短チャンネル効果が顕著となり、しきい値電圧がマイナスシフトしやすい傾向となる。また、ゲート絶縁膜が $5\text{ nm}$ 以下となるとトン

10

20

30

40

50

ネル電流によるリークが増大することがわかっている。なお、ゲート絶縁膜 112 を実施の形態 1 に示す装置で成膜してもよい。

【0113】

その後、導電膜を成膜し、フォトリソグラフィ工程によって加工してゲート電極 114 を形成する（図 6（E）参照。）。ゲート電極 114 は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの金属材料、これらの窒化物、またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極 114 は、単層構造としてもよいし、積層構造としてもよい。

【0114】

以上の工程でトランジスタ 151 が作製される。

10

【0115】

次に、図 7（A）乃至図 7（E）を用いて、図 5（A）に示すトランジスタ 152 の作製工程の一例について説明する。なお、本実施の形態では、図 1（A）の成膜装置を用いた作製方法を示す。

【0116】

まず、基板供給室 11 から基板 100 をロードロック室 12a に搬送する。次に、基板 100 をロードロック室 12a と搬送室 13 を経て基板加熱室 15 に移動させ、基板加熱室 15 で基板 100 に吸着している水素を第 1 の熱処理またはプラズマ処理などで除去する。その後、搬送室 13 を経てリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室 10c に基板 100 を移動させ、厚さ 300 nm の絶縁膜 102 をスパッタリング法によって成膜する（図 7（A）参照。）。その後、導電膜を成膜する。

20

【0117】

一旦基板を成膜装置から取り出し、導電膜をフォトリソグラフィ工程によって加工してソース電極 108a 及びドレイン電極 108b を形成する（図 7（B）参照。）。

【0118】

なお、絶縁膜 102 とソース電極 108a、ドレイン電極 108b との間に、ソース領域及びドレイン領域として機能する酸化物導電膜をバッファとして設けてもよい。

【0119】

この場合、絶縁膜 102 上に酸化物導電膜と導電膜の積層を形成し、酸化物導電膜と導電膜との積層を同じフォトリソグラフィ工程によって形状を加工してソース電極 108a 及びドレイン電極 108b と下部で接するソース領域及びドレイン領域となるバッファを形成すればよい。

30

【0120】

または、絶縁膜 102 上に導電膜と酸化物導電膜の積層を形成し、導電膜及び酸化物導電膜を同じフォトリソグラフィ工程によって加工して、ソース電極 108a 及びドレイン電極 108b の上部に接してそれぞれソース領域及びドレイン領域となるバッファを形成してもよい。

【0121】

次に、基板供給室 11 から基板 100 をロードロック室 12a に搬送する。次に、ロードロック室 12a と搬送室 13 を経て基板加熱室 15 に移動させ、基板加熱室 15 で基板 100 に吸着している水素を第 1 の熱処理またはプラズマ処理などで除去する。その後、搬送室 13 を経てリークレートが  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下である成膜室 10b に基板 100 を移動させ、酸化物半導体膜をスパッタリング法によって成膜する。このように、図 1（A）の成膜装置を用いることによって水素混入の少ない作製プロセスを進めることができる。

40

【0122】

次に、酸化物半導体膜を加工して島状の酸化物半導体膜 106 を形成する（図 7（C）参照。）。その後、トランジスタ 151 と同様の第 1 の熱処理を行ってもよい。

【0123】

なお、ソース電極 108a 及びドレイン電極 108b の上部に接してそれぞれソース領域

50

及びドレイン領域となるバッファを形成する場合、酸化物半導体膜 106 の加工の際にバッファも加工されることがある。この場合も、最終的な断面の形状は異なるものの、バッファの有する機能は異ならない。

【0124】

次に、酸化物半導体膜 106 を覆い、かつ、ソース電極 108a 及びドレイン電極 108b の一部と接するように、ゲート絶縁膜 112 を成膜する（図 7（D）参照。）。

【0125】

その後、導電膜を成膜し、フォトリソグラフィ工程によって加工してゲート電極 114 を形成する（図 7（E）参照。）。

【0126】

以上の工程でトランジスタ 152 が形成される。

【0127】

以上のように、本実施の形態によって、電気特性のばらつきの少ない酸化物半導体を用いた半導体装置を提供することができる。また、信頼性の高い半導体装置を提供することができる。

【0128】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0129】

（実施の形態 3）

実施の形態 2 において、トランジスタの半導体膜に用いることのできる酸化物半導体膜の成膜方法の一形態を、図 8 を用いて説明する。

【0130】

本実施の形態の酸化物半導体膜は、第 1 の結晶性酸化物半導体膜上に第 1 の結晶性酸化物半導体膜よりも厚い第 2 の結晶性酸化物半導体膜を有する積層構造である。

【0131】

まず、基板 100 上に絶縁膜 102 を成膜する。

【0132】

次に、絶縁膜 102 上に厚さ 1 nm 以上 10 nm 以下の第 1 の酸化物半導体膜を成膜する。第 1 の酸化物半導体膜の形成は、スパッタリング法を用いる。成膜時の基板温度は 100 以上 400 以下とする。

【0133】

本実施の形態では、酸化物半導体用ターゲット（In - Ga - Zn - O 系酸化物半導体用ターゲット（In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 2 [mol 数比]）を用いて、基板とターゲットの間との距離を 60 mm、基板温度 200 、圧力 0.4 Pa、直流（DC）電源 0.5 kW、酸素のみ、アルゴンのみ、またはアルゴン及び酸素雰囲気下で厚さ 5 nm の第 1 の酸化物半導体膜を成膜する。

【0134】

次いで、基板を配置する成膜室雰囲気を窒素、または乾燥空気とし、第 1 の結晶化熱処理を行う。第 1 の結晶化熱処理の温度は、400 以上 750 以下とする。第 1 の結晶化熱処理によって第 1 の結晶性酸化物半導体膜 116a を形成する（図 8（A）参照。）。

【0135】

第 1 の結晶化熱処理の温度にもよるが、第 1 の結晶化熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、c 軸配向した結晶が得られる。第 1 の結晶化熱処理によって、膜表面の亜鉛と酸素の割合が多くなり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に 1 層または複数層形成され、これが膜厚方向に成長して重なる。結晶化熱処理の温度を上げると表面から内部、そして内部から底部へと結晶成長が進行する。

【0136】

第 1 の結晶化熱処理によって、絶縁膜 102 中の酸素を第 1 の結晶性酸化物半導体膜 11

10

20

30

40

50

6 aとの界面またはその近傍（界面からプラスマイナス5 nm）に拡散させて、第1の結晶性酸化物半導体膜の酸素欠損、及び絶縁膜102と第1の結晶性酸化物半導体膜116 aとの界面準位を低減することができる。

#### 【0137】

次いで、第1の結晶性酸化物半導体膜116 a上に10 nmよりも厚い第2の酸化物半導体膜を成膜する。第2の酸化物半導体膜の成膜は、スパッタリング法を用い、成膜時の基板温度は100 以上400 以下とする。成膜時の基板温度を100 以上400 以下とすることにより、第1の結晶性酸化物半導体膜の表面上に接して成膜する酸化物半導体膜にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

#### 【0138】

本実施の形態では、酸化物半導体用ターゲット（In - Ga - Zn - O系酸化物半導体用ターゲット（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol数比]）を用いて、基板とターゲットの間との距離を60 mm、基板温度400 、圧力0.4 Pa、直流（DC）電源0.5 kW、酸素のみ、アルゴンのみ、またはアルゴン及び酸素雰囲気下で厚さ25 nmの第2の酸化物半導体膜を成膜する。

#### 【0139】

次いで、第2の結晶化熱処理を行う。第2の結晶化熱処理の温度は、400 以上750 以下とする。第2の結晶化熱処理によって第2の結晶性酸化物半導体膜116 bを形成する（図8（B）参照。）。ここで、第2の結晶化熱処理は、窒素雰囲気下、酸素雰囲気下、または窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体膜の高密度化及び欠陥数の低減を図れるため好ましい。第2の結晶化熱処理によって、第1の結晶性酸化物半導体膜116 aを核として膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体膜116 bが形成される。

#### 【0140】

また、絶縁膜102の形成から第2の結晶化熱処理までの工程を大気に触れることなく連続的に行うことが好ましい。例えば、図1（A）に上面図を示す成膜装置を用いればよい。成膜室10 a、10 b、10 c、搬送室13、及び基板加熱室15は、水素及び水分をほとんど含まない雰囲気下に制御することが好ましく、例えば、水分については露点 - 40 以下、好ましくは露点 - 50 以下の乾燥窒素雰囲気とする。図1（A）の成膜装置を用いた作製工程の手順の一例は、まず、基板供給室11から基板100を搬送し、ロードロック室12 aと搬送室13を経て基板加熱室15に移動させ、基板加熱室15で基板100に付着している水素を真空バークなどで除去し、その後、搬送室13を経て成膜室10 cに基板100を移動させ、成膜室10 c内で絶縁膜102を成膜する。そして、大気に触れることなく、搬送室13を経て成膜室10 aに基板100を移動させ、成膜室10 a内で厚さ5 nmの第1の酸化物半導体膜を成膜する。そして、大気に触れることなく、搬送室13を経て基板加熱室15に基板100を移動させ、第1の結晶化熱処理を行う。そして、大気に触れることなく、搬送室13を経て成膜室10 aに基板100を移動させ、成膜室10 a内で厚さ10 nmよりも厚い第2の酸化物半導体膜を成膜する。そして、大気に触れることなく、搬送室13を経て基板加熱室15に基板100を移動させ、第2の結晶化熱処理を行う。このように、図1（A）の成膜装置を用いることによって大気に触れることなく、作製プロセスを進めることができる。また、絶縁膜102、第1の結晶性酸化物半導体膜及び第2の結晶性酸化物半導体膜の積層を形成した後、大気に触れることなく、成膜室10 b内で金属ターゲットを用いてソース電極及びドレイン電極を形成するための導電膜を第2の結晶性酸化物半導体膜上に成膜することもできる。なお、スループットの向上のために、第1の結晶性酸化物半導体膜及び第2の結晶性酸化物半導体膜を別々の成膜室で成膜しても構わない。

#### 【0141】

次いで、第1の結晶性酸化物半導体膜116 aと第2の結晶性酸化物半導体膜116 bからなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体膜116を形成する（図8（C）参照。）。図では、第1の結晶性酸化物半導体膜116 aと第

10

20

30

40

50

2の結晶性酸化物半導体膜116bの界面を点線で示し、酸化物半導体積層と説明しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

【0142】

酸化物半導体積層の加工は、所望の形状のマスクを酸化物半導体積層上に形成した後、当該酸化物半導体積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

【0143】

また、上記作製方法により、得られる第1の結晶性酸化物半導体膜及び第2の結晶性酸化物半導体膜は、c軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体膜及び第2の結晶性酸化物半導体膜は、単結晶構造ではなく、非晶質構造でもない構造であり、c軸配向を有した結晶性酸化物半導体(CAAC酸化物半導体: C Axis Aligned Crystalline Oxide Semiconductor)である。なお、第1の結晶性酸化物半導体膜及び第2の結晶性酸化物半導体膜は、一部に結晶粒界を有している。

10

【0144】

なお、第1及び第2の結晶性酸化物半導体膜は、少なくともZnを有する酸化物材料であり、四元系金属酸化物であるIn-Al-Ga-Zn-O系の材料や、In-Al-Ga-Zn-O系の材料や、In-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Al-Zn-O系の材料、In-Sn-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料や、Zn-O系の材料などがある。また、In-Si-Ga-Zn-O系の材料や、In-Ga-B-Zn-O系の材料や、In-B-Zn-O系の材料を用いてもよい。また、上記の材料にSiO<sub>2</sub>を含ませてもよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでもよい。

20

【0145】

また、第1の結晶性酸化物半導体膜上に第2の結晶性酸化物半導体膜を形成する2層構造に限定されず、第2の結晶性酸化物半導体膜の形成後に第3の結晶性酸化物半導体膜を形成するための成膜と結晶化熱処理のプロセスを繰り返し行って、3層以上の積層構造としてもよい。

30

【0146】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体膜116を、本明細書に開示する半導体装置に適用できるトランジスタ(例えば、実施の形態2におけるトランジスタ151、トランジスタ152)に、適宜用いることができる。

【0147】

また、酸化物半導体膜106として本実施の形態の酸化物半導体積層を用いた実施の形態2におけるトランジスタ151においては、酸化物半導体膜の一方の面から他方の面に電界が印加されることはなく、また、電流が酸化物半導体積層の厚さ方向(一方の面から他方の面に流れる方向、具体的に図3(B)では上下方向。)に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタに光照射が行われ、またはバイアス-熱(BT: Bias-Temperature)ストレスが与えられても、電気特性の劣化は抑制または低減される。

40

【0148】

酸化物半導体膜116のような第1の結晶性酸化物半導体膜と第2の結晶性酸化物半導体膜の積層をトランジスタに用いることで、安定した電気的特性を有し、かつ、信頼性の高いトランジスタを実現できる。

50

## 【0149】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【実施例1】

## 【0150】

本実施例では、成膜装置であるスパッタリング装置の成膜室の立ち上げ方法と、該成膜室を用いて成膜した酸化物半導体膜中の水素濃度を示す。

## 【0151】

試料は6種類用意した。試料A、試料Bおよび試料Cは、以下の方法で準備した。まず、スパッタリング装置の成膜室を大気開放した後、該成膜室を密封してドライポンプおよびクライオポンプを用い、成膜室の圧力が $5 \times 10^{-4}$  Paとなるまで真空引きした。次に、室温にてダミー成膜を1分間 $\times 100$ 枚行った後、成膜室の圧力が $8 \times 10^{-5}$  Pa以下になってからシリコンウェハ上に酸化物半導体膜を成膜した。ただし、100枚のダミー成膜は、1バッチで20枚のダミー成膜を計5回行い、かつバッチ間で1時間以上真空引きを行っている。

10

## 【0152】

試料D、試料Eおよび試料Fは、以下の方法で準備した。まず、スパッタリング装置の成膜室を大気開放した後、該成膜室を密封してドライポンプおよびクライオポンプを用い、成膜室の圧力が $5 \times 10^{-4}$  Paとなるまで真空引きした。次に、基板温度が410 になる温度に基板ホルダの温度を加熱し、成膜室自体の温度を200 とした後、さらに成膜室の圧力が $5 \times 10^{-4}$  Paになるまで真空引きした。次に、ダミー成膜を5分間 $\times 100$ 枚行った後に、 $9 \times 10^{-5}$  Pa以下になってから酸化物半導体膜を成膜した。ただし、100枚のダミー成膜は、1バッチで20枚のダミー成膜を計5回行い、かつバッチ間で1時間以上真空引きを行っている。

20

## 【0153】

酸化物半導体膜の成膜条件は以下の通りである。In-Ga-Zn-Oターゲット(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2[mol数比]、相対密度95%以上)を用い、成膜電力を500W(DC)、成膜圧力を0.4Pa、成膜ガスをアルゴン30sccm及び酸素15sccm、ターゲットと基板との距離を60mm、成膜時基板温度を室温(試料Aおよび試料D)、250 (試料Bおよび試料E)または400 (試料Cおよび試料F)として成膜した。なお、ダミー成膜は、成膜時基板温度以外の条件を、上述の酸化物半導体膜と同条件で行っている。

30

## 【0154】

試料A乃至試料Fの酸化物半導体膜の水素濃度をSIMS(Secondary Ion Mass Spectrometry)によって測定し、結果を図9に示す。ここで、実線200Aは試料Aを、実線200Bは試料Bを、実線200Cは試料Cを、実線200Dは試料Dを、実線200Eは試料Eを、実線200Fは試料Fを、それぞれ示す。なお、図9において、およそ300nmの深さまでが酸化物半導体膜中の水素濃度を示す。

## 【0155】

図9(A)より、基板温度を室温で成膜した試料Aよりも基板温度を250 で成膜した試料Bの酸化物半導体膜中の水素濃度が高いことがわかった。これは、酸化物半導体膜成膜時に、基板加熱による輻射熱で成膜室内壁に吸着していたガス分子が脱離し、酸化物半導体膜中に取り込まれたためと理解される。また、基板温度を400 で成膜した試料Cでは、基板温度を室温で成膜した試料Aと比べて酸化物半導体膜中の水素濃度が低いことがわかった。これは、成膜室内壁に吸着していたガス分子が脱離し酸化物半導体膜中に取り込まれるとともに、酸化物半導体膜を成膜しながら該酸化物半導体膜から脱ガスが起きているためと理解される。即ち、酸化物半導体膜中に取り込まれるガス分子及び放出されるガス分子の割合によって、酸化物半導体膜中の水素濃度が図示した値になったと理解される。

40

## 【0156】

50

図 9 ( B ) より、基板温度を室温で成膜した試料 D 及び基板温度を 250 で成膜した試料 E の酸化物半導体膜中の水素濃度にほとんど差がないことがわかった。これは、成膜室自体の温度を上げたこと及び加熱しながらダミー成膜を行ったことによって、あらかじめ成膜室内壁に吸着していたガス分子を脱離していたためと理解される。また、基板温度を 400 で成膜した試料 F では、基板温度を室温で成膜した試料 D と比べて酸化物半導体膜中の水素濃度が低いことがわかった。これは、成膜室内壁からの脱ガスがほとんどなく、かつ酸化物半導体膜を成膜しながら該酸化物半導体膜から脱ガスが起こったためと理解される。

#### 【 0 1 5 7 】

以上より、酸化物半導体膜の成膜前の処理条件（成膜室立ち上げ条件）によって、成膜室における水素の脱離速度を高めることができ、酸化物半導体膜中の水素濃度をさらに低減できることがわかる。

#### 【 0 1 5 8 】

次に、同様の試料 A 乃至試料 F を用いて、TDS 分析による  $m/z = 18$  のスペクトルを比較した。試料 A 乃至試料 F の TDS スペクトルを図 10 に示す。なお、酸化物半導体膜の成膜前に、シリコンウェハに対し  $1 \times 10^{-5}$  Pa の減圧雰囲気において基板温度を 400 として 5 分間の熱処理（基熱処理ともいう。）を行った場合の TDS スペクトルも示す。なお、基熱処理を行った試料は、真空連続で酸化物半導体膜を成膜している。ここで、 $m/z = 18$  のスペクトルを示すガス分子には  $H_2O$  がある。

#### 【 0 1 5 9 】

図 10 ( A ) 乃至図 10 ( F ) は、それぞれ試料 A 乃至試料 F の TDS スペクトルを示す。図 10 中のピーク 250 は、試料内部または基板表面などからの、比較的能量の高い結合が切れることに起因して放出する  $H_2O$  と理解される。

#### 【 0 1 6 0 】

ピーク 250 について基熱処理を行った試料と基熱処理を行っていない試料とを比較した。図 10 において、細線で示すスペクトルは基熱処理なしの試料を示し、太線で示すスペクトルは基熱処理ありの試料を示す。試料 C および試料 F では基熱処理の有無による  $H_2O$  の放出量はほとんど差がないように見えるが、その他の試料においては、基熱処理ありの試料で基熱処理なしの試料よりも  $H_2O$  の放出量が少なくなっていることがわかる。

#### 【 0 1 6 1 】

これは、基熱処理を行うことによって、基板表面に吸着していたガス分子が除去できたためと理解される。

#### 【 0 1 6 2 】

以上より、酸化物半導体膜の成膜前の基熱処理によって、基板表面に吸着しているガス分子を除去することができ、酸化物半導体膜から放出される  $H_2O$  の量を低減できることがわかる。

#### 【 符号の説明 】

#### 【 0 1 6 3 】

- 1 0 成膜室
- 1 0 a 成膜室
- 1 0 b 成膜室
- 1 0 c 成膜室
- 1 1 基板供給室
- 1 2 a ロードロック室
- 1 2 b ロードロック室
- 1 3 搬送室
- 1 4 カセットポート
- 1 5 基板加熱室
- 1 6 a ゲートバルブ
- 1 6 b ゲートバルブ

10

20

30

40

50

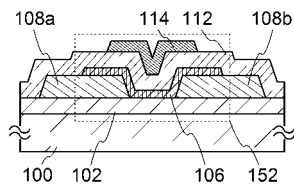
1 6 c	ゲートバルブ	
1 6 d	ゲートバルブ	
1 6 e	ゲートバルブ	
1 6 f	ゲートバルブ	
1 6 g	ゲートバルブ	
1 6 h	ゲートバルブ	
2 0 a	成膜室	
2 0 b	成膜室	
2 2 a	ロードロック室	
2 2 b	ロードロック室	10
2 5	基板加熱室	
2 6 a	ゲートバルブ	
2 6 b	ゲートバルブ	
2 6 c	ゲートバルブ	
2 6 d	ゲートバルブ	
2 6 e	ゲートバルブ	
2 6 f	ゲートバルブ	
3 2	ターゲット	
3 4	ターゲットホルダ	
4 2	基板ホルダ	20
4 4	基板ヒータ	
4 6	シャッター軸	
4 8	シャッター板	
5 0	R F 電源	
5 2	整合器	
5 4	精製機	
5 6	成膜ガス供給源	
5 8	真空ポンプ	
6 8	対向電極	
1 0 0	基板	30
1 0 2	絶縁膜	
1 0 6	酸化物半導体膜	
1 0 8 a	ソース電極	
1 0 8 b	ドレイン電極	
1 1 2	ゲート絶縁膜	
1 1 4	ゲート電極	
1 1 6	酸化物半導体膜	
1 1 6 a	第 1 の結晶性酸化物半導体膜	
1 1 6 b	第 2 の結晶性酸化物半導体膜	
1 2 8 a	バッファ	40
1 2 8 b	バッファ	
1 5 1	トランジスタ	
1 5 2	トランジスタ	
2 0 0 A	実線	
2 0 0 B	実線	
2 0 0 C	実線	
2 0 0 D	実線	
2 0 0 E	実線	
2 0 0 F	実線	
2 5 0	ピーク	50



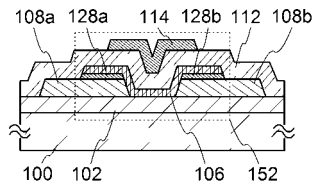


【図 5】

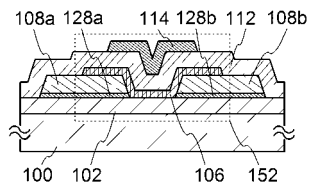
(A)



(B)

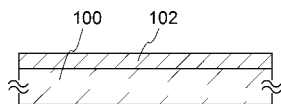


(C)

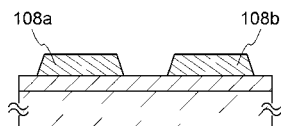


【図 7】

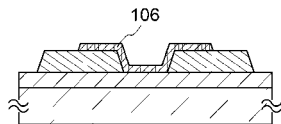
(A)



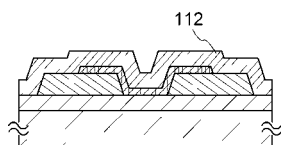
(B)



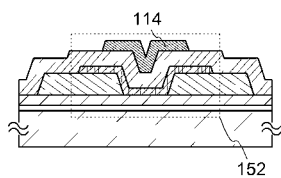
(C)



(D)

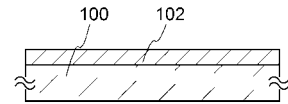


(E)

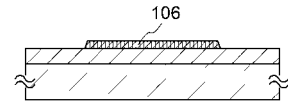


【図 6】

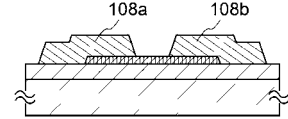
(A)



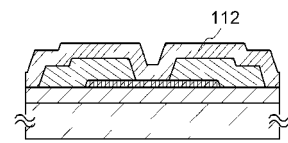
(B)



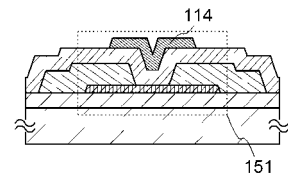
(C)



(D)

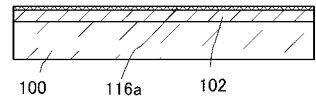


(E)

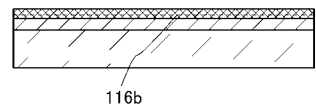


【図 8】

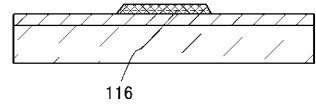
(A)



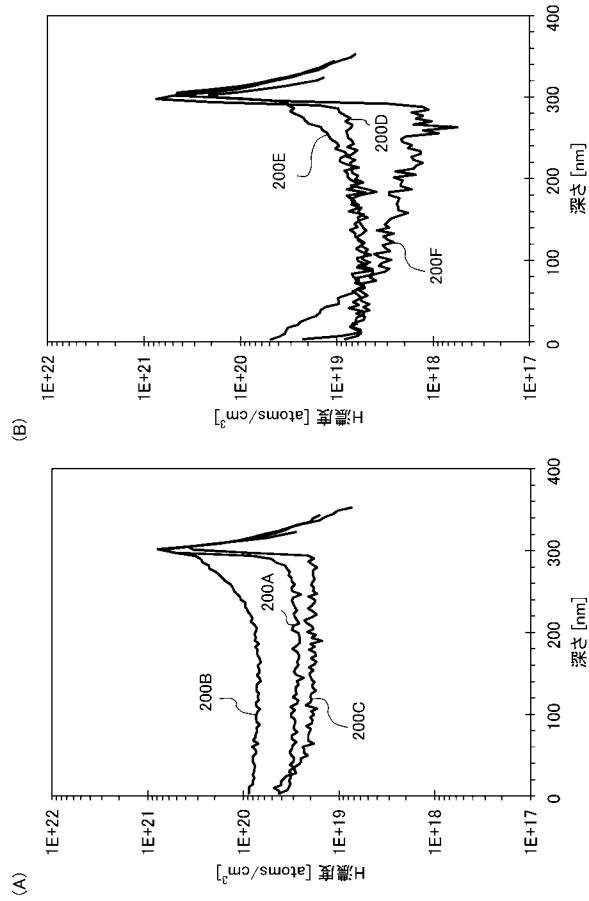
(B)



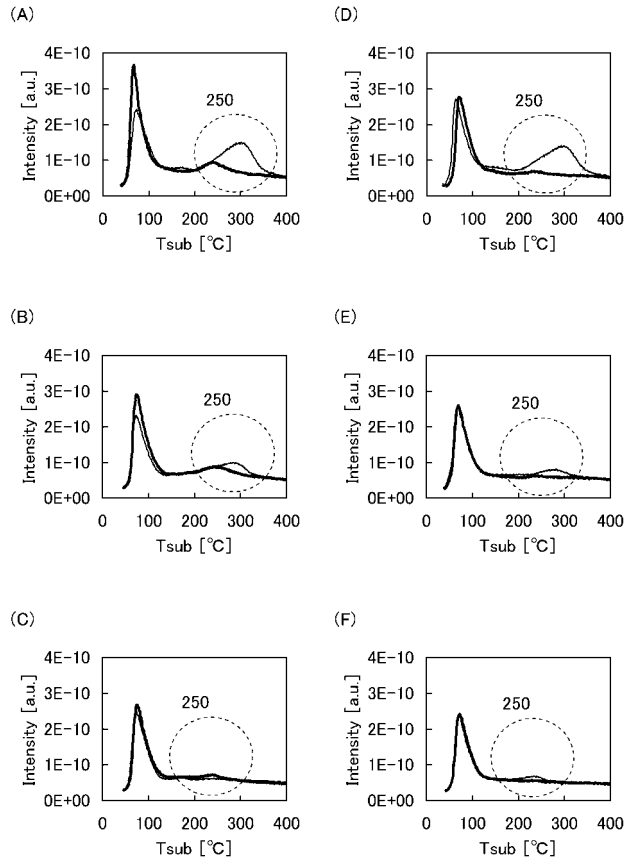
(C)



【図 9】



【図 10】



---

フロントページの続き

F ターム(参考) 5F110 AA30 CC01 CC05 DD01 DD02 DD03 DD04 DD05 DD12 DD13  
DD14 DD15 DD25 EE02 EE03 EE04 FF01 FF02 FF03 FF04  
FF09 GG01 GG25 GG28 GG33 GG43 GG58 HK01 HK02 HK03  
HK04 HK07 HK21 HK32 HK33 NN02 NN22 NN23 NN24