(54) 发明名称

在应变薄膜上植入有冷和/或分子碳的升极式源极/漏极的形成方法

(57) 摘要

揭示一种用于增强半导体结构的通道区中的张应力的方法。所述方法包含执行一或多个冷碳或分子碳离子植入步骤，以在所述半导体结构内植入碳离子，从而在通道区的任一侧形成应力层。接着在所述应变层上方形成升极式源极/漏极区，且使用随后的离子植入步骤来掺杂所述升极式源极/漏极区。毫秒级火步驱动应变层及升极式源极/漏极区。应变层增强半导体结构的通道区内的载流子迁移率，同时所述升极式源极/漏极区使所述应变层中因随后掺杂剂离子在所述升极式源极/漏极区中的植入而导致的应变减至最小。
1. 一种用于形成具有升起式源极/漏极区的半导体装置的方法，包括：
提供半导体结构，其包括具有通道区的硅基板；
在所述半导体结构内形成应变层，所述应变层位于所述通道区的任一侧，所述应变层是藉由离子植入步骤而形成，所述离子植入步骤包括冷碳离子植入或分子碳离子植入；
藉由在所述应变层中的每一个上沉积硅层，而在所述应变层上方形成升起式源极/漏极区；
掺杂所述升起式源极/漏极区；以及
使所述半导体结构退火，以激活所述升起式源极/漏极区。

2. 根据权利要求1所述的方法，其中所述形成应变层的步骤包括多个离子植入步骤。

3. 根据权利要求2所述的方法，其中在自约+15°C至-100°C的温度下执行所述冷离子植入步骤。

4. 根据权利要求2所述的方法，其中所述离子植入步骤包括使用分子碳的离子植入技术。

5. 根据权利要求1所述的方法，其中所述掺杂步骤包括将包括磷、砷及锑中的至少一个的离子植入所述升起式源极/漏极区中。

6. 根据权利要求1所述的方法，还包括在所述形成应变层的步骤之后，且在所述在所述应变层中的每一个上沉积硅层的步骤之前，执行应变层退火步骤。

7. 根据权利要求6所述的方法，其中所述应变层退火步骤包括毫秒退火技术。

8. 根据权利要求6所述的方法，其中所述在所述半导体结构退火以在所述应变层中产生应变的步骤包括多个退火步骤。

9. 根据权利要求1所述的方法，其中所述使所述半导体结构退火以激活所述升起式源极/漏极区的步骤包括毫秒退火技术。

10. 根据权利要求1所述的方法，其中所述形成应变层的步骤包括在所述基板内的不同深度植入C离子的多个离子植入步骤。

11. 一种用于形成具有升起式源极/漏极区的半导体装置的方法，包括：
提供半导体结构；
使用多个离子植入步骤在所述半导体结构内形成多个应变层，所述多个离子植入步骤包括冷碳离子植入或分子碳离子植入，所述应变层位于所述结构的通道区的任一侧；
在所述多个应变层中的每一个上沉积硅层，而在所述应变层上方形成多个升起式源极/漏极区；
掺杂所述多个升起式源极/漏极区；以及
使用毫秒退火技术使所述半导体结构退火，以激活所述升起式源极/漏极区。

12. 根据权利要求11所述的方法，其中所述形成多个应变层的步骤包括多个离子植入步骤。

13. 根据权利要求11所述的方法，其中在自约+15°C至-100°C的温度下执行所述冷离子植入步骤。

14. 根据权利要求11所述的方法，其中所述离子植入步骤包括使用分子碳的离子植入技术。

15. 根据权利要求11所述的方法，其中所述掺杂步骤包括将包括磷、砷及锑中的至少
一个的离子植入所述升起式源极 / 漏极区中。

16. 根据权利要求 11 所述的方法，还包括在所述形成多个应变层的步骤之后，且在所述在应变层中的每一个上沉积硅层的步骤之前，执行应变层退火步骤。

17. 根据权利要求 16 所述的方法，其中所述应变层退火步骤包括毫秒退火技术。

18. 根据权利要求 16 所述的方法，其中所述应变层退火步骤包括多个退火步骤。

19. 根据权利要求 11 所述的方法，其中所述半导体结构退火以激活所述升起式源极 / 漏极区的步骤包括毫秒退火技术。

20. 根据权利要求 11 所述的方法，其中所述形成多个应变层的步骤包括在所述半导体结构内的不同深度处植入 C 离子的多个离子植入步骤。
在应变薄膜上植入有冷和 / 或分子碳的升起式源极 / 漏极的形成方法

技术领域
[0001] 本发明的实施例涉及晶体管的源极 / 漏极区中的应力增强的领域。更具体而言，
本发明涉及一种在已植入有冷的应变层 (strained film) 上形成升起式源极 / 漏极区
(raised source/drain region) 的方法。

背景技术
[0002] 经场效应晶体管 (field effect transistor) 的通道区 (channel region)
中的电场的电流与载流子 (carrier) (例如，n 型场效应晶体管 (n-type field effect
transistor, n-FET) 中的电子及 p 型场效应晶体管 (p-type field effect transistor,
p-FET) 中的洞 (hole) 在通道区中的迁移率成比例。通道区上的不同应变可影响载流子
迁移率，且因此影响电流。举例而言，p-FET 的通道区上的压缩应力 (compressive stress)
可增强电洞迁移率。n-FET 的通道区上的张应力 (tensile stress) 可增强电子迁移率。已
知若干应力工程技术，用于在 n-FET 及 p-FET 通道区上施加所要的应力。举例而言，可藉由
以硅 (Si) 与锗 (Ge) 的合金形成源极 / 漏极区而在 p-FET 的通道区中形成压缩应力 (亦
即，与电流的方向平行的单轴压缩应变)。可藉由以 Si 与碳 (C) 的合金形成源极 / 漏极区
而在 n-FET 的通道区中形成张应力 (亦即，与电流的方向平行的单轴张应力)。

然而，剩下问题是在碳植入之后执行的源极 / 漏极植入步骤所导致的应变损失
。举例而言，在 NMOS 制造期间，在形成应变层 (strain layer) (SiC) 之后进行源极 / 漏
极区中的磷或砷掺杂剂植入，在此期间，被掺杂的 SiC 的区域变的显著部分。另外，在
形成应变层 (SiC) 期间，传统的碳植入技术可能导致硅基板中的缺陷。若升起式源极 / 漏
极区随后在应变的 SiC 区上生长，则此等缺陷可能扩大，其可能导致良率降低。

发明内容
[0004] 因此，需要一种高效率地施加及维持使用升起式源极 / 漏极区的晶体管结构中的应
变的方法。此方法应简单、高效，且应使装置良率增至最大。

[0005] 揭示一种用于增强半导体装置的通道区中的应力的方法，其包括；提供半导体结
构 (semiconductor structure)，所述半导体结构包括具有通道区的硅基板；在半导体结构
内形成应变层，所述应变层位于通道区的任一侧，所述应变层由位于植入步骤，离子
植入步骤包括冷碳离子植入或分子碳离子植入；藉由将硅层沉积在应变层中的每一个上，
而在应变层上方形成升起式源极 / 漏极区；掺杂升起式源极 / 漏极区；以及使半导体结构
退火，以激活升起式源极 / 漏极区。

[0006] 揭示一种用于增强半导体装置的源极或漏极区中的应力的方法，其包括；提供半
导体结构；使用多个离子植入步骤在半导体结构内形成多个应变层，所述离子植入步骤包
括冷碳离子植入或分子碳离子植入，应变层位于所述结构的通道区的任一侧；在所述多个
应变层中的每一个上沉积硅层，以在应变层上方形成多个升起式源极 / 漏极区；掺杂所述
多个升降式源极/漏极区；以提高上升式源极/漏极区。

附图说明
[0007] 随附图式说明所揭示的方法的较佳实施例，所揭示的方法至是为其原理的实际应用而设计，且在附图中：
[0008] 图 1 为例式性离子植入系统的示意图。
[0009] 图 2 为升降式源极/漏极区覆于 Si–C 应变层上的示性性晶体管结构的剖视图。
[0010] 图 3 为描述所揭示的方法的示性性处理流程的流程图。
[0011] 图 4 为因离子植入而得的应变以及离子植入之后的应变损失的图形表示。
[0012] 图 5 为显示作为半导体结构中的深度的函数的应变的图形表示。
[0013] 图 6 为显示作为半导体结构中的深度的函数的应变的图形表示。
[0014] 图 7A 及图 7B 为显示基板材料与示性性上升式源极/漏极区之间的界面的剖面图。

具体实施方式
[0015] 所揭示的方法包含在降低的温度下和/或使用分子碳的单次或一系列碳离子植入，其中基板处于或不处于降低的温度。接着使基板退火，以形成应变膜。接着在应变膜上形成上升式 S/D。所揭示的方法的新颖在于其使用以冷和/或碳植入形成的应变层与上升式源极漏极的组合，以在向晶体管添加导电掺杂剂的同时保存通道中的应变。所述技术使得离子植入技术能够用于尺寸愈来愈小的 NMOS 晶体管。
[0016] 如将了解，所揭示的技术可提供额外益处，因为应变层与掺杂剂量的分别形成可使得对每一层的处理最佳化，包含离子的侧向放置以及热处理（亦即，退火）。
[0018] 离子植入大体上是指用受激离子直接轰击基板而将化学物质沉积至基板中的处理。在半导体制造中，离子植入器通常用于更改目标材料的导电性的类型及位准的掺杂处理。积体电路基板及其薄膜结构中的精确的掺杂物可用于达成所要的装置效能。为了获得所要的掺杂轮廓，可以不同剂量且以不同的能量来源植入一或多种离子种类。低温离子植入是指在植入处理期间将待植入的基板（晶圆）冷却至约 +15℃至−100℃的温度范围的处理。用于在离子植入之前预冷却晶圆的示性性技术描述于美国专利申请公开案第 2008/0044938 号、第 2008/0121821 号及第 2008/0124903 号中，所述公开案以全文引用的方式并入本文中。
[0019] 图 1 中说明示性性离子植入器系统 100。首先将了解，系统 100 仅为可用于实施所揭示的方法的多种离子植入器系统中的一种，且所揭示的方法的应用决不限于所说明的系
统的细节。因此，可使用任何类型的离子植入器或基于等离子体的植入器，只要其能够植入大于 $1 \times 10^{15}$ 的剂量（离子/厘米$^2$）及在 200eV 与 20,000eV 之间的能量。另外，所述系统可包含或不包含质量过滤。

0020 所说明的离子植入器系统 100 容纳于高真空环境中。离子植入器系统 100 可包括：离子源 102，其由电源 101 加偏压至一电位；及一系列束线组件，离子束 10 穿过所述束线组件。所述系列的束线组件可包含（例如）提取电极 (extraction electrode) 104、90° 磁体分析器 (90° magnet analyzer) 106、第一减速 (first deceleration, D1) 级 108、70° 磁体准直仪 (70° magnet collimator) 110 及第二减速 (second deceleration, D2) 级 112。所述束线组件非常类似于一系列操纵光束的光学透镜，可在使离子束 10 转向目标晶圆之前过滤并聚焦离子束 10。在离子植入期间，目标晶圆通常安装于压板 114 上，压板 114 可借助于一设备（有时称为“roplat”）在一或多个维度上移动（例如，平移、旋转及倾斜）。

0021 离子植入器系统 100 亦可包含系统控制器 116，其经程式化以控制系统 100 的组件中的其中一个或多个。系统控制器 116 可连接至前面所提及的系统组件中的一些或所有组件，并与之通信。举例而言，系统控制器 116 可调整植入离子所借助的能量，以获得所要的植入深度。系统控制器 116 可包含处理器 118，其执行用于实施所揭示的方法的一个或多个步骤的指令。

0022 尽管未图示，但系统 100 可还包含基板冷却部分，用于在植入处理之前或处理期间使基板保持在所要的温度。基板冷却可结合分子碳的植入而使用。此做法在分子碳植入剂量相对较低的情况下尤其有利。

0023 现参看图 2，说明示性半导体结构 120 的剖面，半导体结构 120 包括基板 122、应变（亦即，含碳）层 128、覆于应变层 128 上的升起式 S/D 区 130、间极区 132 及通道区 134。依据技术“节点”（亦即，转折点），可有多种厚度及面积提供应变层 128（实际上为晶体管的 S/D 区）。举例而言，在 32 纳米 (nm) CMOS 节点中，应变层 128 的厚度可自约 40nm 至约 140nm。升起式 S/D 区通常约为此值的 25% 至 30%，但依升起式 S/D 可能服务的其他需要，所述层可较厚。32nm 节点中的升起式 S/D 方案将等于或小于约 30nm 至 40nm。然而，若硅的硅化物消耗较高，则此值可较厚。

0024 参看图 3，将描述用于形成图 2 的结构的处理。在步骤 200 处，提供半导体基板，且在指定的通道区 134 上方施加遮罩层（未图示）。提供遮罩层是为了防止碳离子随后植入至通道区中。

0025 在步骤 300 处，使用低温离子植入技术和 / 或分子碳植入技术将碳离子植入基板 122 中。植入步骤可使用足以将碳离子置于基板内的所要深度的植入能量。请注意，步骤 300 可包含多个离子植入步骤。在使用多个植入步骤的情况下，能量位准和 / 或植入时间可在不同步骤之间变化，以达成半导体结构中的所要的最终植入轮廓。

0026 将了解，碳植入步骤应以产生紧密邻近于通道区 134 以便使通道载流子上的应变增至最大的应变层 128 的方式执行。使通道上的应变增至最大，可使得通道区中的电子迁移率增强，从而增强导电率。

0027 一旦碳植入处理完成，便可在步骤 400 处使所述结构退火，以致使所植入的碳离子占据 Si 基板品格上的位置，从而引起所要的应力。退火步骤亦确保碳离子将保留于品格上，而不沉淀。步骤 400 可包括一或多个退火步骤。退火步骤可包括毫秒退火步骤，
其可包含尖峰退火（spike annealing）、雷射退火（laser annealing）和/或闪蒸退火（flash annealing）。其他适当退火类型的实例包含固相晶退火（solid phase epitaxy anneal）, 其通常为相对较长的低温退火。可接受的退火处理的标准为再结晶应快于原子扩散至另一所植入离子从而形成沉淀所花费的平均时间。此标准随非晶及结晶材料中的离子的植入剂量、温度、时间及扩散率而变。

在实施例中，在碳离子植入步骤（步骤 300）之后不立即执行退火步骤（步骤 400）。而是，可在形成及掺杂工具式 S/D 区之后执行单一退火步骤（见下文的步骤 700）。此单一退火步骤可用于激活 S/D 区，且导致应变层中所植入的碳离子占据 Si 基板晶格上的位置，以引起所要的应力。

在步骤 500 处，形成升起式 S/D 区。用于形成升起式 S/D 区的示例性处理可包括：
(1) 经掺杂的硅的掺杂步骤（chemical vapor deposition, CVD），(2) 硅的薄膜生长，(3) 硅的原子层沉积（atomic layer deposition, ALD），(4) 硅的等离子体气相沉积（plasma vapor deposition, PVD）。

在步骤 600 处，使用将一或多种掺杂剂材料植入在间极区 132 的任一侧以及应变层 128 上方的升起式 S/D 区 130 中的离子植入步骤来掺杂升起式 S/D 区。适当的掺杂剂的实例包含 As、P 及锑（Sb）。在此植入处理期间，再次遮蔽通道区 134，以使掺杂剂离子在通道区 134 中的存在减至最少。

在步骤 700 处，可使用一或多个退火步骤来激活升起式 S/D 区 130。此等退火步骤中的一或多个可为毫秒退火步骤，包含雷射退火或闪蒸退火，固相晶和/或 RTP 尖峰退火。

作为所指出的退火程序（亦即，其中使用单独的退火步骤来使应变层及升起式 S/D 区退火）的替代方案，可在升起式 S/D 区形成并掺杂之后执行所有退火步骤。此技术可产生更有效的总体处理，同时仍在应变层 128 中施加所要的应变。

图 4 为显示针对不同类型的掺杂剂植入离子及引起应变的植入离子的组合，作为应变层 128 中的深度的函数的%应变的示例性应变曲线图。在所说明的曲线中，“Cs”为碳取代浓度（X 轴）。晶体管的通道区中的侧向应变与此浓度成比例。X 轴为进入晶体管中的深度。

图 4 间接说明沿晶体管的横向面移动的通道区中的应变分布的轮廓。所述曲线图显示对于各种植入候选物（例如，碳 -800、冷碳 -900、乙烷 -1000、冷乙烷 -1100、锗 - 碳 -1200、锗 - 冷碳 -1300、锗 - 乙烷 -1400、锗 - 冷乙烷 -1500），应变可如何累积至基板中达约 60nm 的深度。

如可看到，可藉由将各种离子及离子组合植入基板中，接着再结晶（亦即，退火）以在结构中达成高应变的应变，来形成应变层。然而，通常，必须对所述结构执行额外的处理步骤，以便建构完成的装置。举例而言，当 S/D 区随后植入有掺杂剂且经尖峰退火时，应变层中的应变可显著减少，其可能影响应变层的有效性。

图 5 为显示在掺杂剂的植入之后应变层 128 中的应变损失的示例性应变曲线图。与图 4 相比，图 5 显示针对应变层植入与 S/D 区植入的特定组合，应变层 128 中的应变如何受影响。在图 5 中，S/D 区掺杂有磷（例如，Ge-C-P-1600、C-P-1700、GE-冷 C-P-1800、GE-乙烷-C-P-1900、乙烷-1800、GE-冷乙烷-C-P-2100、冷乙烷-C-P-2200、GE-Hi C-P-2300、
如可看到，随着磷的添加，Cs（且因此变动）显著减少。举例而言，将图 4 中的第一数据集（标记为“C”=800）与图 5 中的第二数据集（标记为“C-P”=1700）进行比较，可以看出 0nm 至 35nm 深度的区中的取代碳浓度（类推至应变）自约 1% 降低至约 0.3%。

所揭示的方法减少此掺杂剂离子对应变层 128 中的应变的影响。使用所揭示的方法，将掺杂剂离子（例如磷）置于升起式 S/D 区 130 中可在应变层 128 中导致较少掺杂剂离子，且因此，可在应变层中保持较高的应变位准。此又导致较大的通道载流子迁移率及电流。

图 6 显示高解析度 XRD 擦摆曲线，其显示具有相对较高位准的取代碳的较厚的 Si:C 层，所述 Si:C 层具有与下伏的 Si 基板的良好界面。此图显示使用所揭示的方法可产生高品质 SiC 层（亦即，与使用磊晶技术所建构的层一样好或较之更好的层）。

所揭示的使用 C 离子的冷植入接以升起式 S/D 区的形成的方法使基板 Si 基板晶格上的 C 原子的量增至最大，且减少植入处理对基板造成的总体损坏。当使用 C 形成应变层时，有利的是移去尽可能多的 Si 原子，以使可占用 Si 晶格点的 C 原子的数目增至最大。与其他植入技术相比，冷植入技术导致基板的更彻底非晶化（亦即，更多 Si 原子被移去且可由 C 原子代替）。在退火之后，经冷植入的基板显示较少的残余损坏，因为诸如空位、未占有的点等缺陷有较大可能在再结晶（亦即，退火）期间被充填，因为较大浓度的 C 原子因冷植入而存在。因此，不仅减少 Si 基板中的缺陷数目，而且基板表面亦在退火步骤期间更好地“愈合”，从而增强表面可形成随后的升起式 S/D 区的表面的光滑性。

使用先前技术，Si 基板中由植入步骤引起的较大数目的缺陷可在随后的上覆升起式 S/D 区的磊晶形成期间复合。此又导致不必要地降低的总体良率。参看图 7A，显示使用先前技术植入的实测性基板 136 具有不均匀的上表面 138，其形成基板 136 与示例性升起式 S/D 区 140 之间的界面。现参看图 7B，显示使用所揭示的方法处理的示例性基板 142。所述基板的上表面 144 大体上较光滑，具有较少缺陷，从而形成基板 142 与升起式 S/D 区 146 之间的较佳界面。由于经植入的 Si 基板具有较光滑的表面，因此基板 142 与升起式 S/D 区 146 之间形成较佳界面，其因此产生较好的升起式 S/D 品质及装置良率。

将了解，除引起应变层 128 中的应变之外，碳离子可提供额外益处，因为其可在将 P 用作升起式 S/D 区 130 中的掺杂剂时充当磷（P）的扩散障碍。P 具有作为掺杂剂的合意特性（例如，较低的薄层电阻 R），但 P 亦具有扩散穿过 P 植入的材料的倾向。合意的是使用掺杂剂扩散减至最少，以便使诸如短通道效应（short-channel effect）及泄漏等负面效应减至最少。因此，通常将砷（As）用作掺杂剂以代替 P，因为 As 不具有相同的扩散趋势。然而，在应变层 128 中使用 C 使得能够在掺杂剂层中使用 P，而无前面所提及的扩散。由于用 P 比用 As 可达成较低的薄层电阻，因此对于用于升起式 S/D 区 130 中而言，P 更合意。

可藉由（例如）在能够被能执行指令的机器读取的电脑可读储存媒体上有形地实施指令程式，而使本文所描述的方法自动化。通用电脑（general purpose computer）为此机器的一实例。此技术中熟知的适当储存媒体的非限制性示例性清单将包含诸如可读或可写 CD、闪存芯片（flash memory chip）（例如随身碟（thumb drive））、各种磁性储存媒体等装置。

虽然已参考某些实施例而揭示了本发明，但在不脱离如附加的申请专利范围中所
界定的发明的领域及范围的情况下，对所描述的实施例的数量修改、更改及改变是可能的。因此，发明不欲限于所描述的实施例，相反，发明具有由附加的申请专利范围及其等效物的语界界定的完整范围。
【0045】可自动或完全或部分地回应于使用者命令而执行此处的功能及处理步骤。回应于可执行指令或装置的运作而执行自动执行的活动（包含步骤），而无需使用者直接起始所述活动。
【0046】图1至图3的系统及处理并非排他性的。可根据发明的原理得出其他系统、处理及选单，以实现相同目标。尽管已参考特定实施例描述了发明，但将理解，本文所显示并描述的实施例及变化形式仅用于说明目的。在不脱离发明的领域的情况下，本领域技术人员可实施对当前设计的修改。在替代实施例中，处理及应用程式可位于存储链接图1的元件的网路的一或多个（例如分布式）处理装置上。另外，图中所提供的任何功能及步骤可在硬体、软体或上述两者的组合中实施，且可驻存于位于链接图1的元件的网路或另一链接网路（包含网际网路）的任何位置的一或多个处理装置上。
图 1
在通道区上方施加遮罩

执行碳离子植入以形成应变层

执行退火以迫使碳原子至基极晶格点上

形成升起式源极/漏极区

执行升起式源极/漏极区的离子植入

使升起式源极/漏极区退火

图3
图 4
图 5

图 6

经改良的 C 轮廓均匀性