

五、發明說明(1)

本發明係關於一種用於積體電路之位線(亦稱為位元線)配置,其中每一位元線至少與一下方導電區有一接觸點,且被加寬以形成只位於該接觸點周圍之接觸面,且鄰接位元線之接觸的配置方式使其偏差(offset),形成一至少3重交錯。

在積體電路中,特別是DRAM半導體記憶體,其記憶胞(cell)係經由位元線而接觸一位元線致動一列記憶胞(亦稱為胞)之存取。因此,前述之胞配置決定這些接點之配置,此時,每一胞都有其自己對上方位元線之接點或者是兩個鄰接胞經一接點而連接至該位元線。因而,相同位元線之兩連續接點之間距為一個或兩個胞之長度。對產品工程的理由和電性理由兩者而言,通常需要加寬位元線,以於接點周圍形成一接觸表面。另一方面,最小的空間需求亦為其目的之一。

圖1例示一習知技藝之位元線配置圖位元1,2,3,4,5以第一方向延伸,該方向由在胞52上(只表示位元線5)之相同位元線之接點間的直線連接定義之,並具有接點10,20,30,40,50,經此接點,每一位元線各與這些胞之一或兩個連接該位元線被加寬以形成接點四周之接觸表面11,21,31,41,51,以確使適當的電性連接縱使位元線與接點,通常由下方絕緣層之接觸孔而達成未能適當調整時亦然,特別是因為製程工程的理由(位元線之光學圖型中之解析度),相鄰位元線或其邊緣之間距無法達到特

五、發明說明(2)

定的最小值 b_{sp} 。此最小值介於一接觸表面和相鄰位元線邊緣之間(見圖1, 此接點以4重交錯方式配置)。在此類已知配置中, 給予一預設的最小距離 b_{sp} , 進一步地減低空間需要, 而不會減低接觸表面或在接觸表面外部之位元線的寬 b_B , 因而降低其可靠性。

因此, 本發明之一目的在特定一種位元線配置該配置對相同或減少的空間需求而言, 具有較高或至少一樣高的可靠性。

此目的在當兩相鄰位元線之邊緣間距皆相等時可達成(在製造容忍度範圍內), 此即是說最低間距 b_{sp} 不只發生於接觸表面和相鄰位元線之間, 亦發生於接觸表面外部之位元線邊緣之間, 因此, 可能使接觸表面加大或以相同大小之接觸表面使空間增益達成, 在接觸表面加大的情況中, 不只位元線關於前述接觸孔的最大可容許誤調變大, 接觸孔周圍之電流路徑亦變寬, 在接觸孔中之位元線材料之層厚度通常很小, 因此寬的重疊將有助於得到低位元線阻抗。

本發明將以圖式顯示之兩實施例詳述於下, 其中:

圖1所示為根據習知技藝之位元線配置;

圖2和4各表示根據本發明之位元線配置的兩個實施例;

圖3和5以放大圖說明所表示實施例之設計原理;

圖6表示用以計算描述位元線邊緣之直線圖形。

五、發明說明 (3)

所有圖式中相同的部分被標以相同的參考符號。

圖 2 中，接點 10, 20, 30, 40, 50 的幾何配置對應於圖 1 之接點配置，例如下方胞配置之規定；同樣地，該接點與圖 1 之接點大小相同。根據本發明相鄰位元線之邊緣間距皆是相同，特別是相等於最小距離 b_{sp} ，縱使在接觸表面 11, 21, 31, 41, 51 外部之區域內亦然。在此實施例中，位元線 1 至 5 之邊緣形成於並非平行第一方向而延伸之直線之區間中，此配置中直線以兩個嚴格不同梯度發生。

為進一步解釋的目的（亦包括下列圖式），現以座標系統的 X 軸平行第一方向，Y 軸垂直該第一方向，且原點在位元線 3 之接點 K_3 的中點處，此可由圖 2 之圖式看出。此外採用下列定義：

b_B ：位元線路徑之寬，此即是接觸表面外部之位元線；

b_{sp} ：相鄰位元線之邊緣的間距；

R_{BL} ：Y 方向之位元線間距（raster）；

R_{st} ：交錯間距（raster）= X 方向之相鄰位元線之接點的偏差；

n ：交錯數，在此實施例中 $n = 4$ 。

$K^1 - K^5$ ：表示圖中所特定之 $n+1$ 個接點

$L_a^1 - L_d^i$ ：表示接點 K^1 之角度（corner point）， $i = 1, \dots, n+1$

五、發明說明 (4)

圖 3 係圖 2 之位元線配置之設計由代表區間中之位元線邊緣之三條直線 g_1 , g_2 , g_3 而產生, 這些直線之結構將以下例位元線 3 和接點 K^3 , K^2 (亦參見圖 2) 解釋之:

g_1 :- 為 K_3 與 X 方向相鄰之位元線 3 接點間的連接部分之中點 O ; O 具有座標 $O(-2 R_{st}; 0)$

- 為 K^2 與 X 方向相鄰之位元線 2 接點間的連接部分之中點 Q ; $Q(-R_{st}; R_{BL})$

- 圍繞半徑 $r_Q = b_B + b_{Sp}$ 之 Q 的圓 k_Q

- 徑 O 與圓 k_Q 之切線, 此切線為可具之位元線部分的路徑軸 (中心線)

- g_1 平行於路徑軸, 與軸相距 $1/2 b_B$

g_2 :- L^3_a 與 L^2_c 之間與中點 Z 連接之部分 Z

- g_2 垂直於 Z , 離 Z 為 $1/2 b_{Sp}$ 距離

g_3 :- g_3 由 g_1 在 $+X$ 方向移動 $4 R_{st}$ 的方式產生:

如此圖所示者, 直線在點 S_{12} 和 S_{23} 處交叉, 且在對應部分內形成位元線 3 之一邊緣。另一邊緣和其餘位元線之邊緣 (在 $+X$ 方向與 $-X$ 方向之延伸皆相同) 可簡單地以原點之點反射和自這些直線移動的方式獲得。

產生一 n 重交錯亦為容易之事之例如中點座標為 $O(-\frac{n}{2} R_{st}; 0)$; 若 n 為偶數, O 同時為 K^1 和 K^{n+1} 之中點, g_3 由移動 $n R_{st}$ 而得。 g_2 以所述方式建構。

根據圖 4 之實施例中, 直線 g_1 (和對應的 g_3) (其描

五、發明說明 (5)

述位元線邊緣的一部分)由一組由四條水平(即在X方向延伸)直線 g_4, g_6, g_8, g_{10} 和三條位於其間且具有與0不同的斜度之斜直線 g_5, g_7, g_9 組成的連接線取代(亦參考圖5)。此例中, 直線 $g_4 - g_{10}$ 對連接部分 $(m, n, \dots, s)$ 而言成為正角, 該部分使一位元線接點與第 $(n+1)$ 位元的相鄰接點之中點連接, 或是在彼此相對的角點處與第 n 位元線之相鄰接點連接。雖然此種設計有時稍嫌複雜, 但其優點為能使接觸表面在接點之角 (corner) 處有較大的重疊, 因此此方向之較大的錯調 (maladjustment) 亦為可容許的。

圖5為此配置可以例如下列方式建構(以位元線3之上邊緣之例子, 亦參見圖4):

g_2 :- 類似第一實施例之 g_2 ,

g_6 :- K^1 與 K^5 間(具有一中點0)之連接部分0(0亦為 K^3 和位元線3中在-X方向相鄰之接點間之中點; 此部分0之端點各為接點之中點)

- g_8 在與0相距 $0_1 = 1/2 b_B$ 時, 垂直於0 (即斜率 = 0)可與 g_6 同時建構其他位元線之邊緣的對應部分, 該部分可能在 K^1 與 K^5 之間具有斜率為0(此即在 $X = -2 R_{st}$ 的環境中), 且在每個例子中各被配置於彼此相距 b_{sp} 和 b_B 之距離。

g_7 :- L^1_d 和 L^4_b 間(具有一中點p)之連接部分p。

- g_7 在 $1/2 b_{sp}$ 的距離時垂直於p。

五、發明說明(6)

可能與 g_7 同時建構其他位元線之邊緣的對應部分，該部分亦同樣地垂直於 L^1_a 和 L^1_b 之間的 p ，並各被配置於彼此相距 b_B 和 b_{Sp} 之間距。

g_4 ， g_8 和 g_{10} ：藉助於中點 M ， Q 和 S (對應接點係部分位於圖 4 所示之部分外部)，以類似 g_6 的方式建構。由圖 4 可知，來自這些中點之直線距離 m_1 ， q_1 ， s_1 為：

$$\begin{aligned} m_1 &= 1.5 b_B + b_{Sp} \\ q_1 &= 1/2 b_B + b_{Sp} \\ s_1 &= 1.5 b_B + 2 b_{Sp} \end{aligned}$$

g_5 和 g_9 ：藉助於部分 n 和 r 之中點 N 和 R ，以類似 g_7 之方式建構，(未完全表示)，來自這些中點之直線距離 n_1 ， r_1 為：

$$\begin{aligned} n_1 &= b_B + 1/2 b_{Sp} \\ r_1 &= b_B + 1.5 b_{Sp} \end{aligned}$$

部分 n ， p 和 r 之斜率係明顯地依 R_{BL} ， R_{St} 和接點之方向上所定義之方式，由此即可分析地計算各與 n ， p ， r 垂直之直線 g_5 ， g_7 ， g_9 之斜率。

在此兩實施例中，直線 g_j ， $j=1, \dots, 10$ ，和其交叉部分 S_{jk} 之點，以及因而產生之位元線邊緣之精確過程可自動地藉助直線之公式 $g_j = a_{jx} + b_j$ 而計算。此可簡述於下列文字中，以第一實施例(見圖 3)和圖 6 為輔助。

A) 計算直線 g_1 ， g_2 ， g_3

藉著使用圖 6 定義之輔助角 ϕ ， ψ ，角 β_1 和直線 g_1

五、發明說明 (7)

之斜率 a_1 為：

$$\beta_1 = 90^\circ - \varphi - \psi$$

$$a_1 = \operatorname{tg} \beta_1 = (\cot \varphi \cot \psi - 1) / (\cot \varphi + \cot \psi)$$

$$\cot \varphi = R_{BL} / R_{St}$$

$$\cot \psi = \operatorname{sqr}(R_{St}^2 + R_{BL}^2 - (b_B + b_{Sp})^2) / (b_B + b_{Sp})$$

$$a_1 = (R_{BL} \operatorname{sqr}(R_{BL}^2 + R_{St}^2 - (b_B + b_{Sp})^2) - R_{St}(b_B + b_{Sp})) / (R_{St} \operatorname{sqr}(R_{BL}^2 + R_{St}^2 - (b_B + b_{Sp})^2) + R_{BL}(b_B + b_{Sp}))$$

直線 g_1 之軸部分 b_1 可由 g_1 與 0 相距 $b_B / 2$ 的情況獲得，即是說要通過點

$$(-2R_{St} - b_B/2 \sin \beta_1; b_B/2 \cos \beta_1) \quad \text{or}$$

$$(-2R_{St} - b_B a_1 / (2 \operatorname{sqr}(1 + a_1^2)); b_B / (2 \operatorname{sqr}(1 + a_1^2)))$$

此即，

$$b_1 = b_B / (2 \operatorname{sqr}(1 + a_1^2)) + 2a_1 R_{St} + b_B a_1^2 / (2 \operatorname{sqr}(1 + a_1^2)).$$

直線 g_3 由 g_1 向 X 方向移動 $4R_{St}$ 而得。因此 $g_3 : Y$

$= a_3 x + b_3$ 之特性變成：

$$a_3 = a_1$$

$$b_3 = b_1 - 4 R_{St} a_1$$

當 $g_2: y = a_2 x + b_2$ ，發現

$$a_2 = -(R_{St} - x_{KL}) / (R_{BL} - y_{KL})$$

x_{KL} 為 X 方向之接觸孔之大小， y_{KL} 為 y 方向之大小

， g_2 通過點

五、發明說明(8)

$$(R_{St}/2 + b_{Sp}/2 \sin \beta_2; R_{BL}/2 - b_{Sp}/2 \cos \beta_2) \quad \text{或是}$$

$$(R_{St}/2 + b_{Sp}a_2/(2\sqrt{1+a_2^2}); R_{BL}/2 - b_{Sp}/(2\sqrt{1+a_2^2}))$$

(其中 β_2 為 g_2 之斜角)

因此，

$$b_2 = R_{BL}/2 - b_{Sp}/(2\sqrt{1+a_2^2}) - R_{St}a_2/2 - b_{Sp}a_2^2/(2\sqrt{1+a_2^2}).$$

B) 計算交叉部分 S_{12} 和 S_{23} 之點：

$$S_{12}: (-(b_2-b_1)/(a_2-a_1), -a_2(b_2-b_1)/(a_2-a_1) + b_2) \quad \text{及}$$

$$S_{23}: (-(b_3-b_2)/(a_3-a_2), -a_3(b_3-b_2)/(a_3-a_2) + b_3).$$

第二實施例之直線 $g_4 - g_{10}$ 可利用類似的方式計算，

如前所述，其優點為接點之角 (corner) 處的重疊有時較大，角上之重疊為：

$$L_a: 0,5\sqrt{(R_{St}-x_{KL})^2 + (R_{BL}-y_{KL})^2} - b_{Sp},$$

$$L_d: 0,5\sqrt{(R_{St}-x_{KL})^2 + (3R_{BL}-y_{KL})^2} - 2b_b - 3b_{Sp}.$$

四、中文發明摘要(發明之名稱： 積體電路之位元線配置)

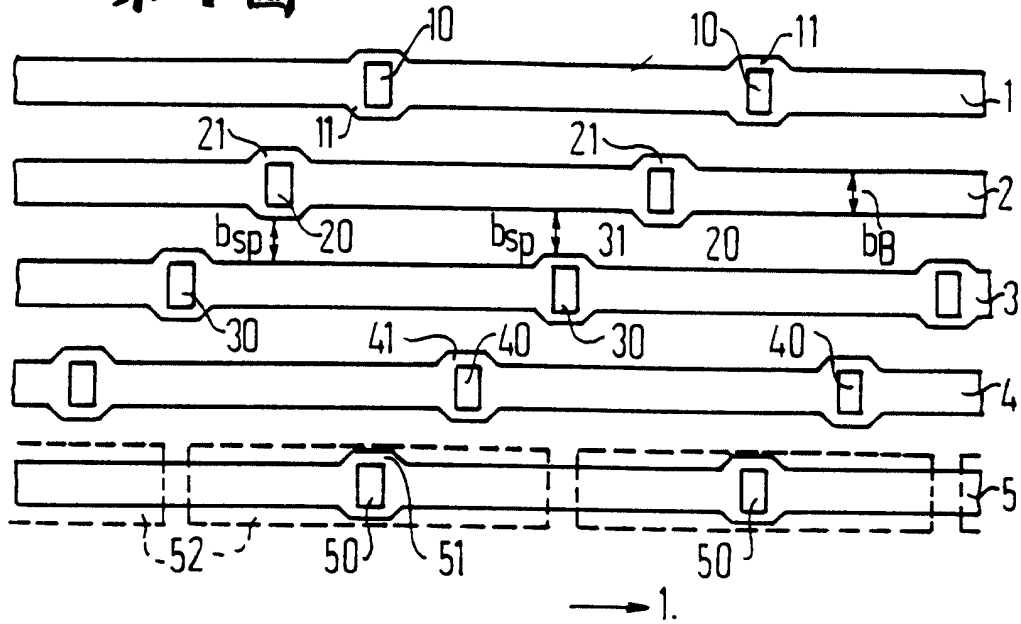
本配置係關於位元線之配置該位元線在與下方之記憶胞接觸點(10, 20, 30, 40, 50)處被加寬以形成接觸表面(11, 21, 31, 41, 51), 該接觸點係以至少三重交錯的方式配置。當相鄰位線的邊緣之間距 b_{sp} 在任何位置皆相同時其可靠度增加且其空間最小, 因而該接觸表面可予增大。

英文發明摘要(發明之名稱： Bit line arrangement for integrated circuits)

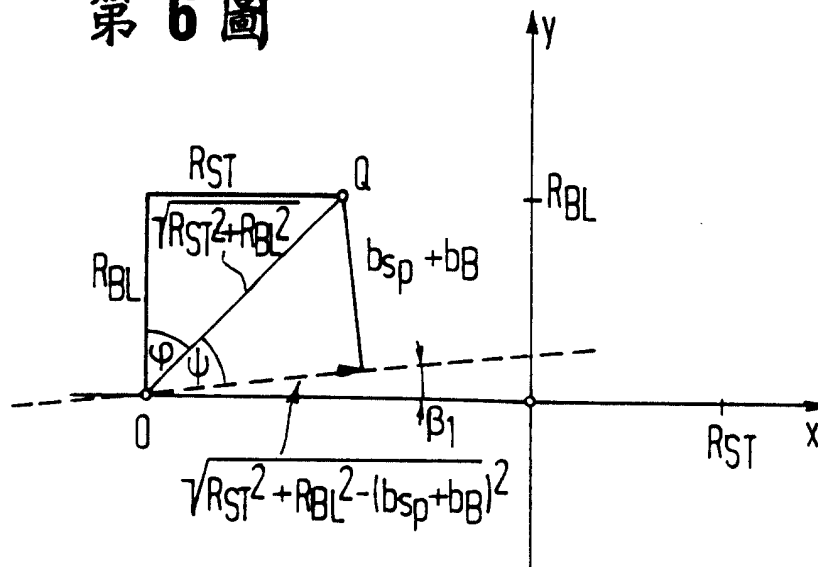
The proposed arrangement relates to bit lines which are widened to form contact surfaces (11, 21, 31, 41, 51) at the contacts (10, 20, 30, 40, 50) to underlying cells, the contacts being arranged in an at least three-fold stagger. A minimum space requirement is achieved in conjunction with increased reliability when the distance b_{sp} between edges of adjacent bit lines has the same value everywhere, and the contact surfaces can thereby be enlarged.

附註：本案已向 德 國(地區) 申請專利, 申請日期： 案號：
1991年2月12日 P4139719.3

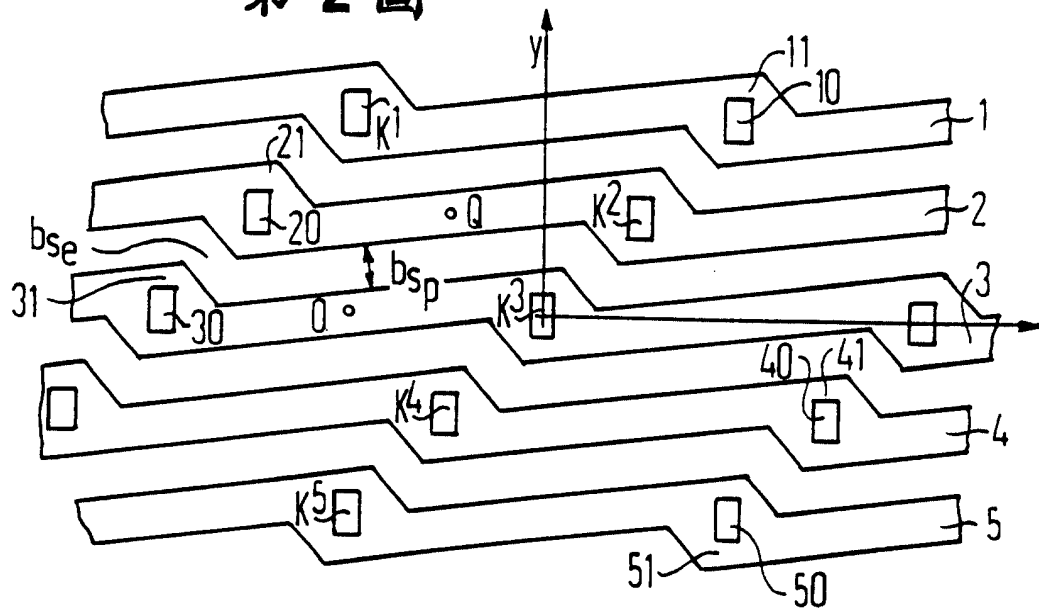
第 1 圖



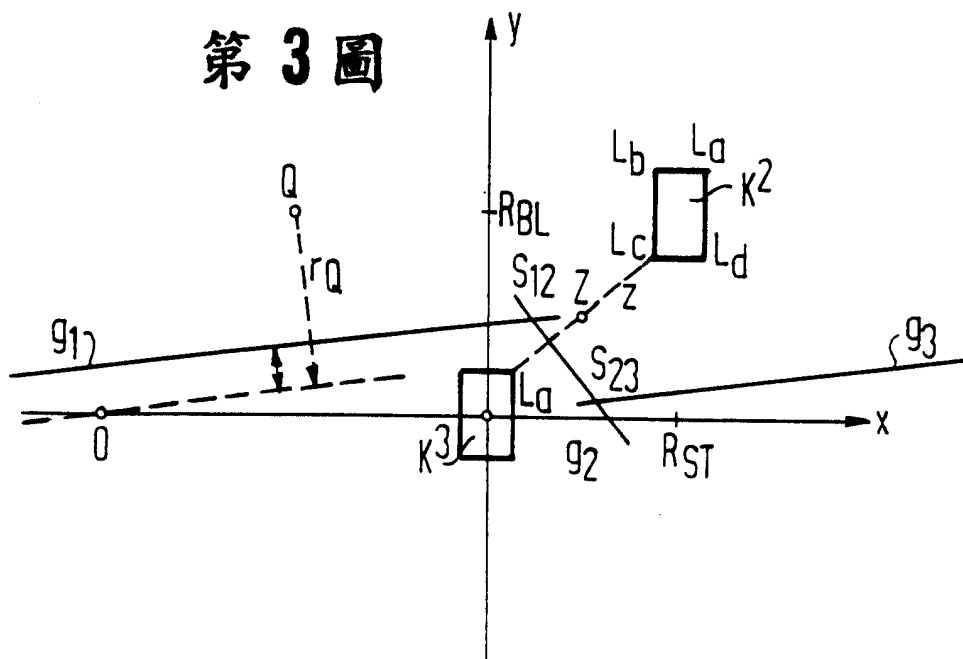
第 6 圖



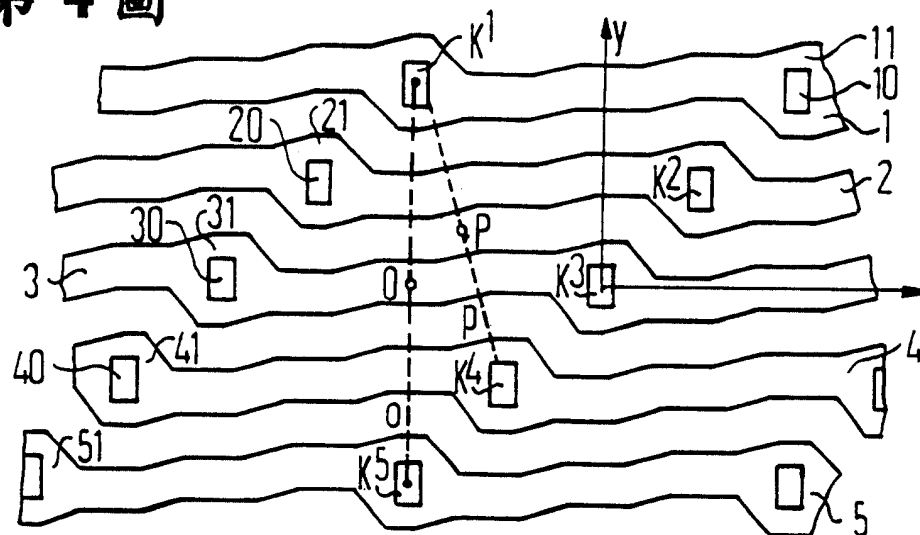
第 2 圖



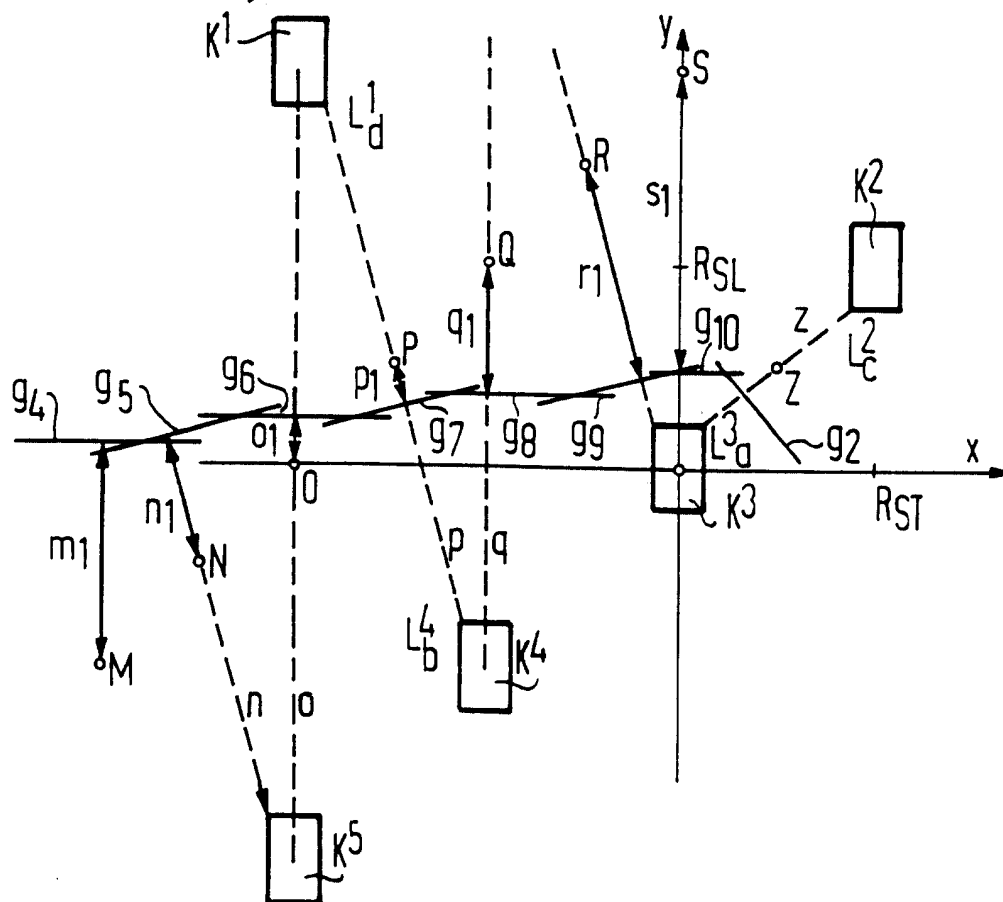
第 3 圖



第4圖



第5圖



326484

公 本

申請日期	81.11.10
案 號	81108996
類 別	H01G 23 / 522

A4
C4

(以上各欄由本局填註)

發明 專利說明書 (82年 8月 修正)
新型

一、發明 創作名稱	中 文	積體電路之位元線配置
	英 文	Bit line arrangement for integrated circuits
二、發明 創作人	姓 名	漢諾梅爾茲納 Hanno Melzner
	籍 貫 (國籍)	德 國
	住、居所	美國紐約州12590瓦平佐茲弗爾斯肯特路46號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	籍 貫 (國籍)	德 國
	住、居所 (事務所)	德國慕尼黑威田巴契廣場2號
	代表人 姓 名	寇爾伯及福克斯 Körbert Prokurist & Dr. Fuchs Prokurist

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

第 81108996 號「積體電路之位元線配置」專利案

(82年 8月 修正)

六 申請專利範圍

1. 一種用於積體電路之位元線配置，其為：

每一位元線 (1-5) 至少有一接點 (10, 20, 30, 40, 50) 連接在至少一下方的導電區，

及每一位元線僅在接點四周加寬以形成一接觸表面 (11, 21, 31, 41, 51)；

鄰接位元線之接點係配置如偏差方式，以形成一至少三重交錯，其特徵為任兩鄰接位元線之邊緣之間距 (bsp) 在製造可容忍之範圍內皆是相同的。

2. 如申請專利範圍第 1 項之位元線配置，其中每一位元線 (1-5) 具有一以第一方向互相連續之接點，每一接點皆接觸至少一記憶胞之導電區。

3. 如申請專利範圍第 1 或第 2 項之位元線配置，其中在給定的接點 (10, 20, 30, 40, 50) 之幾何配置和大小之下，位元線之各區段邊緣表示為直線 (g_1, g_2, g_3)，其各具有至少在符號上不同且對第一方向而言與 0 不同之兩個斜度。

4. 如申請專利範圍第 3 項之位元線配置，其中直線 g_1, g_2, g_3 滿足下列結構規則：

g_1 ：其有 K^3 與在 $-X$ 方向相鄰之位元線 3 之接點間之連接部分的中點 0；0 之座標為 $0(-2 R_{st}; 0)$ ，

為 K^2 與在 $-X$ 方向相鄰之位元線 2 之接點間之連接部分之中點 Q； $Q(-R_{st}; R_{BL})$ ，

以半徑 $r_Q = b_B + b_{sp}$ 圍繞 Q 的圓 K_Q ，

六、申請專利範圍

經 0 而與圖 k_Q 相切；此切線為要求取之位元線部分之路徑軸（中心線），

g_1 在距離 $1/2 b_B$ 處平行於路徑軸；

g_2 ：具中點為 Z 之 L^3_a 和 L^2_c 間之連接部分 Z ；

g_2 在與 Z 相距 $1/2 b_{Sp}$ 處垂直於 Z ；

g_3 ： g_3 由 g_1 向 $+X$ 方向移動 $4 R_{St}$ 而得。

5. 如申請專利範圍第 3 項之位元線配置，其中直線 g_1

， g_2 ， g_3 滿足下列公式：

$$g_j = a_j + b_j \quad j = 1, 2, 3 \quad \text{其中：}$$

$$a_1 = (R_{BL} \text{sqr}(R_{BL}^2 + R_{St}^2 - (B_B + b_{Sp})^2) - R_{St}(B_B + b_{Sp})) / \\ (R_{St} \text{sqr}(R_{BL}^2 + R_{St}^2 - (B_B + b_{Sp})^2) + R_{BL}(b_B + b_{Sp}))$$

$$b_1 = b_B / (2 \text{sqr}(1 + a_1^2)) + 2a_1 R_{St} + b_B a_1^2 / (2 \text{sqr}(1 + a_1^2))$$

$$a_2 = -(R_{St} - x_{KL}) / (R_{BL} - y_{KL})$$

$$b_2 = R_{BL}/2 - b_{Sp} / (2 \text{sqr}(1 + a_2^2)) - R_{St} a_2 / 2 - \\ - b_{Sp} a_2^2 / (2 \text{sqr}(1 + a_2^2))$$

$$a_3 = a_1$$

$$b_3 = b_1 - 4R_{St} a_1$$

6. 如申請專利範圍第 1 或 2 項之位元線配置，其中在接

點 (10, 20, 30, 40, 50) 之幾何配置和大小給定的情形下

，位元線邊緣以區段方式表示之直線 ($g_2, g_4 - g_{10}$)

六、申請專利範圍

至少具有三個不同斜度。

7. 如申請專利範圍第6項之位元線配置，其中直線 g_4 至 g_{10} 與連接部分 (m, n, o, p, q, r, s) 成直角，此連接部分連接上位元線之接點至第 $(n+1)$ 位元線之相鄰接點之中點，或者以其相對之角點 (corner point) 連接一位元線之接點與第 n 位元線之相鄰接點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線