



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217522

(11) (B1)

(51) Int. Cl.³

G 06 F 9/26

(22) Přihlášeno 24 03 81
(21) (PV 2128-81)

(40) Zveřejněno 26 03 82

(45) Vydáno 15 02 85

(75)

Autor vynálezu

KUBÍN PAVEL ing., LOUTOCKÝ DUŠAN ing., KVASILOVÁ HELENA ing., PRAHA

(54) Zapojení pro generaci nepřímé adresy dat

Vynález se týká zapojení pro generaci nepřímé adresy dat.

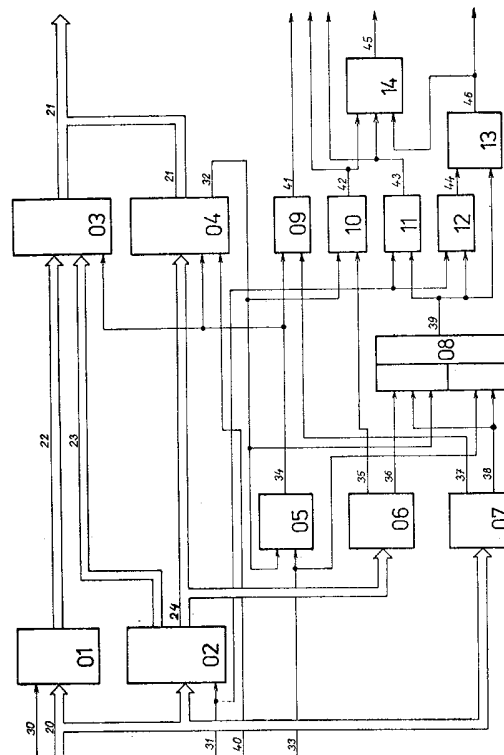
Obor: elektronické číslicové počítače, vnější paměti, řídicí jednotky magnetických diskových pamětí, univerzální kanály.

Rešeným technickým problémem jsou obvody provádějící rychlou změnu adresy dat přenášených do hlavní paměti nebo z ní při překročení adresy stránky.

Podstatu vynálezu tvoří sestava a zapojení obvodů, v nichž jsou pamatovány jednotlivé části adresy dat přenášených do hlavní paměti nebo z ní a obvodů, které řídí a kontrolují přesun těchto adres do registrů adresy stránky a adresy dat.

Možné obory využití: Elektronické číslicové počítače, řídicí jednotky magnetických diskových pamětí, přenosové jednotky číslicových počítačů.

Součástí přihlášky vynálezu je jeden výkres, na němž je schematicky znázorněna sestava a zapojení obvodů pro generaci nepřímé adresy dat.



Vynález se týká zapojení pro generaci nepřímé adresy dat, které je součástí řídicích modulů pro připojení přídatných zařízení s vysokou rychlostí přenosu dat k číslicovému počítači.

Při řešení řídicích modulů pro připojení přídatných zařízení s vysokou rychlostí přenosu dat pracujících v režimu nepřímé adresace dat je nutné po dosažení hranice stránky provést změnu obsahu obvodů provádějících adresaci hlavní paměti tak, že mezi přenosem poslední slabiky předchozí stránky a přenosem první slabiky nové stránky musí být do horních řádů těchto obvodů uložena adresa nové stránky. Tato adresa je postupně přebírána z tabulky takovýchto adres, uložené v hlavní paměti počítače.

Protože adresy nových stránek musí odpovídat svým formátem zavedeným pravidlům, je nutné při převzetí adresy nové stránky provést kontrolu této adresy. U zařízení s vysokou rychlostí přenosu dat je nutné tedy provádět tuto činnost převzetí a kontroly nové stránky velice rychle, to znamená, že prakticky nelze využít univerzálních prostředků zpracování informace, které jsou k dispozici v obvodech mikroprogramového řadiče řídicího toto zařízení.

Tento způsob vyžaduje tedy poměrně objemné obvodové prostředky, řešené obvody s vysokou rychlostí, a tudíž neumožňující použití obvodů vyšší integrace. Druhou možností je převzetí celé tabulky adresy stránek z hlavní paměti do vnitřních pamětí řídicího modulu příslušného přídatného zařízení, jejich kontrola a postupné používání během přenosu informace. Tento postup však není opět vhodný pro zařízení s velmi vysokou rychlostí přenosu dat a pro zařízení s nutností rychlého řazení za sebou zpracovávaných příkazů.

Výše uvedené nevýhody odstraňuje zapojení pro generaci nepřímé adresy dat, u kterého se obvody generace nepřímé adresy dat skládají z paměti horních řádů adresy, paměti spodních řádů adresy, registru adresy stránky, čítače adresy dat, prvního součtového obvodu, prvního detekčního obvodu, druhého detekčního obvodu, součtové součinového obvodu, prvního paměťového obvodu, druhého paměťového obvodu, třetího paměťového obvodu, čtvrtého paměťového obvodu, pátého paměťového obvodu a druhého součtového obvodu, podle vynálezu, jehož podstatou je, že vstupní datová sběrnice je připojena na první skupinu vstupů paměti horních řádů adresy a na první skupinu vstupů paměti spodních řádů adresy a na první skupinu vstupů druhého detekčního obvodu a dále první skupina výstupů paměti horních řádů adresy je spojena první skupinou vodičů s první skupinou vstupů registru adresy stránky a dále první skupina výstupů paměti spodních řádů adresy je spojena druhou skupinou vodičů s druhou skupinou vstupů registru adresy stránky a dále druhá skupina výstupů paměti spodních řádů adresy je spojena třetí skupinou vodičů s první skupinou vstupů čítače adresy dat a s první skupinou vstupů prvního detekčního obvodu a dále výstupní adresová sběrnice je připojena na první skupinu výstupů registru adresy stránky a na první skupinu výstupů čítače adresy dat a dále první, vstupní vodič je připojen na první vstup paměti horních řádů adresy a dále druhý, vstupní vodič je připojen na první vstup paměti spodních řádů adresy a na první vstup třetího paměťového obvodu a na první vstup čtvrtého paměťového obvodu a dále první výstup čítače adresy dat je spojen třetím vodičem s prvním vstupem součtového obvodu a se třetím vstupem součtové součinového obvodu a s prvním vstupem druhého paměťového obvodu a dále první výstup prvního součtového obvodu je spojen čtvrtým vodičem s prvním vstupem registru adresy stránky a s prvním vstupem čítače adresy dat a s prvním vstupem prvního paměťového obvodu a dále první výstup prvního detekčního obvodu je spojen pátým vodičem s druhým vstupem druhého paměťového obvodu a dále druhý výstup prvního detekčního obvodu je spojen šestým vodičem s prvním vstupem součtové součinového obvodu a dále první výstup druhého detekčního obvodu je spojen sedmým vodičem s druhým vstupem prvního paměťového obvodu a dále druhý výstup druhého detekčního obvodu je spojen osmým vodičem s druhým vstupem součtové součinového obvodu a s pátým vstupem součtové součinového obvodu a dále první výstup součtové součinového obvodu je spojen devátým vodičem s druhým vstupem třetího paměťového obvodu a s druhým vstupem čtvrtého paměťového obvodu a s druhým vstupem pátého paměťového obvodu a dále devátý, výstupní vodič je připojen na první výstup prvního paměťového obvodu a dále první výstup druhého paměťového obvodu je spojen desátým, výstupním

vodičem s prvním vstupem druhého součtového obvodu a dále první výstup třetího paměťového obvodu je spojen jedenáctým, výstupním vodičem s druhým vstupem druhého součtového obvodu a dále první výstup čtvrtého paměťového obvodu je spojen dvanáctým vodičem s prvním vstupem pátého paměťového obvodu a dále první výstup pátého paměťového obvodu je spojen třináctým, výstupním vodičem s třetím vstupem druhého součtového obvodu a dále čtrnáctý, výstupní vodič je připojen na první výstup druhého součtového obvodu a dále patnáctý, vstupní vodič je připojen na druhý vstup prvního součtového obvodu a na čtvrtý vstup součtově součinnového obvodu.

Hlavní výhodou zapojení podle vynálezu je, že převzetí a kontrola nové adresy stránky je prováděna během paralelně probíhajícího přenosu dat stránky, a to převážně standardními prostředky mikroprogramového řadiče, což vzhledem k poměrně značné době trvání přenosu dat stránky jednak umožňuje řešit tuto úlohu obvodu s malými nároky na rychlost, jednak vzhledem k možnosti použití obvodů vyšší integrace je objem těchto obvodů značně menší. Protože před zahájením přenosu dat jednoho příkazu je prováděn přenos a kontrola nejvýše dvou adres stránky, doba práce s adresami stránek je determinována a je natolik krátká, že lze splnit náročné požadavky na rychlé řazení za sebou zpracovávaných příkazů.

Na připojeném výkresu je schematicky znázorněno zapojení obvodů pro generaci nepřímé adresy dat, sestávající jednak z vlastních obvodů paměti a čítačů adresy, tvořených prvním stupněm, vytvořeným z paměti 01 horních řádů adresy a paměti 02 spodních řádů adresy, a druhým stupněm, vytvořeným z registru 03 adresy stránky a čítače 04 adresy dat, a z obvodů řídících přenos informace mezi těmito dvěma stupni a provádějících kontroly formátu adresy stránky, sestávajících z prvního součtového obvodu 05, prvního detekčního obvodu 06, druhého detekčního obvodu 07, součtově součinnového obvodu 08, prvního paměťového obvodu 09, druhého paměťového obvodu 10, třetího paměťového obvodu 11, čtvrtého paměťového obvodu 12, pátého paměťového obvodu 13 a druhého součtového obvodu 14.

Tyto obvody jsou navzájem propojeny tak, že vstupní datová sběrnice 20 je připojena na první skupinu vstupů paměti 01 horních řádů adresy a na první skupinu vstupů paměti 02 spodních řádů adresy a na první skupinu vstupů druhého detekčního obvodu 07 a dále první skupina výstupů paměti 01 horních řádů adresy je spojena první skupinou 22 vodičů s první skupinou vstupů registru 03 adresy stránky a dále první skupina výstupů paměti 02 spodních řádů adresy je spojena druhou skupinou 23 vodičů s druhou skupinou vstupů registru 03 adresy stránky a dále druhá skupina výstupů paměti 02 spodních řádů adresy je spojena třetí skupinou 24 vodičů s první skupinou vstupů čítače 04 adresy dat a s první skupinou vstupů prvního detekčního obvodu 06 a dále výstupní adresová sběrnice 21 je připojena na první skupinu výstupů registru 03 adresy stránky a na první skupinu výstupů čítače 04 adresy dat a dále první, vstupní vodič 30 je připojen na první vstup paměti 01 horních řádů adresy a dále druhý, vstupní vodič 31 je připojen na první vstup paměti 02 spodních řádů adresy a na první vstup třetího paměťového obvodu 11 a na první vstup čtvrtého paměťového obvodu 12 a dále první výstup čítače 04 adresy dat je spojen třetím vodičem 32 s prvním vstupem prvního součtového obvodu 05 a s třetím vstupem součtově součinnového obvodu 08 a s prvním vstupem druhého paměťového obvodu 10 a dále první výstup prvního součtového obvodu 05 je spojen čtvrtým vodičem 34 s prvním vstupem registru 03 adresy stránky a s prvním vstupem čítače 04 adresy dat a s prvním vstupem prvního paměťového obvodu 09 a dále první výstup prvního detekčního obvodu 06 je spojen pátým vodičem 35 s druhým vstupem druhého paměťového obvodu 10 a dále druhý výstup prvního detekčního obvodu 06 je spojen šestým vodičem 36 s prvním vstupem součtově součinnového obvodu 08 a dále první výstup druhého detekčního obvodu 07 je spojen sedmým vodičem 37 s druhým vstupem prvního paměťového obvodu 09 a dále druhý výstup druhého detekčního obvodu 07 je spojen osmým vodičem 38 s druhým vstupem součtově součinnového obvodu 08 a s pátým vstupem součtově součinnového obvodu 08 a dále první výstup součtově součinnového obvodu 08 je spojen devátým vodičem 39 s druhým vstupem třetího paměťového obvodu 11 a s druhým vstupem čtvrtého paměťového obvodu 12 a s druhým vstupem pátého paměťového obvodu 13 a dále devátý, výstupní vodič 41 je připojen na první výstup prvního paměťového obvodu 09 a dále první výstup druhého paměťového obvodu 10 je

spojen desátým, výstupním vodičem 42 s prvním vstupem druhého součtového obvodu 14 a dále první výstup třetího paměťového obvodu 11 je spojen jedenáctým, výstupním vodičem 43 s druhým vstupem druhého součtového obvodu 14 a dále první výstup čtvrtého paměťového obvodu 12 je spojen dvanáctým vodičem 44 s prvním vstupem pátého paměťového obvodu 13 a dále první výstup pátého paměťového obvodu 13 je spojen třináctým, výstupním vodičem 45 s třetím vstupem druhého součtového obvodu 14 a dále čtrnáctý, výstupní vodič 46 je připojen na první výstup druhého součtového obvodu 14 a dále patnáctý, vstupní vodič 33 je připojen na druhý vstup prvního součtového obvodu 05 a na čtvrtý vstup součtové součinnového obvodu 08.

Obvody generace nepřímé adresy dat pracují takto:

Položka z tabulky adres stránek je převzata mikroprogramovým řadičem a zkontrolována. Její horní řády jsou prostřednictvím vstupní datové sběrnice 20 uloženy do paměti 01 horních řádů adresy a současně jsou druhým detekčním obvodem 07 zkontrolovány. Spodní řády adresy jsou uloženy prostřednictvím vstupní datové sběrnice 20 do paměti 02 spodních řádů adresy.

Před zahájením přenosu dat je obsah těchto dvou pamětí vstupním signálem zpracovaným prvním součtovým obvodem 05 přesunut částečně do registru 03 adresy stránky a částečně do čítače 04 adresy dat. Po přesunu je možno okamžitě převzít adresu následující stránky a uložit ji stejným způsobem do paměti 01 horních řádů adresy a do paměti 02 spodních řádů adresy. Při přesunu dat je současně měněna hodnota čítače 04 adresy dat; dosáhne-li hodnota čítače 04 adresy dat hranice stránky, je generován výstupní signál, který po zpracování prvním součtovým obvodem 05 způsobí přesun obsahu paměti 01 horních řádů adresy a paměti 02 spodních řádů adresy částečně do registru 03 adresy stránky a částečně do čítače 04 adresy dat.

Při tomto přesunu je adresa dat, přesunovaná z paměti 02 spodních řádů adresy, kontrolována prvním detekčním obvodem 06. Z kontrol prováděných prvním 06 a druhým 07 detekčním obvodem jsou buď přímo, nebo prostřednictvím součtové součinnového obvodu 08 zpracována chybová hlášení pamatovaná na druhém 10 a třetím 11 paměťovém obvodu.

Prvním paměťovým obvodem 02 je generováno hlášení o tom, že paměť horních řádů adresy a paměť spodních řádů adresy jsou volné a mohou být opět naplněny novou adresou stránky mikroprogramovým řadičem. Obvod sestávající z čtvrtého 12 a pátého 13 paměťového obvodu detekuje, že nová adresa stránky nebyla dodána mikroprogramovým řadičem včas. Druhý součtový obvod 14 vytváří sdružené hlášení o chybě.

PŘEDMĚT VYNÁLEZU

Zapojení pro generaci nepřímé adresy dat, u kterého se obvody generace nepřímé adresy dat skládají z paměti horních řádů adresy, paměti spodních řádů adresy, registru adresy stránky, čítače adresy dat, prvního součtového obvodu, prvního detekčního obvodu, druhého detekčního obvodu, součtové součinnového obvodu, prvního paměťového obvodu, druhého paměťového obvodu, třetího paměťového obvodu, čtvrtého paměťového obvodu, pátého paměťového obvodu a druhého součtového obvodu, vyznačující se tím, že vstupní datová sběrnice (20) je připojena na první skupinu vstupů paměti (01) horních řádů adresy a na první skupinu vstupů paměti (02) spodních řádů adresy a na první skupinu vstupů druhého detekčního obvodu (07) a dále první skupina výstupů paměti (01) horních řádů adresy je spojena první skupinou (22) vodičů s první skupinou vstupů registru (03) adresy stránky a dále první skupina výstupů paměti (02) spodních řádů adresy je spojena druhou skupinou (23) vodičů s druhou skupinou vstupů registru (03) adresy stránky a dále druhá skupina výstupů paměti (02) spodních řádů adresy je spojena třetí skupinou (24) vodičů s první skupinou vstupů čítače (04) adresy dat a s první skupinou vstupů prvního detekčního obvodu (06) a dále výstupní adresová sběrnice (21) je připojena na první skupinu výstupů registru (03) adresy stránek a na první

skupinu výstupů čítače (04) adresy dat a dále první, vstupní vodič (30) je připojen na první vstup paměti (01) horních řádů adresy a dále druhý, vstupní vodič (31) je připojen na první vstup paměti (02) spodních řádů adresy a na první vstup třetího paměťového obvodu (11) a na první vstup čtvrtého paměťového obvodu (12) a dále první výstup čítače (04) adresy dat je spojen třetím vodičem (32) s prvním vstupem prvního součtového obvodu (05) a s třetím vstupem součtově součinnového obvodu (08) a s prvním vstupem druhého paměťového obvodu (10) a dále první výstup prvního součtového obvodu (05) je spojen čtvrtým vodičem (34) s prvním vstupem registru (03) adresy stránky a s prvním vstupem čítače (04) adresy dat a s prvním vstupem prvního paměťového obvodu (09) a dále první výstup prvního detekčního obvodu (06) je spojen pátým vodičem (35) s druhým vstupem druhého paměťového obvodu (10) a dále druhý výstup prvního detekčního obvodu (06) je spojen šestým vodičem (36) s prvním vstupem součtově součinnového obvodu (08) a dále první výstup druhého detekčního obvodu (07) je spojen sedmým vodičem (37) s druhým vstupem prvního paměťového obvodu (09) a dále druhý výstup druhého detekčního obvodu (07) je spojen osmým vodičem (38) s druhým vstupem součtově součinnového obvodu (08) a s pátým vstupem součtově součinnového obvodu (08) a dále první výstup součtově součinnového obvodu (08) je spojen devátým vodičem (39) s druhým vstupem třetího paměťového obvodu (11) a s druhým vstupem čtvrtého paměťového obvodu (12) a s druhým vstupem pátého paměťového obvodu (13) a dále devátý, výstupní vodič (41) je připojen na první výstup prvního paměťového obvodu (09) a dále první výstup druhého paměťového obvodu (10) je spojen desátým, výstupním vodičem (42) s prvním vstupem druhého součtového obvodu (14) a dále první výstup třetího paměťového obvodu (11) je spojen jedenáctým, výstupním vodičem (43) s druhým vstupem druhého součtového obvodu (14) a dále první výstup čtvrtého paměťového obvodu (12) je spojen dvanáctým vodičem (44) s prvním vstupem pátého paměťového obvodu (13) a dále první výstup pátého paměťového obvodu (13) je spojen třináctým, výstupním vodičem (46) s třetím vstupem druhého součtového obvodu (14) a dále čtrnáctý, výstupní vodič (45) je připojen na první výstup druhého součtového obvodu (14) a dále patnáctý, vstupní vodič (33) je připojen na druhý vstup prvního součtového obvodu (05) a na čtvrtý vstup součtově součinnového obvodu (08).

