

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4392740号  
(P4392740)

(45) 発行日 平成22年1月6日(2010.1.6)

(24) 登録日 平成21年10月23日(2009.10.23)

(51) Int.Cl.		F I		
<b>G 1 1 C</b>	<b>11/4074</b>	<b>(2006.01)</b>	G 1 1 C	11/34 3 5 4 F
<b>G 1 1 C</b>	<b>11/4093</b>	<b>(2006.01)</b>	G 1 1 C	11/34 3 5 4 P
<b>G 1 1 C</b>	<b>11/403</b>	<b>(2006.01)</b>	G 1 1 C	11/34 3 5 4 Q
			G 1 1 C	11/34 3 7 1 J

請求項の数 3 (全 31 頁)

(21) 出願番号	特願2001-261123 (P2001-261123)	(73) 特許権者	503121103
(22) 出願日	平成13年8月30日(2001.8.30)		株式会社ルネサステクノロジ
(65) 公開番号	特開2003-68079 (P2003-68079A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成15年3月7日(2003.3.7)	(74) 代理人	100081938
審査請求日	平成16年12月13日(2004.12.13)		弁理士 徳若 光政
		(72) 発明者	秋葉 武定
			千葉県茂原市早野3681番地 日立デバ イスエンジニアリング株式会社内
		(72) 発明者	上田 茂樹
			東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
		(72) 発明者	立花 利一
			千葉県茂原市早野3681番地 日立デバ イスエンジニアリング株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶回路

(57) 【特許請求の範囲】

【請求項1】

第1電源電圧を供給され、第1信号が入力された時に内部信号を出力する第1入力回路と、

上記第1電源電圧を供給され、複数の外部制御信号を受ける第2入力回路と、

上記第2入力回路が出力する複数の内部制御信号にตอบสนองして第2信号を出力する内部回路と、

上記第2信号を基にした出力信号を出力する出力回路と、

上記内部回路へ動作電圧を供給する電源回路とを有し、

上記電源回路は、上記内部信号にตอบสนองして上記動作電圧を上記内部回路へ選択的に供給可能とされ、

上記第1信号は、上記内部回路へ上記動作電圧の供給を停止する低消費電力モードを指示する信号であり、

上記出力回路は、上記低消費電力モードにおいて上記内部信号にตอบสนองしてその出力がハイインピーダンス状態に制御され、

上記第2入力回路は、上記低消費電力モードにおいて上記内部信号にตอบสนองし、上記複数の内部制御信号が上記第1電源電圧に制御されることを特徴とする半導体回路装置。

【請求項2】

請求項1において、

上記電源回路は、

10

20

上記動作電圧を上記内部回路へ供給する動作電圧生成回路と、  
 上記第1電源電圧を受け、上記内部信号に応答して上記第1電源電圧を選択的に上記動作電圧生成回路へ供給するスイッチ回路とを含むことを特徴とする半導体回路装置。

【請求項3】

請求項1において、

上記内部回路は、

複数のワード線と、

複数のデータ線と、

夫々が上記複数のワード線と複数のデータ線に接続された複数のメモリセルと、

上記複数のワード線に接続されたワード線駆動回路を含むメモリアレイとを含み、

上記動作電圧は、上記ワード線駆動回路に供給され、

上記制御信号は、上記複数のワード線と上記複数のデータ線とから所望のワード線及びデータ線を選択するためのアドレス信号を含むことを特徴とする半導体回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主としてリフレッシュ動作を必要とする半導体記憶回路に関し、等価的にスタティック型RAM(ランダム・アクセス・メモリ)と同等に使用できるようにした擬似スタティック型RAM等に利用して有効な技術に関する。

【0002】

【従来の技術】

DRAMをSRAM(スタティック型ランダム・アクセス・メモリ)と同様に扱うことができるようにするために、リード/ライト動作とリフレッシュ動作とを1サイクル中にそれぞれの時間を割り振って実施するようにしたり、あるいはリード/ライト動作とリフレッシュ動作とが競合したときにのみ上記2つの動作を実施するという、いわゆるタイムマルチプレクス方式のDRAMが、特開昭61-71494号公報において提案されている。

【0003】

【発明が解決しようとする課題】

上記のようなタイムマルチプレクス方式を含むDRAMにおいては、外部電源VDDが印加された状態では、チップが非動作(待機時)でもチップ内に搭載された内部電源回路での直流電流と、データ保持のためのリフレッシュ電流が消費される。さらに、周辺回路を構成するCMOS論理回路が停止した状態でも、MOSFETのオフ電流が消費される。このオフ電流はMOSFETのサブスレッショルド特性に起因し、例えばNチャンネル型MOSFETの場合では、ゲート電圧が0Vでオフしていても、ドレイン・ソース間に微少なオフ電流が流れる。例えば、約32M(メガ)ビットのような記憶容量のDRAMともなると、全体でのオフ電流は無視できなくなる。

【0004】

DRAMチップをシステムに搭載した場合は、他のメモリチップ(例えばROM等)と電源VDD、VSSおよび外部信号(アドレス信号AiやデータバスDQ)が共通化される。この場合、DRAMチップが非動作(待機時)でも、ROMチップのメモリアクセスのために電源VDD、VSSは印加しておく必要がある。したがって、DRAMチップは上記のような非動作でも、無駄に消費電流を流し続ける。

【0005】

例えば、バッテリー駆動により動作する携帯機器等に用いられるDRAMでは、幅広い温度領域での待機時電流低減が要求される。DRAMにおける待機時電流は、電源回路等が消費する直流電流、MOSFETの前記オフ電流、データリテンションのための前記リフレッシュ動作電流が挙げられる。上記のうち、最高動作補償温度近傍ではオフ電流が占める割合が大きいため、オフ電流カット用MOSFET(サブスレッショルドリーク対策用カットMOSFET)の採用等によるオフ電流低減が有効な待機時電流低減対策となる。

一方、より低い温度領域、特に日常的に使用される常温近傍では、殆どオフ電流が生しないため、リフレッシュ電流の占める割合が大きくなっていく。しかし、前記のような従来のDRAMにおいてはこのようなリフレッシュ電流を低減させる有効な手段は見られない。

#### 【0006】

上記DRAMにおいてSRAMとの完全な互換性を持たせたDRAMや、擬似SRAMと呼ばれるDRAMの中には、常に内部タイマによるリフレッシュ動作を行うものがある。これらのメモリは待機時であっても常にリフレッシュ動作を行うため、待機時電流の交流及び直流電流成分を切り分けた状態での解析が困難になる。又、常に内部タイマで決められた周期によるリフレッシュ動作電流しか評価できないため、リフレッシュサイクル延長によるさらなる低消費電流化を目的とした解析にも支障をきたす。さらに、データリテンション特性を評価する際も、内部タイマにより自動的にリフレッシュ動作が行われるため、真のデータリテンション特性が得られないという問題が生じる。

10

#### 【0007】

この発明の目的は、電源やアドレス信号、データバスを共有する複数のチップを搭載したシステムでの非動作時での消費電流を低減することが可能な半導体記憶回路を提供することにある。本発明の他の目的は、より低い温度領域、特に日常的に使用される常温近傍でのリフレッシュ動作電流削減により、待機時電流の低減を計ったDRAM等の半導体記憶回路を提供することに有る。本発明の更に目的は、より正確な特性評価が可能となるDRAM等の半導体記憶回路を提供する事にある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

#### 【0008】

##### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。メモリ回路内にて、VDDもしくはVSSと電源回路の間にそれぞれスイッチ手段を設け、外部信号から発生する内部信号にて上記スイッチ手段を制御することによって、上記メモリ回路の非動作時の電源回路の消費電流をカットし、この電源回路で発生する内部回路への内部電圧も供給が停止されてそこでのリーク電流もカットする。

#### 【0009】

上記消費電流をカットする場合には出力回路の出力端子をハイインピーダンスにしてシステム上の他の回路の動作を確保し、リフレッシュ用タイマを持つメモリ回路ではリフレッシュ用タイマも停止させてリフレッシュ動作を停止させる。

30

#### 【0010】

リフレッシュ動作を行うメモリ回路では、データリテンション特性が温度依存を持ち、低温領域での特性が向上する事に着目してデータリテンションのための内部リフレッシュタイマに温度依存を持たせ、内部リフレッシュ動作信号を強制的に停止させる信号を設け、リフレッシュ動作のタイミングを外部から制御できる機能を持たせる。

#### 【0011】

##### 【発明の実施の形態】

図1には、この発明に係るDRAMの一実施例のブロック図が示されている。この実施例のメモリチップ10aを構成する各回路ブロックは、公知のMOS集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。この実施例のDRAMは、特に制限されないが、スタティック型RAMとの置き換えを可能とするために、スタティック型RAMに対応した入出力インターフェイスを持つようにされる。

40

#### 【0012】

この実施例では、外部端子から供給される電源電圧VDDは、スイッチ手段20aを介して内部電源電圧VDDINとし、入力回路12と電源回路13aに動作電圧として供給される。上記スイッチ手段20aは、特に制限されないが、スタティック型RAMにおいて低消費電力モード(ディープパワーダウンモード、以下単にDPDという)を指示する信号に対応した制御信号CS2から発生するパワーダウン信号PDで制御される。つまり、

50

外部端子から入力された信号CS2は、外部端子から供給された電源電圧VDDにより定期的に動作状態にされる入力回路11に入力され、かかる入力回路11を通して上記パワーダウン信号PDが生成される。

【0013】

上記電源回路13aで形成された内部電圧VPERIは制御回路15と読出回路17に供給され、昇圧電圧VPPと降圧電圧VDLはメモリアレイ16に供給される。上記内部電圧VPERIで動作する読出回路17の出力MO、および制御回路15で形成された出力制御信号DOEPは、出力制御回路18aを介して出力回路19に入力される。出力制御回路18aもパワーダウン信号PDで制御される。

【0014】

上記出力回路11は、前記のように外部端子から供給される電源電圧VDDにより定期的に動作状態にされるものであるのに対して、上記読出回路17や制御回路15は、上記電源回路13aで生成された内部電圧VPERIにより動作させられる。上記内部電圧VPERIは、スイッチ手段20aのオフ状態に対応した電源回路13aの動作停止により遮断される。出力制御回路18aは、上記外部端子から供給される電源電圧VDDにより定期的に動作し、上記信号PDにより上記電源遮断が行われる制御回路15や読出回路17で形成された信号DOEP、MOの不定レベルによって出力回路19の動作が不安定になるのを防止する。

【0015】

この実施例では、前記のようなDPDでの消費電流を削減するために、リフレッシュ用のタイマ14も上記パワーダウン信号PDにより制御し、低消費電力モードでのリフレッシュ動作を停止させる。つまり、制御回路15や読出回路17及びメモリアレイ16の各動作電圧VPERI、VPP、VDLを遮断してしまうので、リフレッシュ用のタイマ14も動作させる意味がないので停止させる。

【0016】

この実施例のDRAMにおいては、メモリアレイ16は、複数のビット線BLと複数のワード線WLに対応して設けられ、周期的に記憶情報の保持のためのリフレッシュ動作を必要とする複数のメモリセルを含む。このメモリセルは、例えば情報記憶用キャパシタとアドレス選択MOSFETから構成される。アドレス選択用MOSFETのゲートは上記ワード線に接続され、ソース、ドレイン経路の一方は上記ビット線に接続され、ソース、ドレイン経路の他方は上記記憶用キャパシタの記憶ノードに接続される。

【0017】

上記ビット線は対とされて、差動ラッチ回路からなるセンスアンプSAの入出力ノードに結合される。ワード線の選択動作によりビット線対の一方にメモリセルが接続され、他方のビット線にはメモリセルが接続されない。センスアンプは、上記メモリセルが接続されないビット線のプリチャージ電圧を参照電圧とし、メモリセルが接続されたビット線に読み出された読み出し信号との微小電位差をハイレベルとロウレベルに増幅して、ワード線の選択動作によって失われかかった記憶キャパシタの電荷の状態をもとの記憶状態に戻すという再書き込み（又はリフレッシュ動作）を実施する。このような構成は、周知のダイナミック型RAMのそれと同一のものをを用いることができる。

【0018】

上記メモリアレイ16においては、ワード線WLの選択のためにワードドライバWDが設けられ、ビット線BLの選択のためにカラム選択回路が設けられる。上記昇圧回路VPPは、上記ワードドライバWDに供給されてワード線WLの選択レベルを高くする。降圧回路VDLは、センスアンプSAの動作電圧とされてメモリセルに記憶されるハイレベルを規定する。上記VDLとVPPとの差電圧は、上記アドレス選択用MOSFETのゲート、ソース間の実効的なしきい値電圧と同じか若干高くされて、上記キャパシタへのフルライトを可能にする。

【0019】

上記入力回路12は、アドレス信号Aiやチップ選択信号CS1Bを受ける入力回路であ

10

20

30

40

50

り、入力された信号 C 1 B とアドレス信号 A B i を制御回路 1 5 に供給する。制御回路 1 5 は、特に制限されないが、アドレス遷移検出回路を含み、ロー系コントロールやカラム系のタイミング信号等を生成する。

#### 【 0 0 2 0 】

上記のようなダイナミック型メモリセルは、記憶キャパシタに保持された情報電荷が時間の経過とともに失われしまう。そこで、ダイナミック型メモリセルでは、かかる情報電荷が失われる前に読み出し動作を行ない、もとの電荷の状態に戻すというリフレッシュ動作を必要とする。リフレッシュ用のタイマ 1 4 は、上記メモリセルの情報保持能力に対応した一定時間信号を形成する。このリフレッシュ用のタイマ 1 4 の出力信号 R F は、上記制御回路 1 5 に入力され、リフレッシュアドレスカウンタで指定されたアドレスのリフレッシュを実行するのに用いられる。

10

#### 【 0 0 2 1 】

特に制限されないが、この実施例の D R A M では、制御回路 1 5 において外部のローアドレス信号の遷移、つまり、ローアドレス遷移検出回路の出力信号と内部のリフレッシュタイマの出力信号 R F のうち早いほうを検出して、通常メモリアクセスかリフレッシュ動作のどちらかを実行させ、実行後は未実行動作を実行させる制御をしている。これにより、内部リフレッシュ動作と外部からのアクセスがぶつかり合っても不具合を生じないため、外部からのリフレッシュ要求を不要にできる。

#### 【 0 0 2 2 】

図 2 には、前記図 1 の電源回路の内部電圧の一実施例の特性図が示されている。外部端子から供給される電源電圧 V D D に対応した内部電圧 V D D I N に対して、内部降圧電圧 V D L は 1 . 8 V 、周辺回路用の内部電圧 V P E R I は 2 . 3 V の一定電圧に降圧される。昇圧電圧 V P P は 3 . 6 V に昇圧される。特に制限されないが、昇圧電圧 V P P は、前記 V P E R I 又は V D L をチャージポンプ回路に供給して形成することにより安定化される。

20

#### 【 0 0 2 3 】

図 3 には、前記図 1 の入力回路 1 1 の一実施例の回路図が示されている。入力回路は、C S 2 信号を受けるためのものであり、外部端子から供給された電源電圧 V D D 及び回路の接地電位 V S S により動作状態にされる 3 段の C M O S インバータ回路 2 6 、 2 7 及び 2 8 から構成される。このように動作電圧 V D D , V S S が定常的に供給されるため、いつでも動作可能であり、信号 C S 2 の変化に対応したパワーダウン信号 P D を形成する。この実施例では、3 つのインバータ回路 2 6 ~ 2 8 により、パワーダウン信号 P D が外部信号 C S 2 の反転信号となっているが、これに限定されず、外部信号で制御されて、D P D モードのときにスイッチ手段 2 0 a をオフにする信号で有れば良い。

30

#### 【 0 0 2 4 】

図 4 には、前記図 1 の出力制御回路 1 8 a の一実施例の回路図が示されている。出力制御回路 1 8 a に入力される入力信号 M O 及び D O E P は、前記のような内部電圧 V P E R I に対応した信号振幅であるのに対し、出力回路 1 9 の動作電圧は前記のように電源電圧 V D D であるので、レベル変換回路 3 0 が設けられる。レベル変換回路 3 0 は、V P E R I レベルの信号 M O と D O E P を V D D レベルの信号 C O と D O E に変換する。入力信号 D O E P に対応したレベル変換部は、P チャンネル型 M O S F E T 3 1 と 3 3 をラッチ形態にし、上記 M O S F E T 3 1 のドレインと入力信号 D O E P との間にゲートに V P E R I が印加された N チャンネル型 M O S F E T 3 2 と、上記入力信号 D O E P を受ける N チャンネル型 M O S F E T 3 4 とにより構成される。入力信号 M O に対応したレベル変換回路 3 0 も同様である。

40

#### 【 0 0 2 5 】

電源電圧 V D D で動作するインバータ回路 3 9 によって、パワーダウン信号 P D を反転した P D B 信号を形成し、レベル変換部に付加された N チャンネル型 M O S F E T 3 5 、 P チャンネル型 M O S F E T 3 6 を制御する。つまり、信号 P D B のロウレベルによって、M O S F E T 3 5 がオフとなり、M O S F E T 3 6 がオンとなる。これによって入力信号

50

DOEPに因らず内部ノードN0がハイレベルに固定されるとともに、DOEをロウレベルに固定し、チップの出力DQをハイインピーダンスにする。このレベル変換回路30においては、上記のようなDPDモードでは、MOSFET35のオフ状態により直流電流がカットされて低消費電力となる。

#### 【0026】

図5には、前記図1の出力回路19の一実施例の回路図が示されている。この実施例の出力回路は、出力制御信号DOEで制御されるNANDゲート回路42、43およびインバータ回路44で、Pチャンネル型の出力MOSFET40とNチャンネル型の出力MOSFET41とを制御する。データ信号COと、インバータ回路45により形成された反転信号は、上記ゲート回路43と42の他方の入力に供給される。出力制御信号DOEがロウレベルのとき、駆動信号DQPがハイレベル、駆動信号DQNがロウレベルとなり、データ信号COのレベルに無関係に上記出力MOSFET40と41を共にオフ状態にして出力DQをハイインピーダンスとする。上記データ信号COが前記出力制御回路18により対の差動信号とされる場合は、インバータ回路45が不要となり、バー信号（反転信号）をNANDゲート回路42に入力させればよい。

10

#### 【0027】

図6には、前記図1のDRAMの動作の一例を説明するための動作波形図が示されている。DRAMチップ10aは、電源電圧VDD、信号CS2、CS1Bによって、電源オフ、DPD（ディープパワーダウン）、待機、動作の4種の状態を持つようにされる。

#### 【0028】

電源電圧VDDが印加された状態で、信号CS2がロウレベルのときDPDモード22となる。このとき、パワーダウン信号PDはハイレベルとなり、スイッチ手段20aがオフしてVDDINがロウレベル（0V）になる。したがって入力回路12と電源回路13aに対して電源遮断が行われて回路動作が停止し、かかる電源回路13aの動作停止により内部電源の電圧VPERI、VPP、VDLはすべてロウレベル（=0V）となる。これによって、電源回路13a、入力回路12、制御回路15、メモリアレイ16、読出回路17の消費電流が0となる。また、PD号によってタイマ14も停止し、リフレッシュ動作電流も0となる。さらに出力制御回路18aでは、PD信号によって出力回路の活性化信号DOEがロウレベルとなり、出力DQはハイインピーダンスとなる。

20

#### 【0029】

電源電圧VDDが印加された状態で、信号CS2がハイレベルとなると待機状態23となる。パワーダウンPD信号がロウレベルとなり、スイッチ手段20aがオンして内部電源電圧VDDINがハイレベルとなり、電源回路13aが動作状態となり、所定の電圧VPERI、VPP及びVDLを発生する。なお、この待機期間では、タイマ14が動作して、一定の周期25ごとにRF信号を出力し、リフレッシュ動作をしてメモリアレイ16のデータを保持する。

30

#### 【0030】

電源電圧VDDが印加された状態で、CS2がハイレベルで、CS1Bがロウレベルとなると動作時24とされ、外部アドレス信号Aiにしたがってメモリアレイ16を選択し、データをMOに読み出す。制御信号DOEPによって出力回路が活性化しDQが出力される。そして、電源オフ状態21では、外部電源電圧VDDそのものが遮断されるから、すべての回路が回路動作を停止する。

40

#### 【0031】

図7には、前記図4の出力制御回路及び図5の出力回路の動作の一例を説明するための動作波形図が示されている。待機時には、DOEはロウレベルで、出力DQはハイインピーダンスにされる。動作時には、DOEPにしたがってDOEがハイレベルになり、読出しデータ信号MOおよびCOにしたがって、出力DQが出力される。そして、DPD時には、PD信号がハイレベルになり、内部電源が停止されてDOEPやMOが不定となっても、DOEPやMOに関係なくDOEがロウレベルになる。したがって、出力DQはハイインピーダンスとされる。

50

## 【0032】

図8には、この発明に係るDRAMの他の一実施例のブロック図が示されている。この実施例では、VDDを2.5V程度に低くして使用する場合に向けられている。このため、この実施例では、前記図1の実施例と異なる部分は、周辺回路に供給される動作電圧VPERI = VDDとするものである。このため、制御回路15や読出回路17には、スイッチ手段20bを追加し、かかるスイッチ手段20bにより外部から供給される電源電圧VDDが内部電圧VPERIとして上記各回路15, 17に供給される。

## 【0033】

上記のような動作電圧の設定に対応し、電源回路13bは、内部降圧電圧VDLと昇圧電圧VPPのみ発生するものとされる。この実施例でも、リーク電流低減のため、DPD時にVPERIをロウレベルとするため、スイッチ手段20bが必要となり、前記入力回路11で形成されたパワーダウン信号PDによりスイッチ20a及び20bが前記同様に制御される。他の構成は前記図1の実施例と同じで、動作も同じで同様の効果を得ることができる。

10

## 【0034】

図9には、前記図8の電源回路の内部電圧の一実施例の特性図が示されている。この実施例では、VPERI = VDDとなる。VDLやVPPは前記図8と同様である。つまり、外部端子から供給される電源電圧VDDに対応して周辺回路用の動作電圧VPERIは同じくされ、内部降圧電圧VDLは1.8V、昇圧電圧VPPは3.6Vに昇圧される。

## 【0035】

図10には、前記図8の出力制御回路18bの一実施例の回路図が示されている。この実施例においては、待機時および動作時は、VPERI = VDDのため、レベル変換が不要となる。したがって、図4のレベル変換機能が省略されて、論理回路50は、Pチャンネル型MOSFET51とNチャンネル型MOSFET52により信号DOEPを受けるバッファ回路を構成し、信号PDBにより制御されるNチャンネル型MOSFET53とPチャンネル型MOSFET54が前記図4の回路と同様に設けられる。つまり、論理回路は、51, 52, 53, 54からなるNANDゲート回路を構成して信号DOEPとPDが供給され、その出力信号がMOSFET55, 56からなるインバータ回路を介して信号DOEとして出力される。入力信号MOに対応した論理回路50も同様である。

20

## 【0036】

図11には、前記図10の出力制御回路18bの動作の一例を説明するための動作波形図が示されている。待機時23は、制御回路15で発生するDOEP信号がロウレベルで、DOEをロウレベルにし、チップの出力DQをハイインピーダンスにしている。動作時24には、読出回路17の出力MOに従ってデータ信号COを出力するとともに、DOEPもハイレベルになってDOEをハイレベルにする。これによって出力回路19を活性化する。

30

## 【0037】

DPD時22には、PD信号がハイレベルになり、PDB信号がロウレベルになる。このため、DOEは強制的にロウレベルに固定され、チップの出力DQがハイインピーダンスになる。DPD時には、VPERIへの電圧供給がカットされるため、VPERIで動作するMO、DOEPが不定となるが、PDBがロウレベルとなることで、出力CO、DOEはロウレベルに固定される。また、Nチャンネル型MOSFET53がオフしているため貫通電流も流さない。

40

## 【0038】

前記図1の実施例では、スイッチ手段20aは、入力回路12および電源回路13aに電圧VDDINと電流を供給するため大きな電流が流れる。スイッチ手段20aの寄生抵抗による電圧降下を小さくするためには、スイッチ手段20aを構成するMOSFETの定数を非常に大きくする必要があるが、レイアウト面積が大きくなるといった問題が生じたり、チップ内にVDDIN配線が加わり、配線の寄生抵抗も小さくするため、例えば数十μm程度の太い配線が必要となり、レイアウト面積がさらに増加する場合のあることも考

50

えられる。

【 0 0 3 9 】

図 1 2 には、この発明に係る D R A M の他の一実施例のブロック図が示されている。この実施例では、前記図 1 の実施例における前記のような問題を考慮して、入力回路 1 2 c 及び電源回路 1 3 c で、それぞれ別個に D P D 時の電流カットを行うような工夫を行っている。つまり、外部端子から供給される電源電圧 V D D がそれぞれ入力回路 1 2 c 及び電源回路 1 3 c に定常的に供給されるとともに、入力回路 1 2 c、電源回路 1 3 c に信号 P D を供給して個別に D P D 時の電流カットを行うようにするものである。その他は、前記図 1 と同様で動作も同じである。

【 0 0 4 0 】

この実施例では、内部電源 V D D I N の配線が不要となり、レイアウト面積が低減できる。後述するように、電源回路 1 3 c では、電圧と電流を供給する出力用 M O S F E T のゲート電圧を制御することで、D P D 時に電流がカットされる。これにより、図 1 のスイッチ手段 2 0 a のような電流供給能力の大きな M O S F E T は不要となり、出力用 M O S F E T のゲート電圧を制御する小さな回路だけで構成でき、レイアウト面積を低減できる。

【 0 0 4 1 】

図 1 3 には、前記図 1 2 の入力回路 1 2 c の一実施例の回路図が示されている。入力回路 1 2 c は、外部入力信号に対応した複数の論理回路 6 5 で構成される。外部入力信号 C S 1 B に対応した論理回路 6 5 が代表として例示的に示されているように、M O S F E T 6 6 , 6 7 , 6 8 , 6 9 からなる N O R ゲート回路と、M O S F E T 7 0 , 7 1 からなるインバータ回路で構成され、外部端子から供給された電源電圧 V D D で動作させられる。

【 0 0 4 2 】

上記信号 C S 1 B を含む他の信号 A 0 ~ A i に対応した各論理回路 6 5 には、パワーダウン信号 P D 信号が制御信号として共通に供給される。この実施例では、外部入力信号（チップ選択信号 C S 1 B , アドレス信号 A i ）とその出力信号（C 1 B , A B i ）は同相の場合で示してあるが、出力信号を受ける次段の回路によっては、論理回路 6 5 にインバータ回路を追加して、反転した信号としてもよい。

【 0 0 4 3 】

図 1 4 には、前記図 1 3 の入力回路 1 2 c の動作の一例を説明するための動作波形図が示されている。待機時 2 3 および動作時 2 4 には、信号 C S 2 のハイレベルに対応してパワーダウン信号 P D はロウレベルとなり、外部入力信号（チップ選択信号 C S 1 B , アドレス信号 A i ）にしたがって C 1 B , A B i が出力され、次段の内部回路が動作する。

【 0 0 4 4 】

信号 C S 2 のロウレベルに対応した D P D 時 2 2 にはパワーダウン信号 P D がハイレベルになり、各論理回路 6 5 の M O S F E T 6 6 がオフするとともに M O S F E T 6 9 がオンする。これによって内部ノード N 2 がロウレベルに固定され、出力（C 1 B , A B i ）はハイレベルに固定される。外部入力信号が遷移しても、出力（C 1 B , A B i ）は変化しないため、消費電流が 0 になる。また、論理回路 6 5 の P チャンネル型 M O S F E T 6 6 がオフしているため、外部入力信号が中間電位でも貫通電流を流さない。

【 0 0 4 5 】

図 1 5 には、前記図 1 2 の入力回路 1 2 c の他の一実施例の回路図が示されている。この実施例の入力回路 1 2 c は、アドレス信号 A 0 ~ A i を受ける各論理回路 6 5 に、パワーダウン信号 P D ではなくチップ選択信号 C S 1 B の出力 C 1 B を入力していることが前記図 1 3 の実施例と異なる。待機時にチップ選択信号 C S 1 B がハイレベルとなり、出力 C 1 B もハイレベルとなる。これによってアドレス信号 A 0 ~ A i を受ける各論理回路 6 5 は、前記図 1 3 の実施例での D P D 時と同様にハイレベルに固定され待機時の消費電流を低減できる。この構成は、パワーダウン信号 P D を形成する入力回路 1 1 の負荷が分散されて軽くすることができる。

【 0 0 4 6 】

前記図 1 3、図 1 5 の実施例において、アドレス信号 A i を用いて入力回路 1 2 c の説明

10

20

30

40

50



を行うものであるが、メモリチップによってはその他の外部入力信号（書込制御信号やデータ入力信号など）についても同様に適用できる。ただし、DPDを制御するCS2を受ける入力回路11は除く。

【0047】

前記図1、図8、図12の各実施例において、書き込みデータを入力する信号経路が省略されているが、出力回路19にデータ入力回路が含まれ、読出回路17に書込アンプが含まれるものであると理解されたい。端子DQは、データの出力と入力の双方に用いられるものであるが、必要ならばデータ入力端子を別個に設けるものであってもよい。

【0048】

図16には、前記図12の電源回路の一実施例のブロック図が示されている。この実施例では、基準電圧回路73、降圧回路74、75、電圧センサ76とポンプ回路77およびスイッチ手段78で構成され、PD信号およびインバータ回路79で反転したPDB信号で各回路73ないし77が制御される。

10

【0049】

基準電圧回路73、降圧回路74、75、電圧センサ76では、各回路にてVDDおよびVSSとの間にスイッチ手段(80~87)がそれぞれに設けられる。上記スイッチ手段80~87は、上記インバータ回路79で形成されたPDB信号でスイッチ制御される。DPD時には各スイッチ手段80~87がオフとなり各回路73~77への電圧と電流の供給をカットされる。これによって、各回路73~77での消費電流は0となる。また、出力電圧であるVPERI、VDLは電圧の供給が停止するため0Vまで放電される。ポンプ回路77では、PD信号によってポンプ動作が停止して消費電流を0となる。DPD時にはスイッチ手段78がオフし、昇圧電圧VPPも電圧の供給が停止されて0Vまで放電される。

20

【0050】

以上のように、電源回路を構成する全電源回路での消費電流が0となる。また、これら電源回路の動作停止により内部電圧VPERI、VDL、VPPも電圧の供給が停止されて0Vになるため、これらの内部電圧VPERI、VDL、VPPで動作する回路(図12の制御回路15、メモリアレイ16、読出回路17)でも消費電流が0となる。

【0051】

図17には、前記図16の基準電圧回路の一実施例の回路図が示されている。基準電圧回路は、基準電圧発生回路と基準電圧レベル変換回路とで構成される。基準電圧発生回路は、バイポーラ型トランジスタ97と98のエミッタ電流密度の差に対応したベース、エミッタ間の差電圧を取り出し、それを抵抗94に流して定電流を形成し、それを電流ミラー回路により抵抗101に流して基準電圧VREFを形成する。抵抗101にはトランジスタ102のベース、エミッタ間電圧VBEが与えられて温度補償が行われる。

30

【0052】

基準電圧レベル変換回路は、上記基準電圧VREFと、直列抵抗110~113に電流I0を流すことにより形成されたノードN10の電圧を差動MOSFET105と106で比較し、両者が一致するような制御電圧VPGを形成し、上記電流I0を形成するMOSFET109を制御する。上記の差動回路の動作によって、基準電圧VREFとノードN10の電位が一致し、それを直列抵抗回路110~113により分圧し、レベル変換された基準電圧VR1、VR2及びVRTRが形成される。

40

【0053】

DPD時の電流カットのために追加したMOSFET95、96のNチャンネル型MOSFETと、99、108、114のPチャンネル型MOSFETが追加される。107のNチャンネル型MOSFETは差動アンプの動作電流を形成する素子であり、それをPDB信号により制御することにより、DPD時の電流カットに利用するものである。

【0054】

この実施例の基準電圧回路の待機時及び動作時の説明は次の通りである。VREFは温度、VDDに依存しない一定電圧となる。基準電圧レベル変換回路では、VREFと内部ノ

50

ードN10が同電圧となるようにVPGを制御する。Pチャンネル型MOSFET109に電流I0が流れる。この電流I0と抵抗110, 111, 112, 113によって内部ノードN10の電圧が決まる。この電流I0は温度、VDDに依存しない一定電流となる。各出力電圧VR1, VR2, VTRは電流I0と抵抗110, 111, 112, 113で決まり、温度、VDDに依存しない一定電圧となる。

【0055】

DPD時にはPDBがロウレベルとなりMOSFET95、96、107がオフしてVSS側との電流経路をカットする。一方、Pチャンネル型MOSFET99がオンしてノードN3を電源電圧VDDに引き上げる。これによって、N3をゲート入力しているPチャンネル型MOSFET90, 91, 100がオフして、電源電圧VDDからの電流をカットする。また、同様にPチャンネル型MOSFET108, 114がオンしてノードN8およびVPGをVDDに引き上げる。これによってPチャンネル型MOSFET103, 104, 109がオフして、電源電圧VDDからの電流をカットする。このように、VDDおよびVSSからの電流をカットされるため消費電流は0となる。

10

【0056】

各出力電圧VR1, VR2, VTRは抵抗110, 111, 112, 113で0Vに放電される。PDB信号によりスイッチ制御されるMOSFET95、96は動作の高速化と安定化のために加えているもので、省略することも可能である。

【0057】

図18には、前記図16の降圧回路の一実施例の回路図が示されている。この実施例は、基準電圧VR1の2倍の電圧VPERIを発生する回路である。この回路は、MOSFET117と118を含む差動アンプ部と、MOSFET122を含む出力部で構成される。つまり、出力MOSFET122のドレインと、回路の接地電位との間にダイオード形態のPチャンネル型MOSFET123と124を設けられ、上記出力MOSFET122から電流が供給される。上記両MOSFET123と124の接続点であるノードN13の電圧と基準電圧VR1とを一致させるように差動アンプが動作し、2つのダイオード形態のMOSFET123と124の直列回路で形成される電圧を、基準電圧VR1の2倍の電圧VPERIに設定する。

20

【0058】

この実施例では、電流カット用にPチャンネル型MOSFET120、121を追加される。MOSFET119は差動アンプの動作電流を形成するものであり、これにPDB信号を供給してDPD時の動作電流をカットするために利用するものである。

30

【0059】

待機時および動作時においては、前記のようにMOSFET123と124からVPERIの1/2の電圧をノードN13に形成する。差動アンプ部ではVR1とノードN13の電圧を比較し、VR1 > N13の時はノードN11の電位が下がり、Pチャンネル型MOSFET122によりMOSFET123、124への電流供給を増やす。逆にVR1 < N13の時はノードN11の電位が上がりPチャンネル型MOSFET122によりMOSFET123、124への電流供給を減少させる。VR1 = N13となるように制御し、VPERIを一定電圧に保つようにするものである。

40

【0060】

DPD時には、PDB信号がロウレベルになり、MOSFET119がオフし、VSS側との電流がカットされる。一方、Pチャンネル型MOSFET120、121がオンしてノードN11, N12をVDDまで引き上げる。これによってPチャンネル型MOSFET115、116、122がオフとなり、VDDからの電流もカットされる。上記により、DPD時の消費電流を0にできる。

【0061】

降圧電圧VPERIに電流を供給するPチャンネル型MOSFET122には、大きな駆動能力が必要であり、レイアウト面積も大きい。前記図1の実施例のようにスイッチ手段20aをPチャンネル型MOSFETで構成して、このPチャンネル型MOSFET12

50

2とVDDの間に挿入する場合、各Pチャンネル型MOSFETは、図18の場合の2倍の大きさが必要となり、レイアウト面積は4倍と大きくなる。一方、図18の構成の場合は、MOSFET122のゲートに入力するノードN11をVDDに引き上げるPチャンネル型MOSFET121は駆動能力が小さくてもよいためレイアウト面積を小さくできる。

#### 【0062】

図19には、前記図16の降圧回路の一実施例の回路図が示されている。この実施例は、基準電圧VR2の2倍の電圧VDLを発生する降圧回路である。前記図18の実施例に対して、差動アンプ部を2段構成として、差動アンプの出力ノードN17の振幅を大きくしている点異なる。その他は図18と同様である。差動アンプの出力ノードN17の振幅を大きくすることによって、出力用Pチャンネル型MOSFET141のトランジスタサイズを小さくすることができる。つまり、ゲート、ソース間電圧Vgsを大きくできるために、トランジスタサイズを小さくしても大きな電流を流すことができる。DPD時のために電流カット用にPチャンネル型MOSFET138, 139, 140が追加される。以下は図18の実施例と同様である。

10

#### 【0063】

図20には、前記図16の電圧センサの一実施例の回路図が示されている。この実施例の電圧センサは、VPPの電圧が一定電圧より低くなると、これを感知してVPSをハイレベルにし、ポンプ回路を活性化してVPPの電圧を高くするためのものであり、参照電圧部、差動アンプ部、出力部で構成される。ダイオード形態のPチャンネル型MOSFET145、146及び147はVPPを分圧するものであり、出力ノードN20から(VPP - VDL) / 2の分圧電圧を形成する。この電圧N20と基準電圧VR2とを差動MOSFET151と152で比較し、その結果に従ってインバータ回路155から検出信号VPSを出力する。この実施例では、差動アンプ部が1段構成で説明したが、図19で使用した2段構成の差動アンプでもよい。

20

#### 【0064】

DPD時の電流カット用にPチャンネル型MOSFET148, 154が追加される。Nチャンネル型MOSFET153は、前記同様に差動アンプの構成素子であるが、このMOSFET153のゲートにPDB信号を供給し、DPD時の差動アンプの電流カットに利用するものである。

30

#### 【0065】

図21には、前記図20の電圧センサの動作の一例を説明するための動作波形図が示されている。昇圧電圧VPPが供給される回路(図12のメモリアレイ16のワードドライバWD)が動作するとVPPが低くなる。これによってN20の電圧が下がりN20 < VR2 (= 0.9V)となると、N21がロウレベルとなり、出力VPSがハイレベルとなる。このとき、VPPのポンプ回路が動作してVPPが上昇する。ワード線が非選択のときにポンプ回路が動作すること等によりVPPが上昇してN20の電圧が上がりN20 > VR2 (= 0.9V)となると、N21がハイレベルとなり、出力VPSがロウレベルとなる。これによって、VPPのポンプ回路の動作が停止する。このような電圧センサの出力VPSによりポンプ回路の動作が制御されてほぼ一定と見做させられるような昇圧電圧VPPを得ることができる。

40

#### 【0066】

DPD時においては、PDB信号がロウレベルになり、MOSFET153がオフしてVSSへの電流をカットする。一方、Pチャンネル型MOSFET148、154がオンしてノードN21、N22をVDDに引き上げる。このため、Pチャンネル型MOSFET149、150がオフして、VDDからの電流をカットする。またノードN21がVDDに固定されるため、インバータ回路155は出力VPSをロウレベルに固定し電流も流さない。

#### 【0067】

図22には、前記図16のVPPポンプ回路77の一実施例の回路図が示されている。ポ

50

ンプ回路77は、発振回路160と昇圧容量161、162、163および電荷の転送用Nチャンネル型MOSFET167、さらにプリチャージ用Nチャンネル型MOSFET164、165、166で構成される。ポンプ回路の出力電圧VPPHは、特に制限されないが、スイッチ手段78を介して内部電圧VPPに供給される。上記スイッチ手段78は、Pチャンネル型MOSFET168で構成されてPD信号で制御される。

【0068】

昇圧電圧VPPは、前記図12の実施例のメモリアレイ16のワードドライバWDに供給される。ワードドライバWDの出力はPチャンネル型MOSFET170とNチャンネル型MOSFET171で構成され、出力信号がワード線WLの選択レベルとされる。待機状態ではメインワード線MWLがVPPとなり、Pチャンネル型MOSFET170がオフしているが微少なオフ電流が流れる。ワード線WLの本数は、記憶容量が32MビットのようなDRAMで、約16000本と多いため、微少なオフ電流でもチップ全体では無視できない電流(数十 $\mu$ A)となる。このため、DPD時には、VPPへの電流供給をカットすることに意味がある。前記のようにスイッチ手段78をPチャンネル型MOSFET168で構成し、これをVDD振幅のPD信号で制御することで、VPPへの電流供給を完全にカットできる。

10

【0069】

図23には、前記図22の発振回路160の一実施例の回路図が示されている。この発振回路160は、NANDゲート回路172とインバータ回路173~176からなるリングオシレータで構成される。上記NANDゲート回路172とインバータ回路173~176を一定電圧の降圧電圧VDLで動作させることで発振周期を一定化させる。つまり、電源電圧VDDで動作させると、スペック内で電圧が変わり、発振周期が短くなり過ぎると、ポンプ回路の変換効率が低下するし、発振周期が長過ぎると電流の供給能力が低下するという問題が生じる。この実施例では、一定電圧VDLにより動作させることにより、所望の発振周期のパルスを安定的に得ることができる。

20

【0070】

特に制限されないが、上記リングオシレータは電圧センサの出力信号VPSで制御され、VPSがハイレベルのとき発振、VPSがロウレベルのとき停止する。このような発振回路の制御によって、前記のようなポンプ回路の動作の制御が行われる。177はレベル変換回路で、インバータ回路186により相補的なパルスN31とN32を形成し、Nチャンネル型MOSFET182と185とPチャンネル型MOSFET181と184からなるCMOSインバータ回路の入力に供給し、上記Pチャンネル型MOSFET181と184のドレインと電源電圧VDDとの間に、互いに他方のインバータ回路の出力を受けてラッチ動作を行うようなPチャンネル型MOSFET180と183を設けて、リングオシレータの出力ノードN30をVDLレベルからVDDレベルに電圧を変換する。

30

【0071】

PDB信号により制御されるNチャンネル型MOSFET189とPチャンネル型MOSFET179を追加し、DPD時には、上記MOSFET189をオフに、179をオンにして出力信号OSCをロウレベルに、OSCBをハイレベルに固定する。

【0072】

図24には、前記図22のポンプ回路の動作の一例を説明するための動作波形図が示されている。待機時および動作時には、VPSがハイレベルになるとOSCによって内部ノードN24が2VDDまで昇圧され、MOSFET167と168を介してVPPに電荷が転送される。

40

【0073】

DPD時には、N24、N25ともにVDDに固定される。ポンプ回路の出力VPPHはNチャンネル型MOSFET168によってVDD-Vthまでしか下がらない。しかし、スイッチ手段78のPチャンネル型MOSFET168のゲートPDはVDDであるため、ソースよりゲート電圧が高くなり、Pチャンネル型MOSFET168は完全にオフして、VPPは0Vまで放電される。このため、ワードドライバWDでのオフ電流は0に

50

できる。

【0074】

通常DRAMでは、メモリアレイの基板電位をVSSより低い負の電圧VBBとして、メモリセルの情報保持特性を向上させている。前記図1、図8、図12の各実施例においては、この基板電圧VBBが省略されているが、電源回路13a、13b、13cにVBB発生回路が含まれ、メモリアレイ16にVBB電圧を供給されるものであると理解されたい。

【0075】

上記VBB発生回路は、前記図16のVPP発生回路と同様の構成で、電圧センサとポンプ回路とで構成される。電圧センサではVDDおよびVSSとの間にスイッチ手段が設けられ、PDB信号でスイッチ制御されて、DPD時には電圧と電流の供給がカットされる。また、ポンプ回路はPDB信号で動作が制御され、DPD時にはポンプ動作が停止して、VBBへの電流と電圧の供給が停止される。このように、VBB発生回路においても、DPD時の消費電流が0になる。

【0076】

図25には、本発明が適用されたDRAMチップの消費電流の内訳の一例の説明図が示されている。特に制限されないが、メモリ容量は約32Mビットであり、インターフェイスはスタティック型RAMと互換性を持ち、かつリフレッシュ動作は前記のようにリード/ライト動作とリフレッシュ動作とを1サイクル中にそれぞれの時間を割り振って実施するようにしたり、あるいはリード/ライト動作とリフレッシュ動作とが競合したときにのみ上記2つの動作を実施するという、いわゆるタイムマルチプレクス方式とされる。

【0077】

この実施例のDRAMでは、待機時には約170 $\mu$ Aの消費電流がある。その内訳は、リフレッシュ動作電流として約90 $\mu$ A、MOSFETのオフ電流(サブスレッショルドリーク電流)が約60 $\mu$ A、電源回路での直流電流として約20 $\mu$ Aである。待機時、つまりデータの保持動作のみを行っているときにこれらの消費電流を持つDRAMに対して、本発明のようなDPD機能あるいはDPDモードを設けることにより、リフレッシュ動作の停止と電源回路の停止、および内部電圧を0Vとすることで、内部電圧で動作する回路のオフ電流を0にできる。前記のようなDPD時には、かかるDPDモードからの回復を指示するためのCS2を受ける入力回路11、及びシステム上での他の回路と共存させる必要から出力制御回路18a、出力回路19には電源電圧VDDが定常的に供給され結果、かかる電源VDDと各回路間に設けた各種スイッチ手段では、MOSFETでのオフ電流に対応した約5 $\mu$ Aが上記DPD時の消費電流となる。

【0078】

図26には、この発明に係るメモリチップを含むシステムの一実施例のブロック図が示されている。この実施例では、本発明に係るメモリチップ10aと他のチップ(ここではROM)190とが同一基板に実装される。かかる実装基板には、VDD、VSSのような電源供給線、アドレスバスAi、データバスDQが設けられ、上記のような2個のチップ10aと190が共通に接続される。

【0079】

上記実装基板には、CS2、CS1Bのように本発明に係るメモリチップ10aに向けた制御信号線、CEBのようにROM190に向けた制御信号線が設けられる。これらの専用の制御信号線は、それぞれのメモリチップ10a及びROM190に対応して接続される。

【0080】

このようにシステム上においては複数のメモリチップ等が搭載されているので、例えばメモリチップ10aに対して電源電圧VDDの供給を遮断してしまうと、データバスDQに出力される出力回路の出力MOSFETのゲート電圧が不定レベルとなり、ROM190等からの読み出し信号によって、データバスに出力されるハイレベルにより形成される電流が上記メモリチップ10aのオフ状態の出力MOSFETに流れ込んでしまう等の問題

10

20

30

40

50

が生じる。このため、メモリチップ10aは、何も動作しない状態であっても、データバスやアドレスバスあるいは制御バス等に接続される回路については、電流が流れ込まないような対策を必要とするものである。

【0081】

この実施例では、メモリチップ10aが何も動作を行わない一定期間においては、前記バスに接続されるCPU等のホストシステムからの指示によってDPDモードが指示される。これにより、DRAM等のメモリチップ10aにおいて、同じシステム上に搭載される他のROM190等の動作を損なうことなく、前記のように約5 $\mu$ A程度の電流しか流さない、いわば超低消費電流モードを実現することができる。

【0082】

図27には、前記図26の実施例の動作の一例を説明するための動作波形図が示されている。CPU等のホスト側からCS2をハイレベルにすることで、メモリチップ10aがDPDモードから待機状態になる。このときCS1Bによってチップが動作状態になると、アドレスAiにしたがって読出を行い、DQにデータが出力される。次に、CS1Bがハイレベルに維持され、CS2がロウレベルになるとメモリチップ10aはDPD状態になり、消費電流を低減するとともに出力DQがハイインピーダンスになる。

【0083】

上記メモリチップ10aがDPD状態でも、システム上においては電源電圧VDDは印加されているので、ROMは動作可能である。つまり、CEBがロウレベルにされてROMが動作し、アドレスAiにしたがってROMの読出しが行われ、DQにデータが出力される。このとき、DPD状態のメモリチップ10aにも、上記ROMの読み出しのためのアドレスAiが入力するが、入力回路12が動作を停止しているため消費電流が増えることはない。

【0084】

前記実施例では、ROMとメモリチップ10aとを実装する場合を示したが、これに限定されない。たとえば、メモリチップ10aは複数個が上記アドレスバスAi、データバスDQ及び電源供給線VDD、VSSに接続され、制御信号CS2、CS1Bを、それぞれのメモリチップ10aにおいてチップ毎に設けるようにすることにより、複数個のうちの任意のメモリチップ10aを選択的にDPD状態にすることができる。これにより、システムのメモリ領域の一部を待機状態のままとした情報を保持し、その他のメモリ領域はDPD状態として、低消費電流化を図るような構成も可能となる、

【0085】

図28には、この発明に係る半導体集積回路装置の一実施例の構成図が示されている。この実施例は、積層パッケージにて半導体集積回路装置が構成される場合に向けられている。例えば、パッケージ基板上194に、ROM190とメモリチップ10aとを重ねて実装する。この場合、例えばメモリチップ10aが小さい場合には、チップサイズの小さい方が上にして積層構造とされる。そして、パッケージの基板194から、各チップにボンディングワイヤ192にて接続する。このボンディングワイヤ192が、前記図26のアドレスバスAi、データバスDQあるいは電源線VDD、VSS及び制御信号線とされる。

【0086】

前記のようにバッテリー駆動により動作する携帯機器等に用いられるDRAMでは、幅広い温度領域での待機時電流低減が要求される。このため、かかる携帯機器にむけられるDRAMにおいては、幅広い温度領域の中でのワーストケースに適合するような高温でもデータ保持が可能ないようにリフレッシュ周期が設定される。しかしながら、携帯機器等においては、より低い温度領域、特に日常的に使用される常温近傍での使用が多いことに着目し、本願発明者にとっては、温度変化に対応してリフレッシュ周期を制御することによりリフレッシュ電流を低減させる発明に到達した。

【0087】

図29には、この発明に係るDRAMに搭載されるリフレッシュタイマの一実施例のプロ

10

20

30

40

50

ック図が示されている。同図において、200は、メモリセルの情報保持時間に対応した温度依存を持つ電流I1を生成する電流源である。この電流源200は、特に制限されないが、前記図17の基準電圧回路で形成された電圧VPG、VBE及びVRTRを用いて温度依存性を持つ電流I1を形成し、それを電流ミラー回路に供給してバイアス電圧NB I A S 1の形態として出力する。

#### 【0088】

前記電流源200で形成された外部電圧VDDを基準として生成された電流I1は、上記バイアス電圧NB I A S 1の形態でレベル変換用電流源201に伝えられ、ここで内部安定化電圧VDLを基準とする電流I1に変換され、変換された電流I1を同様に電流ミラー回路で形成されたバイアス電圧PB I A S , NB I A Sの形態で出力する。202は、  
10  
上記レベル変換用電流源201により形成されたバイアス電圧PB I A S , NB I A Sを受け、上記電流I1を動作電流とするリングオシレータである。そして、203は上記リングオシレータ202の出力T O U Tに応じたリフレッシュ要求信号RFを生成する制御回路である。

#### 【0089】

図30には、前記図29の電流源200とレベル変換用電流源201の一実施例の回路図が示されている。Pチャンネル型MOS F E T 204のゲートに前記基準電圧回路で形成された定電圧VPGを入力する事で、前記図17の基準電圧レベル変換回路の定電流源(MOS F E T 109)とカレントミラーを構成し、電源電圧・温度依存性を殆ど持たない定電流I0と同等の定電流I1'を得る。この定電流I1'の電流値は、前記MOS F E  
20  
T 204と、前記図17のMOS F E T 109の定数比により決まり、この値が後に述べるリングオシレータの最高動作周波数を決定する。この最高動作周波数は、メモリセルの許容最高温度での情報保持時間に対応した周期を持つようにされる。

#### 【0090】

前記図17で生成される比較用電圧VRTRとバイポーラトランジスタ102のベース、エミッタ間電圧VBEを入力とする差動アンプにより温度依存性を持つ電流I1を得る。ここでMOS F E T 207、208はカレントミラーを構成しない純粋な負荷MOS F E T (抵抗手段)として機能する。前記電圧VRTRは電源電圧・温度に対する依存性がほぼ0であるが、電圧VBEは温度に対して負の依存性を示すため、電流I1は温度低下と  
30  
共に減少する特性を示す。この特性は比較用電圧VRTRのレベルを変える事で調整することが出来る。このようにして生成された電流I1は、電流源201により内部安定化電源VDLを基準にするよう変換される。

#### 【0091】

上記レベル変換用の電流源201は、上記電流I1が流れるダイオード接続のMOS F E T 208によってバイアス電圧NB I A S 1の形態に変換され、カレントミラー形態のNチャンネル型MOS F E T 211、Pチャンネル型MOS F E T 209、210及びNチャンネル型MOS F E T 212に上記同じ電流I1が流れるようにされる。この電流I1によって、カレントミラー形態のPチャンネル型MOS F E T 209及びNチャンネル型MOS F E T 212によりバイアス電圧PB I A S、NB I A Sの形態で出力される。この  
40  
ようなレベル変換動作は、後に述べる電流I1を動作電流とするリングオシレータが安定動作のためVDLで動作していることに対応させるものである。

#### 【0092】

図31には、前記図29のリングオシレータ202の一実施例の回路図が示されている。231~235は、リングオシレータを構成するインバータ回路である。Pチャンネル型MOS F E T 213~216は、前記図30で生成したバイアス電圧PB I A Sを受けて前記インバータ回路231~235の充電電流を決める電流源として動作する。Nチャンネル型MOS F E T 217~220は、前記図30で生成したバイアス電圧NB I A Sを受けて前記インバータ回路231~235の放電側電流を決める電流源として動作する。

#### 【0093】

221-230は、リングオシレータの周期(周波数)を調整する負荷容量である。24  
50

0はパワーダウン信号PD若しくは後述するようなテスト信号TSTOPによりオシレータを停止させるための信号OSCSTOPを生成するNORゲート回路である。236-239は、上記信号OSCSTOPによりオシレータを停止させるためのNANDゲートを構成するMOSFETである。

【0094】

上記Pチャンネル型MOSFET213-216及びNチャンネル型MOSFET217-220により、本リングオシレータ202の動作周期は、前記図30の電流源200で生成される電流I1により制御される。よって、電流I1の温度特性により、その動作周期は温度低下と共に延びて行く、つまりは周期が長くなるという温度依存性を持つものとなる。

10

【0095】

図32には、この発明に係るリフレッシュタイマの温度依存性を説明するための特性図が示されている。前記図29の制御回路203により、リングオシレータ202の動作周期毎、若しくは何倍かした周期でリフレッシュ動作を行うように構成すると、リフレッシュ周期tは図のように温度低下と共に延びていく。この結果、リフレッシュ電流Irefは温度低下と共に1/tの割合で減少する。

【0096】

tは使用温度範囲に応じて調整される。例えば、極低温領域での使用を考慮する必要がない場合はIrefの低減効果を優先しtを大きく設定する。極低温領域での使用を考えた場合、リングオシレータ202の動作周期tがデータリテンション特性(情報保持時間)を超える可能性があるため、メモリセルのデータ保持動作を確保するためにマージンを持つた範囲でtを設定する。

20

【0097】

図33には、この発明に係るDRAMに搭載されるリフレッシュタイマの他の一実施例のブロック図が示されている。この実施例では、前記のような極低温側でのマージン考慮を不要とするような工夫が行われている。この実施例では、前記図29の実施例に対して、電流I2を生成する電流源242が追加され、レベル変換用の電流源201に代えて、前記電流源200で形成された電流I1と上記電流I2を加算させた電流I3(=I1+I2)を形成する電流源243が設けられる。この電流源243は、前記図29の電流源201と同様にVDD基準の電流をVDL基準に変換するレベル変換機能も併せ持つようにされる。上記電流源242は、電流源200の電流I1に対し温度依存性が小さい電流I2を生成するものである。他の構成は、前記図29と同様である。

30

【0098】

図34には、前記図33の電流源200、242及び243の一実施例の回路図が示されている。前記図30と同様な温度依存を持つ電流源200に加え、定電圧VPGを受けるPチャンネル型MOSFET251と、ダイオード形態のNチャンネル型MOSFET252により電流源242を構成し、電源電圧・温度依存を持たない電流I2を生成する。上記電流源200と242で形成された電流I1、I2の電流値はMOSFET246、251と前記図17のMOSFET109の定数比により決まる。

【0099】

電流源243を構成する並列形態のNチャンネル型MOSFET255、256のゲートに、電流源200で形成された電流I1に対応したバイアス電圧NBIAS1と、電流源242で形成された電流I2に対応したバイアス電圧NBIAS2を供給して、その共通接続されたドレインから電流I1とI2を加算した電流I3を生成する。電流源243を構成する前記同様なカレントミラー回路により、リングオシレータ202に供給される上記電流I3に対応したバイアス電圧PBIAS, NBIASを形成する。

40

【0100】

図35には、前記図34の電流源の温度依存性を説明するための特性図が示されている。電流I1は前記したように温度依存を持つため、同図の温度T1、T2領域では温度低下と共に減少する。電流I2は殆ど温度依存性を持たないため、全温度領域T1, T2, T

50



3においてほぼ一定の値を示す。

【0101】

高温領域T1で $I_1 \gg I_2$ となるように設定しておけば、リングオシレータ202の周期を決める電流I3は温度依存性を持つ電流I1が支配的となり、高温T1、及び中温度領域T2では温度低下と共に減少する。そして、温度低下により電流I1の電流値が低下し、電流I2が支配的となる低温領域T3まで下がると電流I3は上記電流I2に対応して一定電流で安定する特性を示すものとなる。

【0102】

図36には、前記図33のリフレッシュタイマの温度依存性を説明するための特性図が示されている。前記図35の特性図からも明らかなように、リフレッシュ周期tは高温及び中温度領域T1, T2では温度低下と共に延びて行くが、低温領域T3では飽和する。上記特性により必要以上にリフレッシュ周期が延びてしまいデータ破壊を招く恐れはなくなる。低温領域T3でのリフレッシュ電流Iref低減の効果がなくなるが、この領域の消費電流は、リフレッシュ電流が小さくなって相対的に直流成分が占める割合が大きくなるため、リフレッシュ動作電流が多少変化しても待機時電流の低減効果はさほど大きくない。

【0103】

図37には、前記図33の電流源200、242及び243の他の一実施例の回路図が示されている。この実施例では、電流源200の差動アンプにフィードバック用のMOSFET262が追加される。MOSFET262は、比較用電圧VRTR側の電流変化量をVBE側に帰還させる事により、電流I1の温度に対する変化量をより大きくする働きを持つ。MOSFET262によりフィードバック効果により、前記図35の特性図において、中温度領域T2における電流変化量が大きくなる。

【0104】

すなわち、このMOSFET262の定数を調整することにより、温度によるタイマ周期の変化量を調整することができる。これによって、中温度領域T2でのデータリテンション特性にあわせてタイマ周期の温度依存性を調整することができる。したがって、データ破壊を招くことなく、各温度におけるリフレッシュ周期を最適にまで伸ばせるため、リフレッシュ電流の低減効果が大きくなる。

【0105】

図38には、前記図33の電流源200、242及び243の更に他の一実施例の回路図が示されている。この実施例では、電流源200の差動アンプの負荷をカレントミラー型にしたものである。前記した図34や図37の実施例では、前記図35の特性図において中温度領域T2における電流変化量は方物線を描いていたが、この実施例では任意の温度でデジタル的に電流を変化させるようにすることができる。

【0106】

図39には、この発明に係るDRAMに搭載されるリフレッシュタイマの更に他の一実施例のブロック図が示されている。同図において、200、242は前記図33の実施例と同様な電流源である。この実施例では、これらの電流源200、242に対応して、前記図29に示したようなレベル変換用電流源201a, 201bを設け、それにより形成されたバイアス電圧によってリングオシレータ202a、202bを制御するものである。これらのリングオシレータ202a、202bは前記したリングオシレータ202と構成を同じものである。

【0107】

283は2個のリングオシレータ202a、202bの動作状態をモニタし、動作速度が遅いほうのタイマを信号TSTOP1, TSTOP2により停止させ、出力TOUT1, TOUT2のうち動作速度が速いほうの出力のみを有効にする判定回路である。284は上記範囲回路283の出力TOUTに応じたリフレッシュ要求信号RFを生成する制御回路である。

【0108】

図40には、前記図39のリフレッシュタイマによるリフレッシュ動作を説明するための特性図である。この実施例では、電流源、リングオシレータの構成はこれまで述べてきたものに同じであり、それぞれの電流源の電流 $I_1$ 、 $I_2$ で動作する2個のリングオシレータ202a、202bを選択動作させている。そのため、同図のようにリングオシレータ202aの出力 $TOUT_1$ は温度低下と共に延びていく特性を示し、リングオシレータ202bの出力 $TOUT_2$ は温度によらずほぼ一定の特性を示す。

#### 【0109】

上記出力 $TOUT_1$ 、 $TOUT_2$ のうち、その温度でより動作周期が早い方の出力でリフレッシュ周期を決めてやれば、最終的なリフレッシュ周期は $TOUT$ で示す特性となり、前記図36で示したものとほぼ同等になる。この実施例では、リングオシレータを2個設けることにより、回路規模がその分大きくなる反面、温度領域 $T_1$ 、 $T_2$ 及び $T_3$ に対応してそれぞれのリングオシレータ202a、202bの周期を最適に設定できるものとなる。

10

#### 【0110】

図41には、前記図39のリフレッシュタイマの動作の一例を説明するための波形図が示されている。同図は、温度領域 $T_1$ でのリフレッシュタイマの動作波形が示されている。温度領域 $T_1$ では、2つのリングオシレータ202a、202bを同時に起動させると、動作速度が速い202aの出力 $TOUT_1$ が202bの出力 $TOUT_2$ よりも先に出力され、 $TOUT_1$ が出力された事を認知する信号 $TON_1$ が出力される。

#### 【0111】

2個のリングオシレータが同時に停止し、リフレッシュ動作が行われなくなるのを防ぐため、 $TON_2$ をモニタし、 $TOUT_2$ がまだ出力されていない事を確認した上で $TSTOP_2$ を出力し202bを停止させる。リングオシレータ202aの動作周期毎、又は何倍かした周期でリフレッシュ要求信号 $RF$ を出力する。このリフレッシュ要求信号 $RF$ からリセット信号 $RST$ を生成し、全ての状態をクリアする。以降同じ動作を繰り返す。また、温度領域 $T_3$ 領域ではリングオシレータ202aと202bの動作速度が逆転するため、上記とは逆にリングオシレータ202aが停止することになる。

20

#### 【0112】

図42には、前記図39のリフレッシュタイマの動作の他の一例を説明するための波形図が示されている。同図は、温度領域 $T_2$ でのリフレッシュタイマの動作波形が示されている。この温度領域 $T_2$ では、リングオシレータ202a、202bの動作速度が接近するため、 $TOUT_1$ 、 $TOUT_2$ が同時に出力される可能性がある。このため、それぞれの動作認知信号 $TON_1$ 、 $TON_2$ が共に出力された場合はリングオシレータ202a、202bとも停止しないようにする。リフレッシュ要求信号 $RF$ は、上記2つの $TOUT_1$ 、 $TOUT_2$ のAND信号により出力される。

30

#### 【0113】

図43には、前記図39の動作判定回路283及び制御回路284の一実施例の論理回路図が示されている。285は $TOUT_1$ 、 $TOUT_2$ のNAND信号 $TOUT$ を得るためのNANDゲートである。NANDゲート回路286、287は $TOUT_1$ の出力を認知し、 $TON_1$ を出力するためのラッチ回路を構成する。NANDゲート回路288、289は $TOUT_2$ の出力を認知し、 $TON_2$ を出力するためのラッチ回路を構成する。

40

#### 【0114】

292は $TON_1$ と $TON_2$ をモニタし、 $TSTOP_1$ を出力するためのNORゲートである。293は $TON_1$ と $TON_2$ をモニタし、 $TSTOP_2$ を出力するためのNORゲートである。ゲート回路、インバータ回路296-305は $TOUT$ をカウントするためのシフトレジスタを構成する。遅延回路306とゲート回路307は、リフレッシュ要求信号 $RF$ から $RST$ 用のワンショットパルスを生成する回路を構成する。294はパワーダウン信号 $PD$ 、及び前記ワンショット信号により $RST$ を生成するためのNANDゲートである。

#### 【0115】

50

図44には、この発明に係るリフレッシュタイマの更に他の一実施例のブロック図が示されている。この実施例では、リフレッシュ要求停止モードが付加される。つまり、内部リフレッシュタイマでデータリテンションを行っているメモリでは、データリテンション特性を測定する際も内部リフレッシュタイマによるリフレッシュ動作が行われるため真の特性が得られなくなる。この実施例では、リフレッシュ動作停止信号TREFOFFBを設け、リフレッシュ要求信号RFを受け付けないようにする。

【0116】

この実施例では、リフレッシュ動作周期の外部制御とリフレッシュ要求停止モード機能が付加される。外部からリフレッシュ動作を制御出来れば、任意のリフレッシュ動作周期における消費電流を知る事が可能になり、これまで述べてきたリフレッシュタイマの特性設定に有効なデータを得ることが出来る。内部リフレッシュタイマでデータリテンションを行っているメモリでは、データリテンション特性を測定する際も内部リフレッシュタイマによるリフレッシュ動作が行われることになる。このためリフレッシュ要求を停止するモードが必要になる。

10

【0117】

上記のような機能を持たせるために、リフレッシュタイマ308に次のような回路が付加される。403は外部からリフレッシュ要求信号を入力するためのボンディングパッドである。309は上記ボンディングパッド403から入力されたリフレッシュ要求信号を取り込むための入力バッファである。308は、前記説明したようなリフレッシュタイマである。400は選択信号TREFCによりリフレッシュタイマ308の出力信号RFと、

20

【0118】

401は信号TREFOFFBによりセレクタ400の出力SRFを無効にし、リフレッシュ起動信号RACTを停止させるためのNANDゲートである。上記403は専用パッド若しくはアドレスピンなど、通常動作で使用するパッドと兼用しても良い。上記信号TREFC, TREFOFFBはテストモードにより生成するか、専用パッドにより外部から入力される。

【0119】

上記の実施例から得られる作用効果は、下記の通りである。

(1) スイッチ手段を介して選択的に動作電圧の供給と停止が可能とされメモリアレイを含んだ内部回路を備え、所定の制御信号を受けた入力回路により上記スイッチ手段による動作電圧の供給と停止を制御することにより、メモリ動作を行わないときに直流電流及びリーク電流の削減によって低消費電力化を実現した半導体記憶回路を得ることができるという効果が得られる。

30

【0120】

(2) 上記に加えて、上記メモリアレイからの信号を受けて出力信号を形成する出力回路を上記動作電圧により定常的に動作させ、上記入力回路により上記スイッチ手段をオフ状態にして内部回路への動作電圧を停止するときに上記出力回路を出力ハイインピーダンス状態にすることにより、半導体記憶回路を他の回路ブロックと共通バスに接続し、半導体記憶回路のみを上記低消費電力モードできるという効果が得られる。

40

【0121】

(3) 上記に加えて、上記メモリアレイを記憶情報の保持のための周期的なりフレッシュ動作を必要とするメモリセルで構成することにより、大記憶容量化と高集積化を図つつ、低消費電力化を実現することができるという効果が得られる。

【0122】

(4) 上記に加えて、上記内部回路に上記メモリセルの選択動作を行うアドレス選択回路に供給する動作電圧発生回路を設け、かかる動作電圧発生回路に前記スイッチ手段を介して外部端子から供給された動作電圧の供給と停止を行うようにすることにより、簡単な回路構成で内部回路に対する動作電圧の供給と停止の切り替えを行うようにすることができるという効果が得られる。

50

## 【 0 1 2 3 】

( 5 ) 上記に加えて、前記メモリセルに対して記憶情報の読み出しあるいは書き込みを行うメモリ動作と、上記メモリ動作とは異なるアドレス指定によるリフレッシュ動作とが時間的に競合したとき、かかるメモリ動作の前又は後にリフレッシュ動作を実施するタイムマルチモードの半導体記憶回路とし、インターフェイスをスタティック型 R A M に対応されたものとすることにより、スタティック型 R A M に匹敵する低消費電力と使い勝手のよいメモリ動作を実現しつつ、ダイナミック型 R A M に匹敵する大記憶容量の半導体記憶回路を実現できるという効果が得られる。

## 【 0 1 2 4 】

( 6 ) 記憶情報の保持のための周期的なリフレッシュ動作を必要とするメモリセルを含む半導体記憶回路に、上記メモリセルの情報保持時間の温度依存性に対応して上記リフレッシュ動作の周期を変化させることによりリフレッシュ動作に要する消費電流を大幅に低減することができるという効果が得られる。

10

## 【 0 1 2 5 】

( 7 ) 上記に加えて、リフレッシュ周期が相対的に短くされる高温側でのメモリセルの情報保持時間に対応させて周期が変化させられる第 1 温度領域と、リフレッシュ周期が相対的に長くされる低温側でメモリセルの情報保持時間より短いほぼ一定の周期にされた第 2 温度領域とを設けることにより、低温領域でのデータ保持特性を維持しつつ、リフレッシュ動作に要する消費電流を大幅に低減することができるという効果が得られる。

## 【 0 1 2 6 】

20

( 8 ) 上記に加えて、前記メモリセルに対して記憶情報の読み出しあるいは書き込みを行うメモリ動作と、上記メモリ動作とは異なるアドレス指定によるリフレッシュ動作とが時間的に競合したとき、かかるメモリ動作の前又は後にリフレッシュ動作を実施するタイムマルチモードとし、スタティック型 R A M に対応されたインターフェイス回路を設けることにより、スタティック型 R A M に置き換え可能な低消費電力とメモリ動作を実現しつつ、ダイナミック型 R A M に匹敵する大記憶容量の半導体記憶回路を実現できるという効果が得られる。

## 【 0 1 2 7 】

( 9 ) 上記に加えて、第 1 温度領域に対応した温度依存性を持つ第 1 電流と、上記第 2 温度領域に対応した定電流とを合成した電流によって動作する発振回路の周期を用いたタイマ回路でリフレッシュ動作を制御することにより、低温領域でのデータ保持特性を維持しつつ、リフレッシュ動作に要する消費電流を大幅に低減することができるという効果が得られる。

30

## 【 0 1 2 8 】

( 1 0 ) 上記リフレッシュ動作を制御するタイマ回路として、第 1 温度領域に対応した温度依存性を持つ第 1 電流により動作する第 1 発振回路と、上記第 2 温度領域に対応した定電流により動作する第 2 発振回路とを設け、上記第 1 発振回路と第 2 発振回路のうち短い方の発振出力により上記リフレッシュ制御信号を形成する出力選択回路により構成することにより、低温領域でのデータ保持特性を維持しつつ、リフレッシュ動作に要する消費電流を大幅に低減することができるという効果が得られる。

40

## 【 0 1 2 9 】

( 1 1 ) 上記に加えて、上記タイマ回路の動作の動作を無効にして、上記メモリ動作によりメモリセルの情報保持時間の測定を可能にすることにより、待機時電流の交流及び直流電流成分を切り分けた状態での解析や、リフレッシュサイクル延長によるさらなる低消費電流化を目的とした解析、データリテンション特性を評価する際に真の特性を評価できるという効果が得られる。

## 【 0 1 3 0 】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリアレイは、ビット線方向及びワード線方向に複数に分割

50

し、かかる分割されたメモリセルアレイに対応して、そのアドレス選択回路を複数設けるようにするものであってもよい。ワード線やビット線は、メインワード線とローカルワード線のような階層ワード線方式、ビット線もローカルビット線及びメインビット線等のように階層ビット線方式を採用するものであってもよい。

【0131】

また、公知のダイナミック型RAMに採用されている素子構造、回路レイアウト技術を利用して、前記メモリセルアレイ及びそのアドレス選択回路を構成することができる。この実施例のようにリフレッシュ隠蔽+ページモードを有する同期式擬似SRAM、リフレッシュ隠蔽+DRAMインターフェイス(アドレスマルチおよびRAS・CAS制御)を構成することもできる。

10

【0132】

携帯電話等のような電子装置の高機能化に伴い、大容量ワークRAMの需要が急増している。通常、ワークRAMは非同期SRAMで作られているが大容量化に向かない。その代替メモリとして大容量のDRAMが注目されているがリフレッシュが必要であり使い勝手が悪い。この発明に係る半導体記憶装置は、非同期SRAMとの互換性を保つことができ、フラッシュメモリと一体化した構成とすることにより、電源遮断時での不揮発情報機能を持つフラッシュメモリとの組み合わせによって種々のメモリ動作を発揮することができる。

【0133】

半導体記憶回路は、前記のようなリフレッシュ動作を必要とする擬似SRAM、擬似同期式SRAM等のようなDRAMの他、フラッシュメモリ等のような不揮発性メモリにおいても、メモリ動作を行わないときにチャージポンプ回路によって常に動作電流を流し続けたり、あるいはMOSFETによるリーク電流が無視できないような低しきい値電圧のMOSFETで構成される回路においては、非動作時の消費電流が大きくなるから、この発明の適用によって低消費電力化とすることができる。

20

【0134】

前記DPDモードに入る前に、タイマー回路によって一定期間、リフレッシュ動作のみを停止させるものとしてもよい。つまり、CS2信号により、第1段階としてはリフレッシュタイマ14の動作を停止させて、図25に示したリフレッシュ動作電流を削減する第1モードとし、この第1モードが一定期間継続したことをタイマー回路により判定して、前記MOSオフ電流及び電源回路DC電流を削減するDPDモードに移行するようにしてもよい。この構成では、上記第1モードの期間では、リフレッシュ動作が停止したのみであるから、記憶データは破壊されるが、書き込み動作は直ちに行うことができる。これにより、高い応答性を確保することができる。

30

【0135】

この発明は、単体のメモリ装置の他、前記実施例のようにマルチチップ構成とするもの、あるいはCPU、RAM、DRAM等が搭載されてなるシステムLSIのような半導体集積回路装置に形成される半導体記憶回路を含む各種半導体記憶回路に広く利用できる。

【0136】

【発明の効果】

40

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。スイッチ手段を介して選択的に動作電圧の供給と停止が可能とされメモリアレイを含んだ内部回路を備え、所定の制御信号を受ける入力回路により上記スイッチ手段による動作電圧の供給と停止を制御することにより、メモリ動作を行わないときに直流電流及びリーク電流の削減によって低消費電力化を実現した半導体記憶回路を得ることができる。

【図面の簡単な説明】

【図1】この発明に係るDRAMの一実施例を示すブロック図である。

【図2】前記図1の電源回路の内部電圧の一実施例を示す特性図である。

【図3】前記図1の入力回路11の一実施例を示す回路図である。

50

【図 4】前記図 1 の出力制御回路 18 a の一実施例を示す回路図である。

【図 5】前記図 1 の出力回路 19 の一実施例を示す回路図である。

【図 6】前記図 1 の D R A M の動作の一例を説明するための動作波形図である。

【図 7】前記図 4 の出力制御回路及び図 5 の出力回路の動作の一例を説明するための動作波形図である。

【図 8】この発明に係る D R A M の他の一実施例を示すブロック図である。

【図 9】前記図 8 の電源回路の内部電圧の一実施例を示す特性図である。

【図 10】前記図 8 の出力制御回路 18 b の一実施例を示す回路図である。

【図 11】前記図 10 の出力制御回路 18 b の動作の一例を説明するための動作波形図である。

10

【図 12】この発明に係る D R A M の他の一実施例を示すブロック図である。

【図 13】前記図 12 の入力回路 12 c の一実施例を示す回路図である。

【図 14】前記図 13 の入力回路 12 c の動作の一例を説明するための動作波形図である。

【図 15】前記図 12 の入力回路 12 c の他の一実施例を示す回路図である。

【図 16】前記図 12 の電源回路の一実施例を示すブロック図である。

【図 17】前記図 16 の基準電圧回路の一実施例を示す回路図である。

【図 18】前記図 16 の降圧回路の一実施例を示す回路図である。

【図 19】前記図 16 の降圧回路の一実施例を示す回路図である。

【図 20】前記図 16 の電圧センサの一実施例を示す回路図である。

20

【図 21】前記図 20 の電圧センサの動作の一例を説明するための動作波形図である。

【図 22】前記図 16 の V P P ポンプ回路 77 の一実施例を示す回路図である。

【図 23】前記図 22 の発振回路 160 の一実施例を示す回路図である。

【図 24】前記図 22 のポンプ回路の動作の一例を説明するための動作波形図である。

【図 25】本発明が適用された D R A M チップの消費電流の内訳の一例を示す説明図である。

【図 26】この発明に係るメモリチップを含むシステムの一実施例を示すブロック図である。

【図 27】前記図 26 の実施例の動作の一例を説明するための動作波形図である。

【図 28】この発明に係る半導体集積回路装置の一実施例を示す構成図である。

30

【図 29】この発明に係る D R A M に搭載されるリフレッシュタイマの一実施例を示すブロック図である。

【図 30】前記図 29 の電流源 200 とレベル変換用電流源 201 の一実施例を示す回路図である。

【図 31】前記図 29 のリングオシレータ 202 の一実施例を示す回路図である。

【図 32】この発明に係るリフレッシュタイマの温度依存性を説明するための特性図である。

【図 33】この発明に係る D R A M に搭載されるリフレッシュタイマの他の一実施例を示すブロック図である。

【図 34】前記図 33 の電流源 200、242 及び 243 の一実施例を示す回路図である。

40

【図 35】前記図 34 の電流源の温度依存性を説明するための特性図である。

【図 36】前記図 33 のリフレッシュタイマの温度依存性を説明するための特性図である。

【図 37】前記図 33 の電流源 200、242 及び 243 の他の一実施例を示す回路図である。

【図 38】前記図 33 の電流源 200、242 及び 243 の更に他の一実施例を示す回路図である。

【図 39】この発明に係る D R A M に搭載されるリフレッシュタイマの更に他の一実施例を示すブロック図である。

50

【図40】前記図39のリフレッシュタイムによるリフレッシュ動作を説明するための特性図である。

【図41】前記図39のリフレッシュタイムの動作の一例を説明するための波形図である。

【図42】前記図39のリフレッシュタイムの動作の他の一例を説明するための波形図である。

【図43】前記図39の動作判定回路283及び制御回路284の一実施例を示す論理回路図である。

【図44】この発明に係るリフレッシュタイムの更に他の一実施例を示すブロック図である。

10

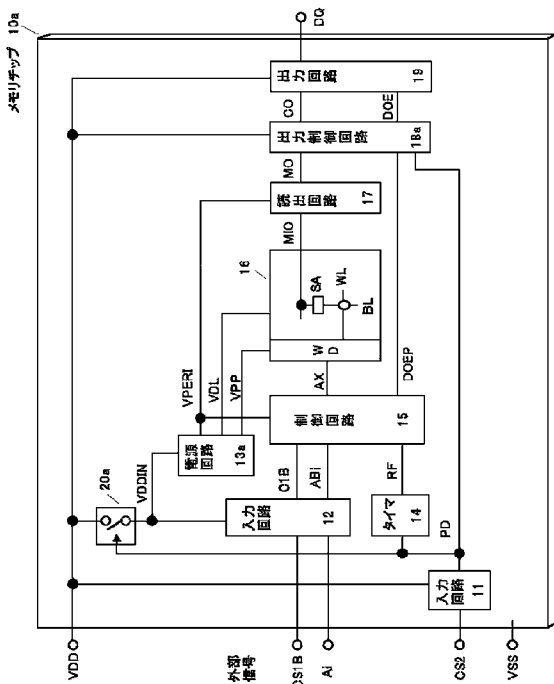
【符号の説明】

10a...メモリチップ(DRAM)、11...入力回路、12...入力回路、13a, 13b, 13c...電源回路、14...タイマ、15...制御回路、16...メモリアレイ、17...読出回路、18a, 18b...出力制御回路、19...出力回路、20a, 20b...スイッチ手段、160...発振回路、190...ROM、200...電流源、201...レベル変換用電流源、202...リングオシレータ、203...制御回路、242...電流源、243...電流源、201a, 201b...レベル変換用電流源、202a, 202b...リングオシレータ、283...動作判定回路

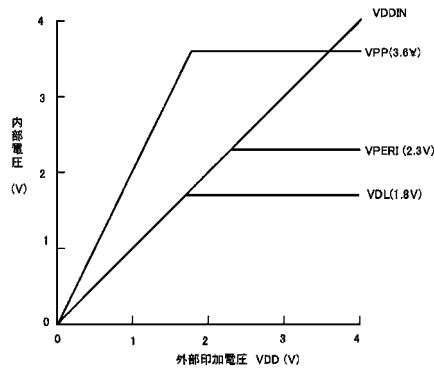
403...ボンディングパッド、308...リフレッシュタイム、309...入力バッファ、400...セクタ。

20

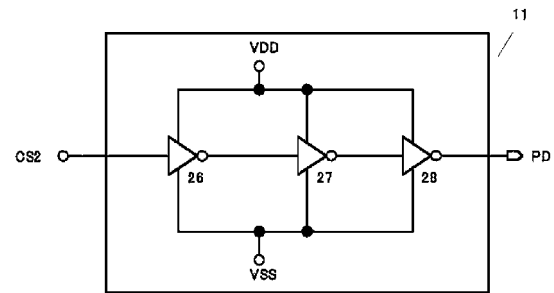
【図1】



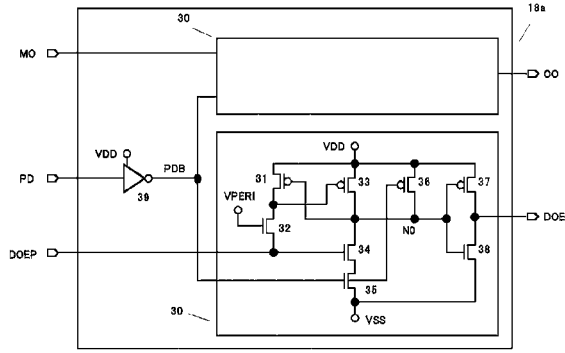
【図2】



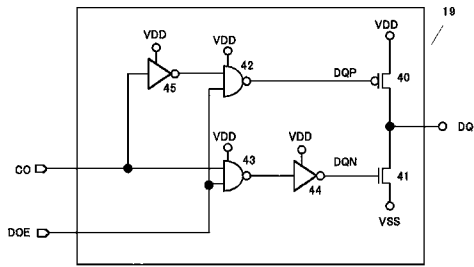
【図3】



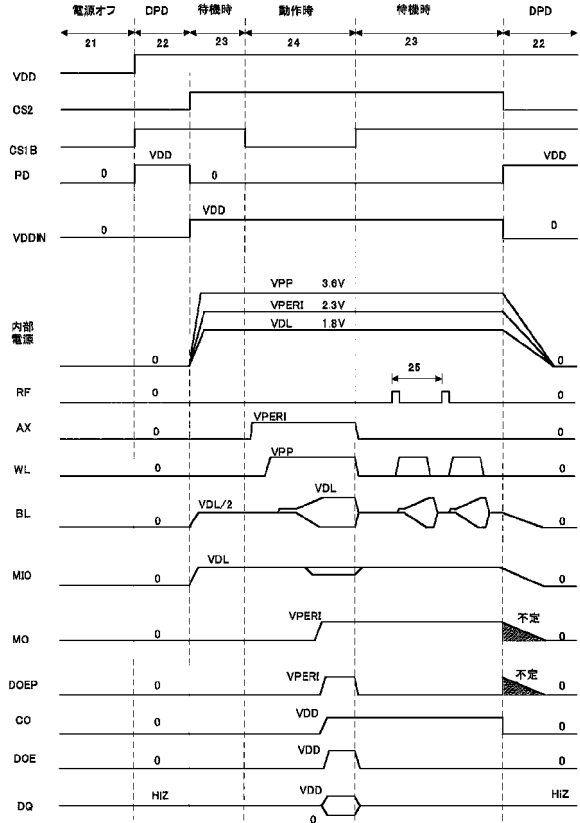
【図4】



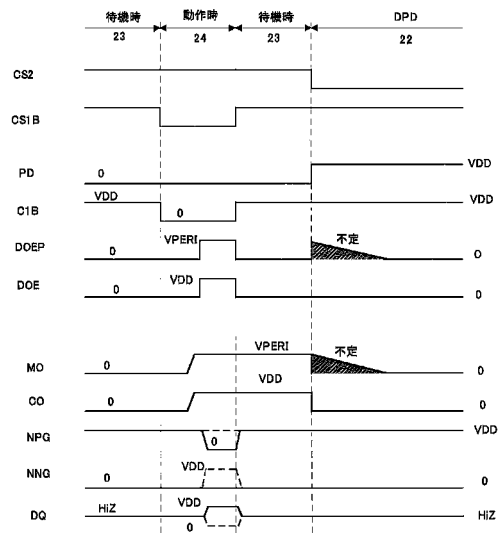
【図5】



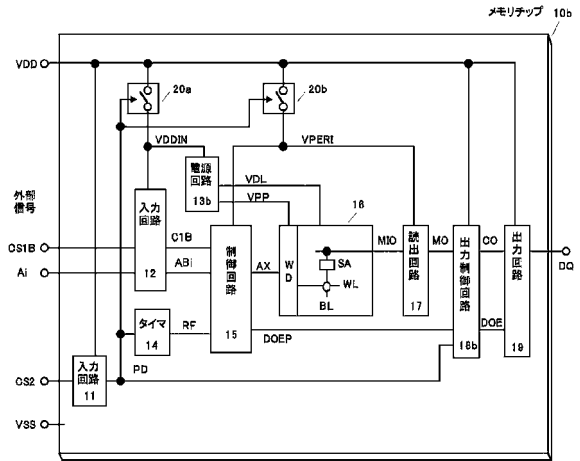
【図6】



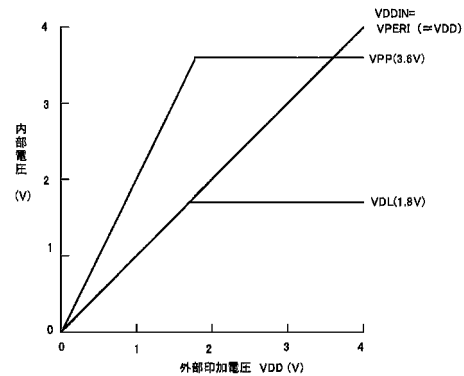
【図7】



【図8】

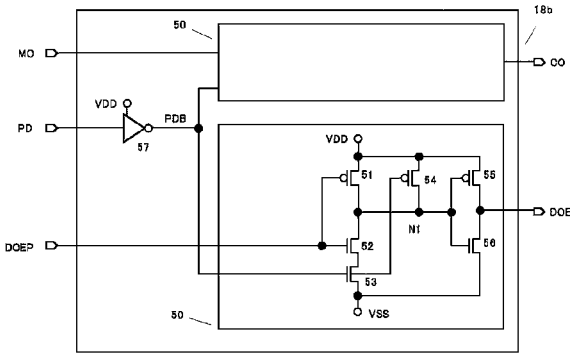


【図9】

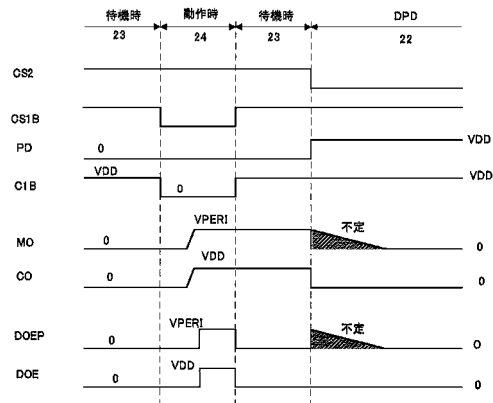




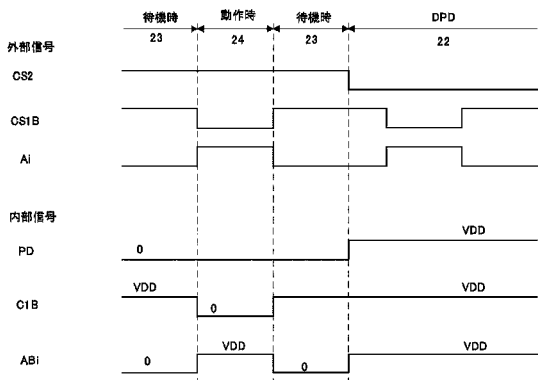
【図10】



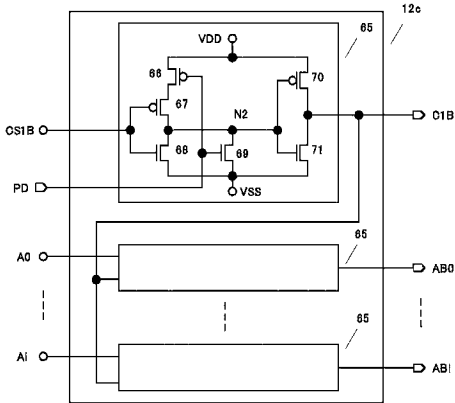
【図11】



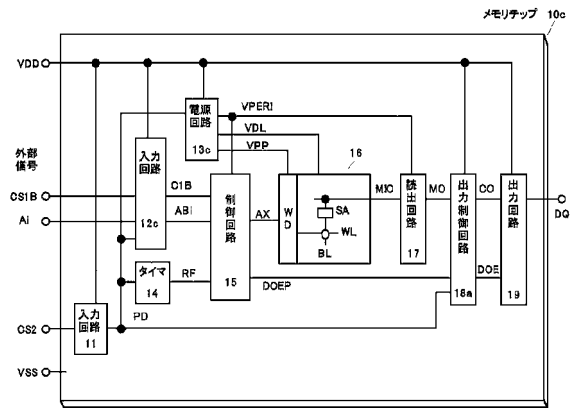
【図14】



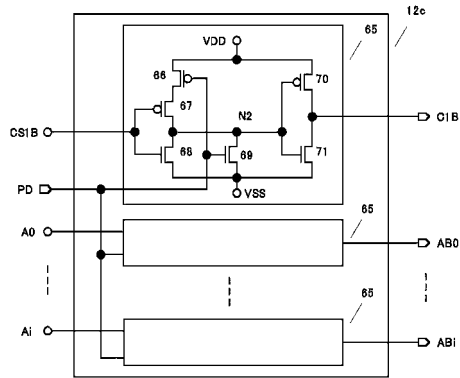
【図15】



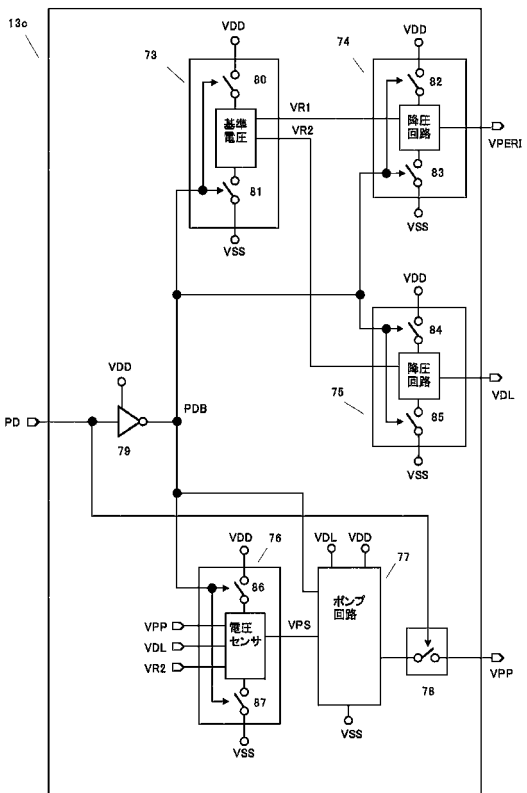
【図12】



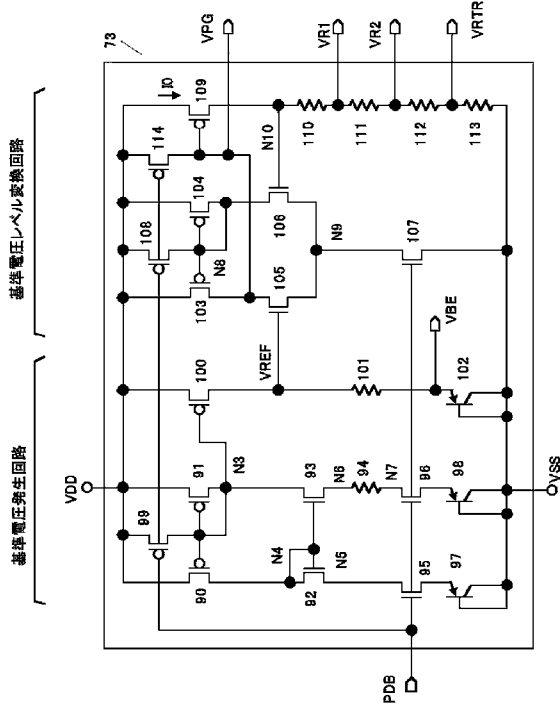
【図13】



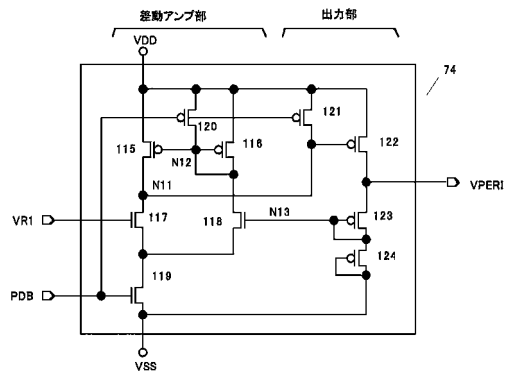
【図16】



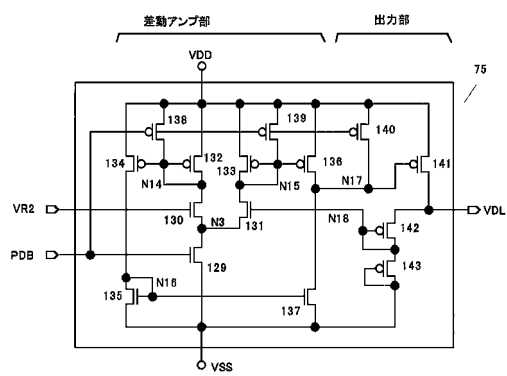
【図17】



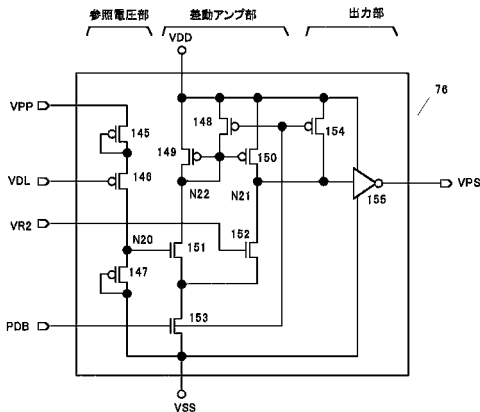
【図18】



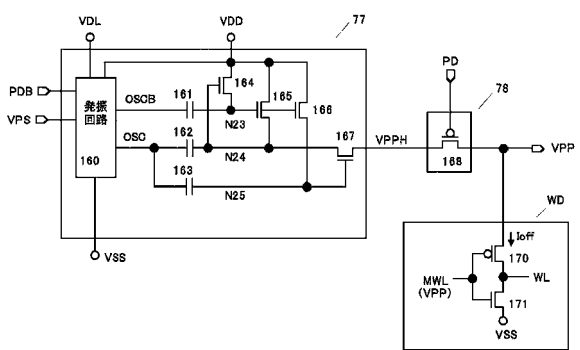
【図19】



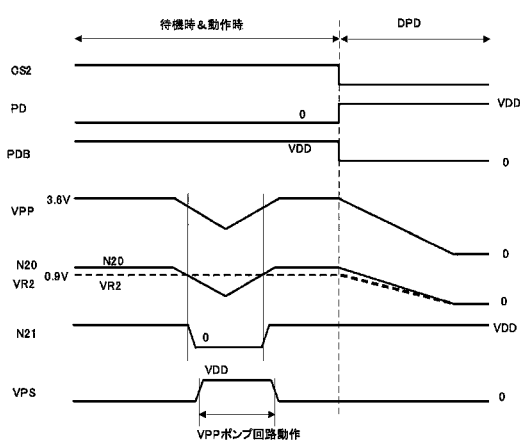
【図20】



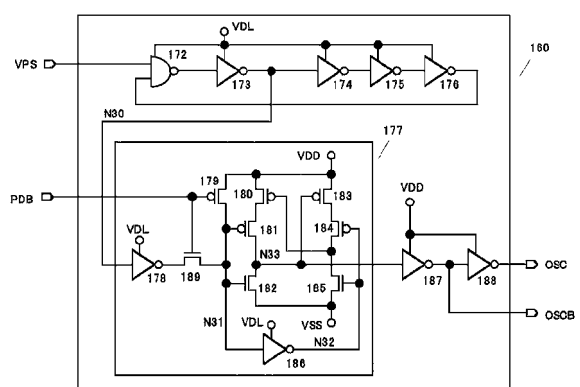
【図22】



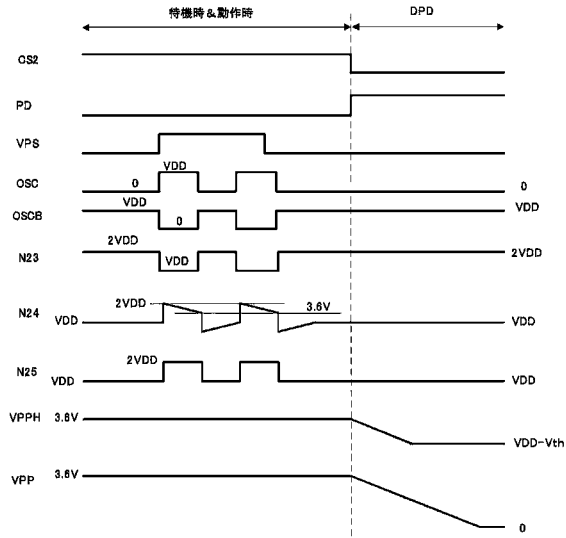
【図21】



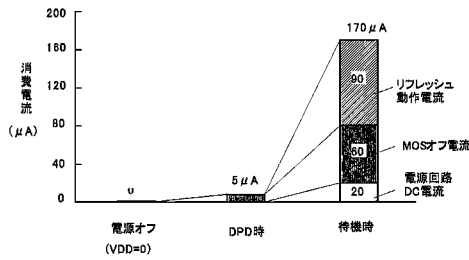
【図23】



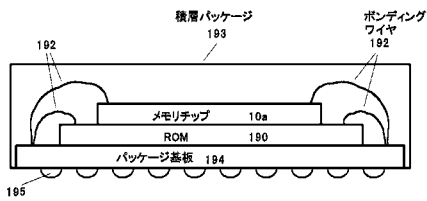
【図 24】



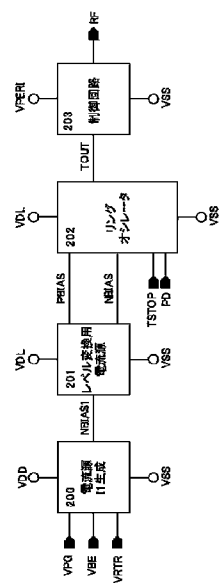
【図 25】



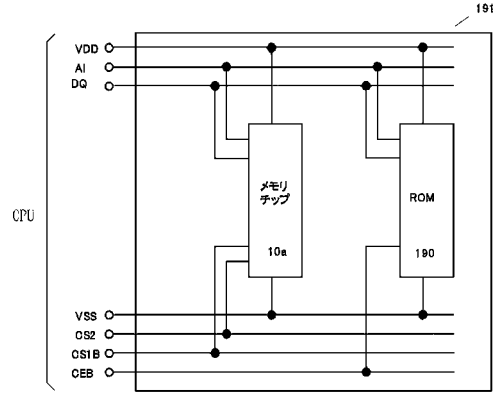
【図 28】



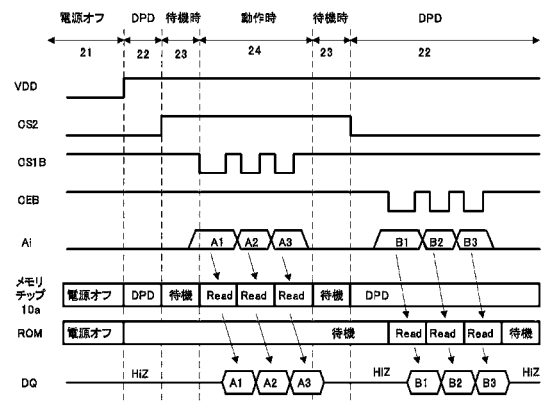
【図 29】



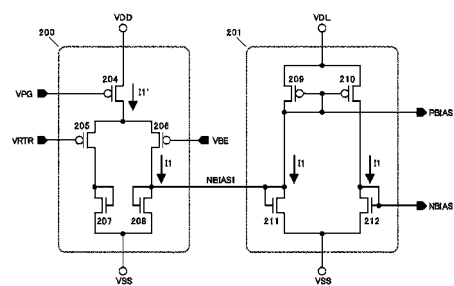
【図 26】



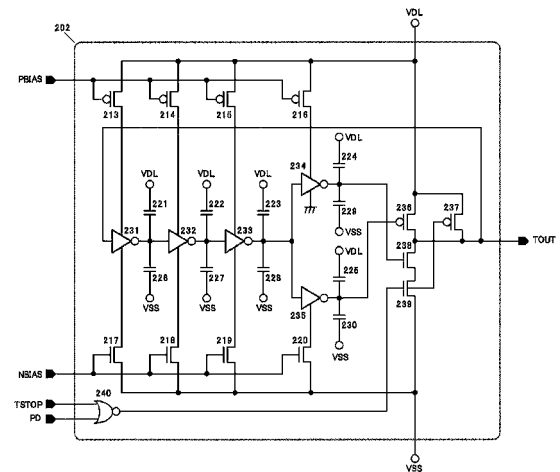
【図 27】



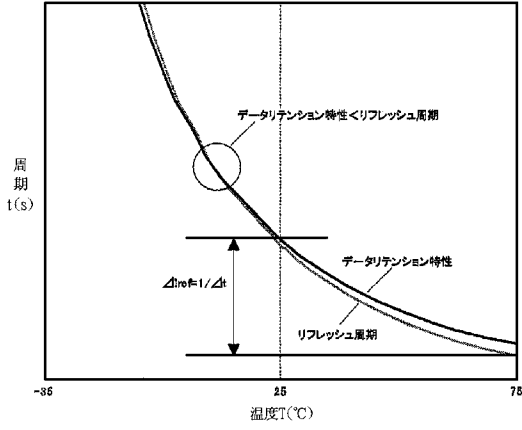
【図 30】



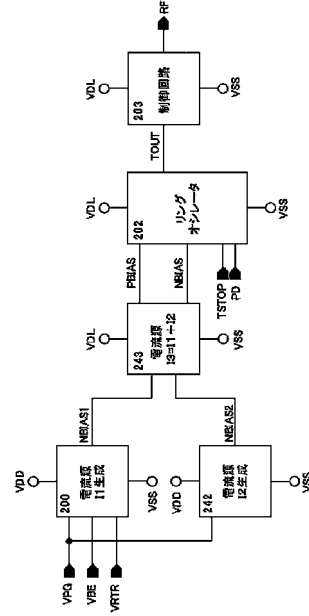
【図 31】



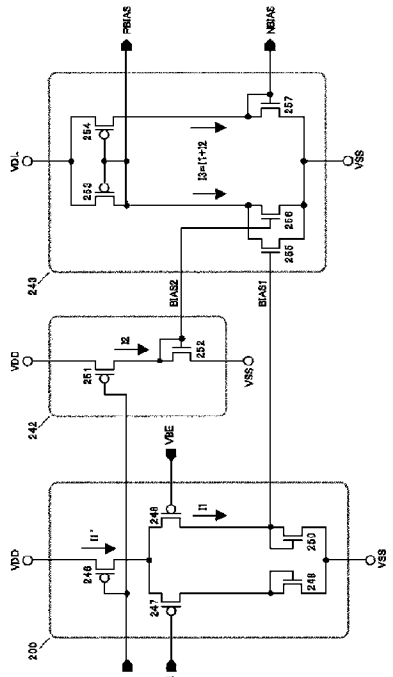
【図 3 2】



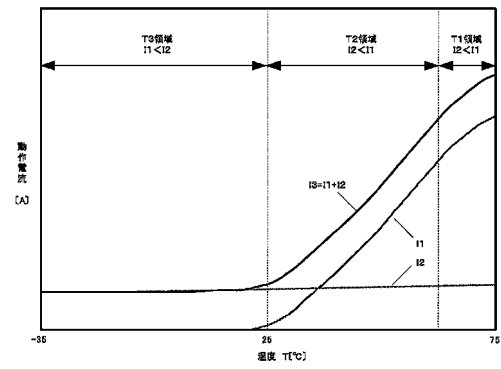
【図 3 3】



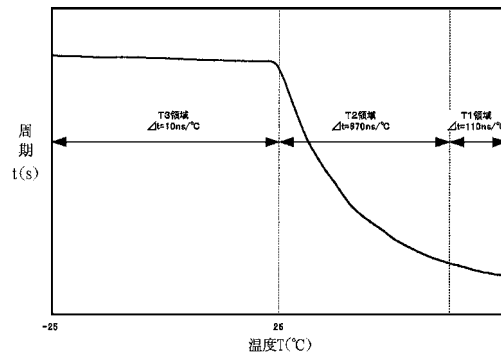
【図 3 4】



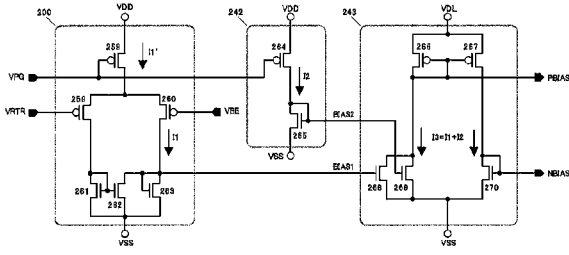
【図 3 5】



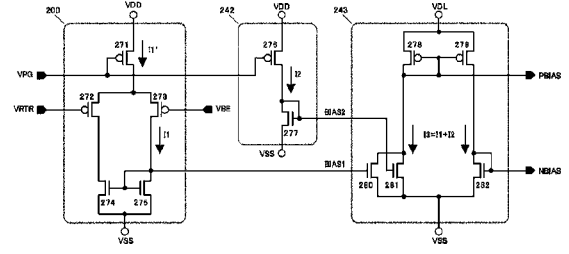
【図 3 6】



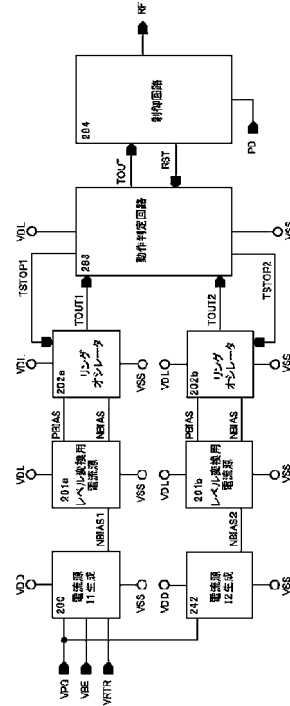
【図37】



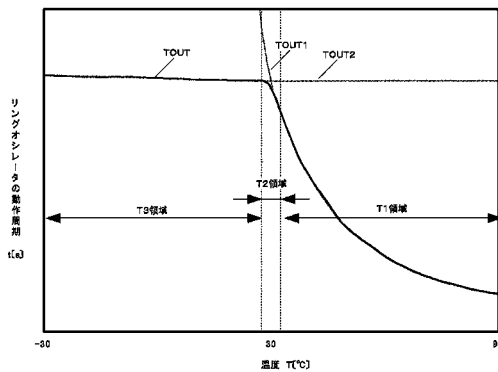
【図38】



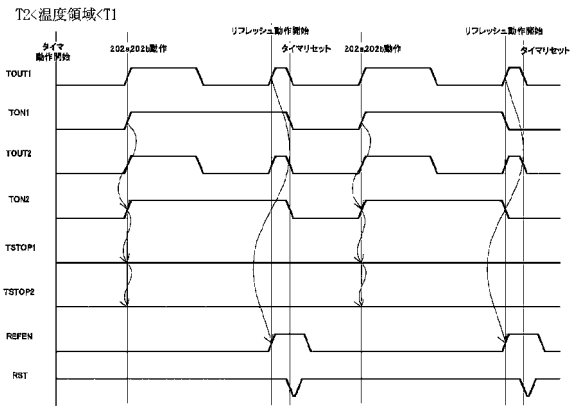
【図39】



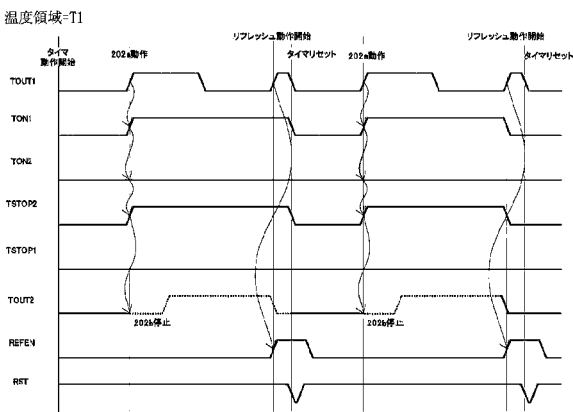
【図40】



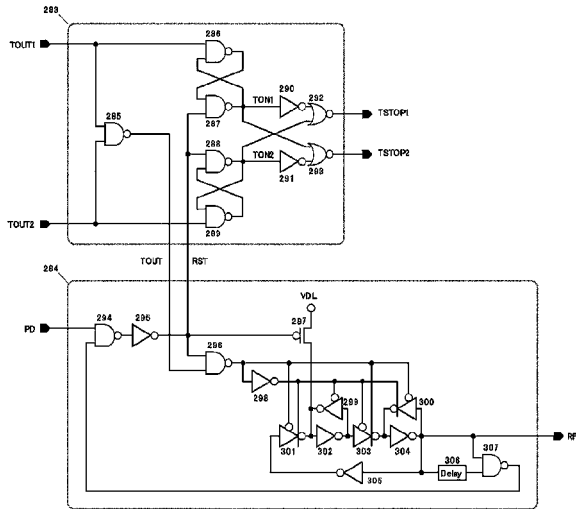
【図42】



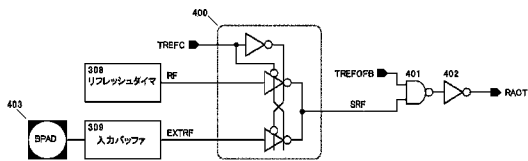
【図41】



【 図 4 3 】



【 図 4 4 】



---

フロントページの続き

(72)発明者 堀口 真志

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

審査官 堀田 和義

(56)参考文献 欧州特許出願公開第1100089(E P, A 1)

特開2002-42464(J P, A)

(58)調査した分野(Int.Cl., D B名)

G11C 11/4074