

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年8月23日(2018.8.23)

【公表番号】特表2017-523614(P2017-523614A)

【公表日】平成29年8月17日(2017.8.17)

【年通号数】公開・登録公報2017-031

【出願番号】特願2017-505486(P2017-505486)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 29/78 6 2 7 D

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 7 N

【手続補正書】

【提出日】平成30年7月10日(2018.7.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

セミコンダクタ・オン・インシュレータウェハ上にゲートを形成するステップであって、前記セミコンダクタ・オン・インシュレータウェハが、デバイス領域と、埋込み絶縁体と、基板とを備える、ステップと、

マスクとして前記ゲートを使用して前記セミコンダクタ・オン・インシュレータウェハに処理を施すステップであって、前記処理が、前記埋込み絶縁体内に処理された絶縁体領域を作製する、ステップと、

前記基板の少なくとも一部を除去するステップと、

前記基板の前記一部を除去した後、前記ゲートと整合した残りの絶縁体領域を形成するために、前記埋込み絶縁体から前記処理された絶縁体領域を選択的に除去するステップとを備える方法。

【請求項 2】

前記セミコンダクタ・オン・インシュレータウェハに前記処理を施した後、前記セミコンダクタ・オン・インシュレータウェハにハンドルウェハを結合するステップをさらに備え、

前記基板の少なくとも一部を除去するステップが、前記基板全体を除去するステップを備え、

前記ハンドルウェハが、前記基板を除去する間、および前記基板が除去された後、前記セミコンダクタ・オン・インシュレータウェハの前記デバイス領域に安定化力を提供する、請求項 1 に記載の方法。

【請求項 3】

前記処理された絶縁体領域を除去した後、前記残りの絶縁体領域上に熱伝導層を形成するステップをさらに備える、請求項 1 に記載の方法。

【請求項 4】

前記処理が、前記埋込み絶縁体へのドーパントイオンの注入を備え、

前記処理された絶縁体が、エッチングガスを使用して除去される、請求項 1 に記載の方

法。

【請求項 5】

前記処理された絶縁体領域を除去した後、前記デバイス領域の一部を除去するステップをさらに備え、

前記セミコンダクタ・オン・インシュレータウェハが、第 2 の埋込み絶縁体と第 2 のデバイス領域とを備え、

前記ゲートが、前記第 2 のデバイス領域内に形成されるチャンネルのためのゲート電極を備え、

前記デバイス領域が、前記第 2 のデバイス領域内に形成されるチャンネルのための追加のゲート電極を備える、請求項 1 に記載の方法。

【請求項 6】

前記処理された絶縁体領域を除去した後、前記残りの絶縁体領域上に歪み層を形成するステップをさらに備え、

前記処理された絶縁体領域の除去が、前記デバイス領域を露出させ、

前記歪み層を形成するステップが、前記残りの絶縁体領域上および前記デバイス領域上への歪み材料のブランケット堆積を備える、請求項 1 に記載の方法。

【請求項 7】

セミコンダクタ・オン・インシュレータウェハの上面上にゲートを形成するステップと、

前記ゲートを形成した後、前記セミコンダクタ・オン・インシュレータウェハの絶縁体層内に処理された領域を形成するために、前記セミコンダクタ・オン・インシュレータウェハの上面に処理を施すステップと、

前記絶縁体層を露出させるために、前記セミコンダクタ・オン・インシュレータウェハの裏面から基板を除去するステップと、

前記基板を除去した後、前記絶縁体層から前記処理された領域を選択的に除去するステップとを備え、

前記ゲートが、前記処理された領域が自己整合的に形成されるように、前記処理された領域をパターン化するために使用される、方法。

【請求項 8】

前記処理が、前記絶縁体層へのイオンの注入を備え、

前記処理された領域が、エッチングガスを使用して除去される、請求項 7 に記載の方法。

【請求項 9】

前記基板を除去する前、前記セミコンダクタ・オン・インシュレータウェハの上面にハンドルウェハを取り付けるステップと、

前記処理された領域を除去した後、前記セミコンダクタ・オン・インシュレータウェハの裏面上に歪み層を堆積するステップと

をさらに備え、

前記歪み層が、前記絶縁体層の残りの部分の上に、および前記ゲートの下に位置するチャンネル内のキャリアの移動度を高め、

前記セミコンダクタ・オン・インシュレータウェハが、シリコン基板を備え、

前記基板が、前記セミコンダクタ・オン・インシュレータウェハの裏面から研削によって少なくとも部分的に除去され、

前記絶縁体層が、二酸化ケイ素を備え、

前記処理が、前記絶縁体層へのイオン注入を備え、

前記処理された領域が、エッチングガスを使用して除去され、

前記ゲートが、完全空乏トランジスタのチャンネルを制御する、請求項 7 に記載の方法。

【請求項 10】

前記処理された絶縁体領域を除去した後、デバイス領域の一部を除去するステップをさ

らに備え、

前記セミコンダクタ・オン・インシュレータウェハが、埋込み絶縁体の上の第2の埋込み絶縁体と、前記デバイス領域の上の第2のデバイス領域とを備え、

前記ゲートが、前記第2のデバイス領域内に形成されるチャネルのためのゲート電極を備え、

前記デバイス領域が、前記第2のデバイス領域内に形成されるチャネルのための追加のゲート電極を備える、請求項7に記載の方法。

【請求項11】

セミコンダクタ・オン・インシュレータウェハ上に形成されたゲートであって、前記セミコンダクタ・オン・インシュレータウェハが、デバイス領域と埋込み絶縁体とを備え、前記ゲートが、前記デバイス領域の表面上に形成され、前記デバイス領域が、100ナノメートル未満の厚さである、ゲートと、

(i) 前記埋込み絶縁体の掘削領域内、(ii) 前記デバイス領域の裏側、および(iii) 前記埋込み絶縁体の残りの領域の垂直エッジに沿って位置する堆積層とを備え、

前記ゲートの垂直エッジが、許容誤差内で前記埋込み絶縁体の前記残りの領域の前記垂直エッジに整合され、

前記許容誤差が、80ナノメートル未満である、半導体デバイス。

【請求項12】

前記堆積層が、歪み層であり、

前記ゲートが、前記デバイス領域に接触し、

前記歪み層が、前記ゲートに関連するチャネル領域内に歪を誘起させることによって、前記デバイス内のキャリアの移動度を高める、請求項11に記載の半導体デバイス。

【請求項13】

前記堆積層が、熱伝導層であり、

前記ゲートが、前記デバイス領域内に形成される、請求項11に記載の半導体デバイス。

【請求項14】

前記セミコンダクタ・オン・インシュレータウェハが、第2のデバイス領域と第2の埋込み絶縁体とを備え、

前記堆積層が、歪み層であり、

前記ゲートが、前記第2のデバイス領域と接触し、チャネルに関連付けられ、

前記デバイス領域が、前記チャネルに関連する第2のゲートを備える、請求項11に記載の半導体デバイス。

【請求項15】

前記半導体デバイスが、超薄ボディ領域を備え、

前記半導体デバイスが、完全空乏シリコン・オン・インシュレータトランジスタを備える、請求項11に記載の半導体デバイス。