



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I577011 B

(45)公告日：中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：104104565

(22)申請日：中華民國 104 (2015) 年 02 月 11 日

(51)Int. Cl.：

H01L29/43 (2006.01)

H01L29/73 (2006.01)

(30)優先權：2014/03/21

世界智慧財產權組織

PCT/US14/31496

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：道爾 布萊恩 DOYLE, BRIAN S. (IE)；皮拉瑞斯提 拉維 PILLARISETTY, RAVI (US)；穆可吉 尼洛依 MUKHERJEE, NILOY (IN)；喬 羅伯特 CHAU, ROBERT S. (US)；拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；達斯古塔 山薩塔克 DASGUPTA, SANSAPTAK (IN)；陳 漢威 THEN, HAN WUI (MY)

(74)代理人：林志剛

(56)參考文獻：

US 2007/0181938A1

US 2009/0146141A1

US 2013/0105824A1

WO 2012-093360A1

審查人員：郭德豐

申請專利範圍項數：22 項 圖式數：10 共 43 頁

(54)名稱

半導體組件、積體電路裝置以及形成半導體組件之方法

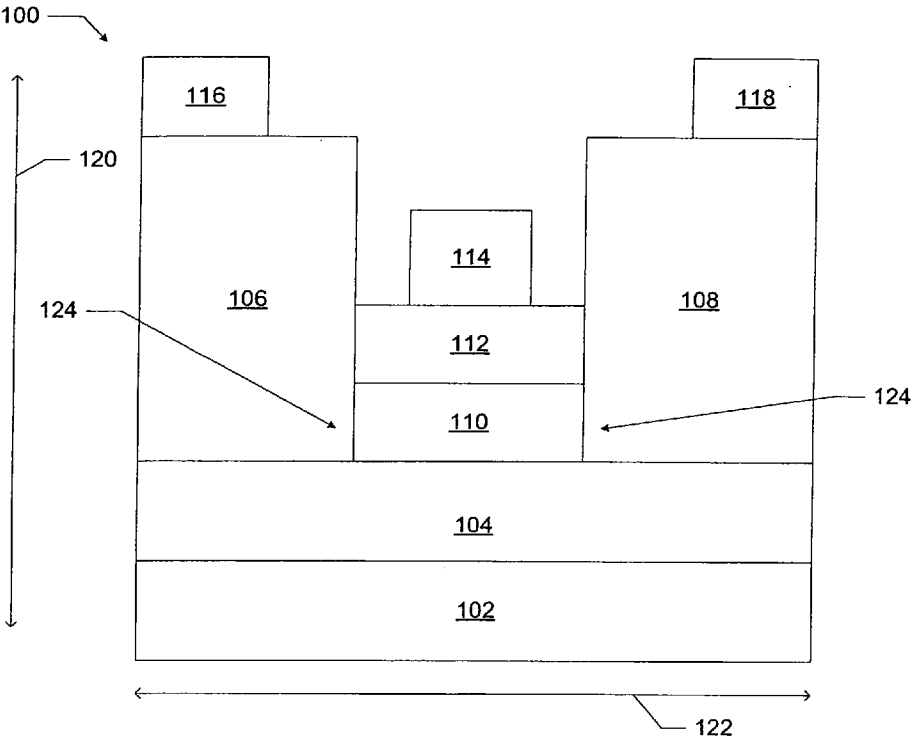
SEMICONDUCTOR ASSEMBLY, INTEGRATED CIRCUIT DEVICE, AND METHOD OF FORMING SEMICONDUCTOR ASSEMBLY

(57)摘要

本發明揭示了半導體組件以及相關的積體電路裝置及技術之實施例。在某些實施例中，一半導體組件可包含一軟性基板、由一第一過渡金屬二硫屬化合物(TMD)材料形成之一第一障壁、由一第二 TMD 材料形成之一電晶體通道、以及由一第三 TMD 材料形成之一第二障壁。該第一障壁可被配置在該電晶體通道與該軟性基板之間，該電晶體通道可被配置在該第二障壁與該第一障壁之間，且該電晶體通道之能隙可小於該第一障壁之能隙且小於該第二障壁之能隙。可揭示其他實施例，且/或申請該等其他實施例之專利範圍。

Embodiments of semiconductor assemblies, and related integrated circuit devices and techniques, are disclosed herein. In some embodiments, a semiconductor assembly may include a flexible substrate, a first barrier formed of a first transition metal dichalcogenide (TMD) material, a transistor channel formed of a second TMD material, and a second barrier formed of a third TMD material. The first barrier may be disposed between the transistor channel and the flexible substrate, the transistor channel may be disposed between the second barrier and the first barrier, and a bandgap of the transistor channel may be less than a bandgap of the first barrier and less than a bandgap of the second barrier. Other embodiments may be disclosed and/or claimed.

指定代表圖：



第 1 圖

- 符號簡單說明：
- 100 . . . 半導體組件
 - 102 . . . 軟性基板
 - 104,112 . . . 障壁
 - 106 . . . 電晶體源極
 - 108 . . . 電晶體汲極
 - 110 . . . 電晶體通道
 - 114 . . . 閘極導電接點
 - 116 . . . 源極導電接點
 - 118 . . . 汲極導電接點
 - 120,122 . . . 方向
 - 124 . . . 面



發明摘要

※申請案號：104104565

※申請日：104 年 02 月 11 日

※IPC 分類：

H01L 29/43 (2006.01)

H01L 29/73 (2006.01)

【發明名稱】(中文/英文)

半導體組件、積體電路裝置以及形成半導體組件之方法

Semiconductor assembly, integrated circuit device, and method of forming semiconductor assembly

【中文】

本發明揭示了半導體組件以及相關的積體電路裝置及技術之實施例。在某些實施例中，一半導體組件可包含一軟性基板、由一第一過渡金屬二硫屬化合物（TMD）材料形成之一第一障壁、由一第二 TMD 材料形成之一電晶體通道、以及由一第三 TMD 材料形成之一第二障壁。該第一障壁可被配置在該電晶體通道與該軟性基板之間，該電晶體通道可被配置在該第二障壁與該第一障壁之間，且該電晶體通道之能隙可小於該第一障壁之能隙且小於該第二障壁之能隙。可揭示其他實施例，且/或申請該等其他實施例之專利範圍。

【英文】

Embodiments of semiconductor assemblies, and related integrated circuit devices and techniques, are disclosed herein. In some embodiments, a semiconductor assembly may include a flexible substrate, a first barrier formed of a first transition metal dichalcogenide (TMD) material, a transistor channel formed of a second TMD material, and a second barrier formed of a third TMD material. The first barrier may be disposed between the transistor channel and the flexible substrate, the transistor channel may be disposed between the second barrier and the first barrier, and a bandgap of the transistor channel may be less than a bandgap of the first barrier and less than a bandgap of the second barrier. Other embodiments may be disclosed and/or claimed.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：半導體組件

102：軟性基板

104,112：障壁

106：電晶體源極

108：電晶體汲極

110：電晶體通道

114：閘極導電接點

116：源極導電接點

118：汲極導電接點

120,122：方向

124：面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體組件、積體電路裝置以及形成半導體組件之方法

Semiconductor assembly, integrated circuit device, and method of forming semiconductor assembly

【技術領域】

本發明之揭示係大致有關半導體裝置領域，且尤係有關具有過渡金屬二硫屬化合物（Transition Metal Dichalcogenide；簡稱 TMD）材料之半導體組件。

【先前技術】

為了開發適用於穿戴式裝置及其他裝置之軟性電子電路，已作了某些嘗試。在這些裝置中，通常為了得到可撓性而付出電性能的代價。尤其因為現有軟性電子電路中使用的基板無法耐受高處理溫度，所以只能使用具有低處理溫度的半導體材料；因為這些材料之性能通常低於具有高處理溫度的材料之性能，所以軟性電子電路的電性能受到限制。

【圖式簡單說明】

若配合各附圖而參閱前文中之詳細說明，將可易於了解各實施例。為了有助於該說明，相像的參考編號指定相像的結構元件。係參照該等附圖而以舉例但非限制之方式

示出各實施例。

第 1 圖是根據各實施例而包含一或多個過渡金屬二硫屬化合物（TMD）材料的一半導體組件之一橫斷面圖。

第 2 - 7 圖是根據各實施例而製造第 1 圖之該半導體組件的一製程中之各階段之側視圖。

第 8 圖是根據一些實施例而可包含本發明揭示的一或多個半導體組件的一積體電路（IC）裝置的一部分之一橫斷面圖。

第 9 圖是根據各實施例而製造包含具有 TMD 材料的一半導體組件的一 IC 裝置的一例示方法之一流程圖。

第 10 圖以示意圖示出根據各實施例而可包含本發明揭示的一或多個半導體組件之一計算裝置。

【發明內容及實施方式】

本發明揭示之半導體組件及相關技術能夠在軟性基板上形成一些性能特性優於現有軟性基板積體電路（Integrated Circuit；簡稱 IC）裝置的性能特性之電晶體裝置層。本發明揭示之該等半導體組件尤其可使用係為過渡金屬與硫（sulfur）、硒（selenium）、或碲（tellurium）的化合物之 TMD 材料。TMD 材料的形式可以是由一些二維分子層經由物理結合（physical bond）（例如，凡得瓦力（van der Waal's forces））弱結合各層而形成的一種三維結構。在某些實施例中，主要可由或全部可由 TMD 材料形成一半導體組件。

TMD 材料的各實施例可提供勝過傳統半導體材料的一些優點。首先，傳統的三維材料可能受限於一層中之各分子間之以及各層間之強化學鍵（strong chemical bond）（例如，共價鍵），且因而必須吸收一層內之以及各層間之變形力（distortion force）。因此，此類材料可能是脆的；如果違反了化學鍵拘束，傳統的三維材料可能失效。相比之下，當以物理方式（例如，藉由彎曲）使一 TMD 材料變形時，該等二維層可易於（例如，藉由移動及滑動而）調整各層間之弱結合，而回應該變形。因此，TMD 材料之各實施例可更有彈性應對物理變形，且因而可更適合用於軟性基板。

此外，使傳統的三維材料變薄而減少層數（且因而減少化學鍵拘束的層數）時，此種薄化可能破壞該三維材料的晶體結構，且可能產生懸鍵（dangling bond）。這些懸鍵可能呈現高再結合率，且因而使局部的少數載子（minority carrier）區空乏，而且阻礙了該變薄的三維材料之電性能。相比之下，因為 TMD 材料的各實施例可以是"真實的"二維材料（各層之間沒有化學鍵），所以 TMD 材料之電性能可以不受與懸鍵相關的空乏效應影響而變差。

傳統三維材料的層間化學鍵拘束也可能限制可使用的基板之範圍。尤其因為傳統三維材料的一層意圖以化學鍵與基板中之分子結合，所以通常必須選擇基板的晶格結構（lattice structure），使該晶格結構大致匹配該三維材料

的晶格結構。當這些晶格結構無法匹配時，該三維材料縱然在被施加任何物理變形之前，也將產生應變。例如，當將一層的鍺施加到一矽晶圓時，鍺的鍵長可能產生應變，以便匹配矽的鍵長。在此類配置中，後續的物理變形可能導致該三維材料失效，或發生急劇的性能改變。當被施加的三維材料之厚度減少時，此種失配應變（mismatch strain）的大小可能增加。因此，在傳統的三維材料中，堆疊這些材料的能力可能受限於鍵長及晶格失配（lattice mismatch）所導致的缺陷。然而，因為 TMD 材料的各二維層間之弱（非化學）交互作用，TMD 材料的二維層不意圖與下方基板形成匹配的結合，且因而 TMD 材料可易於被堆疊在晶格結構與該 TMD 材料不同的其他材料上。

因為一 TMD 材料的個別二維層與其他二維層弱結合，所以能夠得到且利用具有單層厚度之一 TMD 材料。可藉由調整 TMD 材料的層數而調整諸如 TMD 材料之能隙等的 TMD 材料的各種電性能。此外，因為某些 TMD 材料呈現類似於金屬的特性，且某些 TMD 材料呈現（可調整的）半導體特性，所以可利用各種 TMD 材料完全地或大部分地建構多種電子結構（例如，量子井（quantum well））。因此，可將 TMD 材料的性能優點應用於各種電子裝置的某些或所有元件。本發明尤其將說明利用 TMD 材料形成電晶體通道之外的元件或電晶體通道以及其他元件的裝置。在某些實施例中，遠端摻雜（remote doping）技術可改善被用於半導體組件的通道的 TMD 材

料之遷移率 (mobility)。遠端摻雜技術可提供一通道中之 (例如，一量子井中之) 載子，且將雜質放置在遠端位置的通道中，因而自前述的通道中去除了雜質。因為雜質往往會誘發載子的散射而降低載子速度，所以遠端摻雜能夠在較高摻雜程度的情形下增加通道中之載子遷移率。

本發明揭示之半導體組件的各實施例亦可呈現比傳統上用於軟性基板的有機材料或非晶材料 (amorphous material) 較佳的電性能。例如，典型的有機半導體通常有大約 0.1 - 1 平方厘米/伏特·秒的遷移率。本發明揭示之半導體組件中包含的 TMD 材料的各實施例可具有大約 100 - 300 平方厘米/伏特·秒的遷移率。具有單層或少量層的 TMD 材料可實現這些遷移率；相比之下，極薄的矽層可具有小於 100 平方厘米/伏特·秒的遷移率。

雖然本發明中主要說明具有 TMD 材料的半導體組件，但是可以取代 TMD 材料的方式或除了 TMD 材料之外額外的方式使用其他二維材料。此類材料的例子包括石墨烯 (graphene) 及氮化硼 (boron nitride)。這些材料的二維性質可提供前文中參照 TMD 材料的二維性質述及的結構優點中之某些結構優點，且可呈現可使該等材料適於某些應用之各種電性能或其他特性。因此，可利用非 TMD 二維材料形成本發明揭示之半導體組件的實施例。

在下文之實施方式中，將參照構成實施方式的一部分之圖式，其中在所有圖式中，相像的代號將表示相像的部分，且係藉由可實施本發明之實施例而示出該等圖式。我

們應可了解：亦可採用其他實施例，且可在不脫離本發明揭示的範圍下，作出各種結構或邏輯的改變。因此，不應以限制之方式理解下文之實施方式，且係由最後的申請專利範圍及其等效物界定各實施例之範圍。

可以一種最有助於了解申請專利範圍標的之方式，而以多個依序執行的分立式行動或操作之形式說明各操作。然而，不應將說明的順序理解為意味著這些操作必然是與順序相依的。尤其，可以不按照呈現的順序執行這些操作。可按照與所述實施例之順序不同的順序執行所述之操作。可執行各種額外的操作，且/或可在額外的實施例中省略所述的操作。

在本發明之揭示中，詞語"A 及/或 B"意指(A)、(B)、或(A 及 B)。在本發明之揭示中，詞語"A、B、及/或 C 中"意指(A)、(B)、(C)、(A 及 B)、(A 及 C)、(B 及 C)、或(A、B、及 C)。

本說明使用詞語"在一實施例中"或"在各實施例中"，該等詞語可分別意指一或多個相同的或不同的實施例。此外，以與本發明揭示的實施例有關之方式使用的"包含"、"包括"、及"具有"等的術語是同義的。

第 1 圖是根據各實施例而包含一或多個 TMD 材料的一半導體組件 100 之一橫斷面圖。半導體組件 100 可包含將於下文中述及的一些元件，而可利用 TMD 材料形成該等元件中之一或多個元件。在某些實施例中，可利用 TMD 材料形成第 1 圖所示的半導體組件 100 之所有導電

及半導體元件。

半導體組件 100 之該特定結構可適用於作為一電晶體，但是本發明揭示之基於 TMD 材料的技術及組件不限於電晶體或第 1 圖所示之該特定電晶體結構，而是可被用於形成任何適當的 IC 元件（例如，具有任何適當架構之電晶體、或使用傳統三維半導體材料形成之 IC 元件）。

半導體組件 100 可包含一軟性基板 102。在某些實施例中，可利用一塑膠材料形成軟性基板 102。可利用適合於用於軟性電子應用之任何軟性基板材料形成軟性基板 102。例如，在某些實施例中，可利用聚對苯二甲酸乙二醇酯（polyethylene terephthalate）、聚萘二甲酸乙二醇酯（polyethylene naphthalate）、聚碳酸酯（polycarbonate）材料、聚醚磺（polyethersulfone）材料、聚醯亞胺（polyimide）材料、或無鹼矽酸硼（alkali-free borosilicate）中之一或多種材料形成軟性基板 102。在某些實施例中，軟性基板 102 可以是一非晶材料（例如，局部或全部不按照規則圖案配置組成分子的材料）。雖然軟性基板的使用在一些應用中可能是有利的，但是本發明揭示之基於 TMD 材料的技術及組件無須包含一軟性基板（例如，軟性基板 102），而是可在一硬性基板（例如，傳統的晶圓基板或任何其他基板）上形成基於 TMD 材料的組件。

半導體組件 100 可包含一障壁 104。在某些實施例中，障壁 104 可被配置在軟性基板 102 上。可使用一

TMD 材料形成障壁 104。適用於障壁 104 之 TMD 材料可包括具有半導體材料之電子特性的那些 TMD 材料。例如，可由二硫化鉬（molybdenum disulfide）、二硒化鉬（molybdenum diselenide）、二碲化鉬（molybdenum ditelluride）、二硫化鎢（tungsten disulfide）、二硒化鎢（tungsten diselenide）、或二碲化鎢（tungsten ditelluride）形成電晶體通道 110。

半導體組件 100 可包含一電晶體通道 110。在某些實施例中，障壁 104 可沿著一方向 120 而被配置在電晶體通道 110 與軟性基板 102 之間。在某些實施例中，電晶體通道 110 可被配置在障壁 104 上。

可利用一 TMD 材料形成電晶體通道 110。適用於電晶體通道 110 之 TMD 材料可包括諸如前文中參照障壁 104 述及的那些材料等的具有半導體材料之電子特性的那些 TMD 材料。在某些實施例中，電晶體通道 110 可以是一單層的一 TMD 材料。單層的 TMD 材料可具有與多層（或"塊狀"）配置不同的電性能。單層 TMD 材料的能隙（例如，價能帶（valence band）的頂部與傳導帶（conduction band）的底部間之能差尤其可大於多層 TMD 材料的能隙。例如，單層二硫化鉬的能隙可以是 1.8 電子伏特，而多層二硫化鉬的能隙可以是 1.2 電子伏特。

在某些實施例中，可利用能隙大於（亦可利用一 TMD 材料形成的）電晶體通道 110 的能隙之一 TMD 材料形成障壁 104。將參照有不同能隙的一對元件說明本發明

述及的一些實施例。下表 1 中列出各種 TMD 材料的近似能隙。在兩個不同的元件（例如，半導體組件 100 的兩個不同的元件）被說明為具有不同的能隙之任何實施例中，可分別以自表 1 選出的具有所需相對能隙之不同的材料形成該等元件。例如，如果要利用能隙大於電晶體通道 110 的能隙之一 TMD 材料形成障壁 104，則可利用單層二硒化鉬形成電晶體通道 110，且可利用單層二硫化鉬形成障壁 104。考慮到表 1 中列出的該等材料之任何組合，其中有適於各種應用之各種組合（例如，根據能隙規格）。

材料	近似能隙（電子伏特）
二碲化鉬，塊狀	1.0
二碲化鉬，單層	1.1
二碲化鎢，單層	1.1
二硒化鉬，塊狀	1.1
二硫化鉬，塊狀	1.2
二硒化鎢，塊狀	1.2
二硫化鎢，塊狀	1.4
二硒化鉬，單層	1.5
二硒化鎢，單層	1.7
二硫化鉬，單層	1.8
二硫化鎢，單層	1.9-2.1

表 1. TMD 材料及近似能隙

半導體組件 100 可包含一障壁 112。在某些實施例中，電晶體通道 110 可沿著方向 120 而被配置在障壁 112 與障壁 104 之間。在某些實施例中，障壁 112 可被配置在電晶體通道 110 上。

可利用一 TMD 材料形成障壁 112。在某些實施例中，可利用能隙大於（亦可利用一 TMD 材料形成的）電

晶體通道 110 的能隙之一 TMD 材料形成障壁 112。因此，在某些實施例中，障壁 104 及障壁 112 都可具有大於電晶體通道 110 的能隙之能隙。在某些實施例中，可利用相同的 TMD 材料形成障壁 104 及障壁 112。在某些實施例中，障壁 104 及障壁 112 可具有大約相同的能隙。在利用一 TMD 材料形成障壁 112 之各實施例中，可根據前文中參照障壁 104 所述的任何實施例而選擇障壁 112 之 TMD 材料。

在某些實施例中，障壁 104、電晶體通道 110、及障壁 112 可形成一量子井。該量子井可以是只具有一些離散能值（energy value）之勢阱（potential well）。因為障壁 104 及障壁 112 可具有比電晶體通道 110 的能隙大的能隙，所以移動的電荷可自障壁 104 及障壁 112 "掉"入電晶體通道 110（較低能態（energy state））。

半導體組件 100 可包含一電晶體源極 106 及一電晶體汲極 108。在某些實施例中，電晶體通道 110 可沿著（可垂直於方向 120 之）一方向 122 而被配置在電晶體源極 106 與電晶體汲極 108 之間。電晶體通道 110 尤其可在該等面 124 上與電晶體源極 106 及電晶體汲極 108 接觸，因而電流可流過電晶體源極 106、電晶體通道 110、及電晶體汲極 108。在某些實施例中，障壁 112 可沿著方向 122 而被配置在電晶體源極 106 與電晶體汲極 108 之間。在某些實施例中，電晶體源極 106 及/或電晶體汲極 108 可被配置在障壁 104 上。可利用一 TMD 材料形成電晶體源極

106 及/或電晶體汲極 108。

在某些實施例中，可由相同的 TMD 材料形成電晶體源極 106 及電晶體汲極 108。適用於電晶體源極 106 及/或電晶體汲極 108 之 TMD 材料可包括具有半導體材料之電子特性的那些 TMD 材料（前文中參照電晶體通道 110 所述的那些材料）。在某些實施例中，電晶體源極 106 及電晶體汲極 108 可具有大約相同的能隙。

在某些實施例中，可利用能隙小於障壁 112 的能隙且亦小於障壁 104 的能隙之 TMD 材料形成電晶體源極 106 及/或電晶體汲極 108。在某些實施例中，可利用能隙大於電晶體通道 110 的能隙之 TMD 材料形成電晶體源極 106 及/或電晶體汲極 108。在某些此類實施例中，可利用多層 TMD 材料形成電晶體源極 106 及/或電晶體汲極 108，而可利用單層版本之該等相同的 TMD 材料形成電晶體通道 110。例如，可由單層二硒化鋁、二硫化鋁、二碲化鋁、二硫化鎢、或二硒化鎢形成電晶體通道 110，且可利用多層二硒化鋁、二硫化鋁、二碲化鋁、二硫化鎢、或二硒化鎢形成電晶體源極 106 及電晶體汲極 108。藉由將能隙較小的材料用於電晶體源極 106（及/或電晶體汲極 108），可減少電晶體源極 106（及/或電晶體汲極 108）與任何導電接點（例如，將於下文中述及之導電接點 116 及 118 間之接觸電阻，因而減少信號流過該等導電接點與電晶體源極 106（及/或電晶體汲極 108）間之界面時的電氣損失。

在某些實施例中，障壁 104 及障壁 112 之能隙可能大

於電晶體源極 106 及電晶體汲極 108 之能隙，且電晶體源極 106 及電晶體汲極 108 之能隙可能大於電晶體通道 110 之能隙。在此類實施例中，移動的電荷可自障壁 104、障壁 112、電晶體源極 106、及電晶體汲極 108"掉"入電晶體通道 110（較低能態）。例如，可由多層二硫化鉬形成障壁 104 及 112，可由多層二硒化鉬形成電晶體源極 106 及汲極 108，且可由單層二硒化鉬形成電晶體通道 110。在某些實施例中，可以不由 TMD 材料形成（且可替代地諸如由另一半導體材料形成）電晶體源極 106 及/或電晶體汲極 108。

半導體組件 100 可包含一源極導電接點 116 及一汲極導電接點 118。電晶體源極 106 可沿著方向 120 而被配置在源極導電接點 116 與障壁 104 之間。電晶體汲極 108 可沿著方向 120 而被配置在汲極導電接點 118 與障壁 104 之間。源極導電接點 116 可被配置在電晶體源極 106 上。汲極導電接點 118 可被配置在電晶體汲極 108 上。於使用時，電流可在源極導電接點 116、電晶體源極 106、電晶體通道 110、電晶體汲極 108、與汲極導電接點 118 之間流動。

在某些實施例中，可由相同的 TMD 材料形成源極導電接點 116 及汲極導電接點 118。適用於源極導電接點 116 及/或汲極導電接點 118 的 TMD 材料可包括電子特性實質上類似於金屬之電子特性的那些 TMD 材料。例如，可由二硫化鈮（niobium disulfide）、二硒化鈮（niobium

diselenide)、二碲化鈮(niobium ditelluride)、二硫化鉭(tantalum disulfide)、二硒化鉭(tantalum diselenide)、及/或二碲化鉭(tantalum ditelluride)形成源極導電接點 116 及/或汲極導電接點 118。在某些實施例中，可以不由 TMD 材料形成(且可替代地諸如由金屬或其他導電材料形成)源極導電接點 116 及/或汲極導電接點 118。

半導體組件 100 可包含一閘極導電接點 114。被施加到閘極導電接點 114 之電壓可調整(經由電晶體通道 110)在源極導電接點 116 與汲極導電接點 118 之間流動的電流量。障壁 112 可沿著方向 120 而被配置在閘極導電接點 114 與電晶體通道 110 之間。在某些實施例中，該閘極導電接點可被配置在障壁 112 上。在某些實施例中，閘極導電接點 114 可沿著方向 122 而被配置在電晶體源極 106 與電晶體汲極 108 之間。在某些實施例中，閘極導電接點 114 可沿著方向 122 而被配置在源極導電接點 116 與汲極導電接點 118 之間。可由前文中參照諸如源極導電接點 116 及汲極導電接點 118 述及的該等材料中之任何材料形成閘極導電接點 114。

第 2 - 7 圖是根據各實施例而製造半導體組件 100 的一製程中之各階段之側視圖。在這些階段中，將一些材料(例如，TMD 材料)描述為被沉積。可使用適用於這些階段的任何階段之各種沉積技術。例如，在某些實施例中，膠帶法(tape method)可被用於沉積 TMD 材料

（例如，半導體組件 100 的電晶體通道 110 或任何其他元件之 TMD 材料）。在一膠帶法中，可使一膠帶黏著到一塊狀結構的所需 TMD 材料（例如，包括各層之間被弱結合的多層二維 TMD 材料之三維結構）上。可選擇膠帶黏著劑的強度，因而自該塊狀結構剝離該膠帶時，可超過層間結合強度（bonding strength），且可以該膠帶移除所需層數的 TMD 材料。然後可將該所需層數的 TMD 材料施加到其將被沉積的面上，且可將一溶劑用於溶解掉該膠帶。

第 2 圖示出在提供了一軟性基板 102 之後形成的一組件 200。軟性基板 102 可採用前文中參照第 1 圖述及之對應的實施例中之任一實施例的形式。例如，在某些實施例中，軟性基板 102 可以是一塑膠材料。軟性基板 102 可具有一外露面 202。

第 3 圖示出在軟性基板 102 的面 202 上沉積一材料而形成一障壁 104 之後形成的一組件 300。障壁 104 可採用前文中參照第 1 圖述及之對應的實施例中之任一實施例的形式。障壁 104 可具有一外露面 302。

第 4 圖示出在障壁 104 的面 302 上沉積一材料而形成一電晶體通道 110 之後形成的一組件 400。電晶體通道 110 可採用前文中參照第 1 圖述及之對應的實施例中之任一實施例的形式。電晶體通道 110 可具有一外露面 402。

第 5 圖示出在電晶體通道 110 的面 402 上沉積一材料而形成一障壁 112 之後形成的一組件 500。障壁 112 可採用前文中參照第 1 圖述及之對應的實施例中之任一實施例

的形式。

第 6 圖示出在障壁 104 的面 302 上沉積一材料而形成一電晶體源極 106 之後且在障壁 104 的面 302 上沉積一材料而形成一電晶體汲極 108 之後形成的一組件 600。電晶體源極 106 及電晶體汲極 108 可採用前文中參照第 1 圖述及之對應的實施例中之任一實施例的形式。電晶體源極 106 可具有一外露面 602，電晶體汲極 108 可具有一外露面 604，且障壁 112 可具有一外露面 606。

第 7 圖示出在電晶體源極 106 的面 602 上沉積一材料而形成源極導電接點 116 之後且在電晶體汲極 108 的面 604 上沉積一材料而形成汲極導電接點 118 之後且在障壁 112 的面 606 上沉積一材料而形成閘極導電接點 114 之後形成的半導體組件 100。源極導電接點 116、汲極導電接點 118、及閘極導電接點 114 可採用前文中參照第 1 圖述及之對應的實施例中之任一實施例的形式。

本發明揭示之該等半導體組件（例如，半導體組件 100）可被用於電路裝置及/或光路裝置中之裝置層。可以類似於傳統半導體電路製造技術（例如，對矽或其他半導體晶圓執行的那些製造技術）之方式使用 TMD 材料形成諸如電晶體等的各種裝置，且該等裝置可被包含在其他傳統的 IC 電路中。例如，半導體組件 100 可（諸如以將於下文中參照第 8 圖所述之方式）被包含在一 IC 裝置之一裝置層中。在半導體組件 100 包含一軟性基板 102 之實施例中，半導體組件 200 能夠以傳統硬性基板（例如，矽晶

圖) 無法實現之方式彎曲或以其他方式成形。因此, 某些本發明揭示之半導體組件的應用範圍可以比傳統硬性電路的應用範圍廣泛。

該等半導體組件可在較小的尺度下提供比具有傳統材料的組件較佳之性能。例如, 當電晶體裝置的橫向尺寸(例如, 方向 122) 減小時, 通常必須使電晶體通道居中, 以便減輕有問題的短通道效應 (short channel effect)。然而, 如前文所述, 單層的傳統材料可能會顯現機械及電氣性能的弱點。然而, 由於各層 TMD 材料的"真實"二維性質, 所以可實現單層 TMD 材料。此類材料可具有一奈米數量級的厚度, 且可代表電晶體通道可實現的最小厚度。此類單層 TMD 材料(以及少層數的其他 TMD 材料) 可提供優於薄層傳統半導體材料的物理性能及電性能提高。

本發明揭示之半導體組件及相關技術可被包含在 IC 裝置中。第 8 圖是根據各實施例而包含一裝置層 818 (該裝置層 818 可包括本發明揭示之一或多個半導體組件) 的一 IC 裝置 800 的一部分之一橫斷面圖。在某些實施例中, IC 裝置 800 可以是一晶粒(可諸如整批地在一基材上製造許多晶粒, 然後切割該基材而使該晶粒與其他晶粒分離)。

可在一基板 804 上形成 IC 裝置 800。基板 804 可包含一軟性基板材料(例如, 軟性基板 102) 或一硬性基板材料。

在某些實施例中，IC 裝置 800 可包含被配置在基板 804 上之一裝置層 818。裝置層 818 可包含用於提供基板 804 上形成的一或多個電晶體 808 的特徵之一些通道。裝置層 818 可包含諸如一或多個源極及/或汲極（Source and/or Drain；簡稱 S/D）810、用於控制電晶體 808 中在該等 S/D 區 810 之間流動的電流之一閘極 812、用於傳送電信號進/出 S/D 區 810 之一或多個 S/D 接點 814。該一或多個電晶體 808 可包含諸如裝置隔離區及閘極接點等的為了清晰而未示出之一些額外的特徵。在某些實施例中，可根據本發明揭示之這些特徵的任何實施例而形成這些特徵（例如，參照第 1 圖）。該一或多個電晶體 808 不限於第 1 及 8 圖所示之類型及組態，且可包括諸如雙閘極電晶體、三閘極電晶體、及全包覆式閘極（All-Around Gate；簡稱 AAG）或環繞閘極（wrap-around gate）電晶體（某些該等電晶體可被稱為鰭式場效電晶體（Field Effect Transistor））等的平面及非平面電晶體等的多種其他類型及組態。在某些實施例中，裝置層 818 可包含一邏輯裝置或一記憶體裝置或以上兩個的組合之一或多個電晶體或記憶單元。在某些實施例中，裝置層 818 可包含光學裝置。可利用 TMD 材料部份地或完全地形成裝置層 818 中包含之某些或所有的電晶體或其他裝置。

可經由裝置層 818 上配置的一或多個互連層 820 及 822 而將諸如電源及/或輸入/輸出（Input/Output；簡稱 I/O）信號等的電信號傳送進及/或出裝置層 818 之該一或

多個電晶體 808。例如，諸如閘極 812 及 S/D 接點 814 等的裝置層 818 之導電特徵可在電氣上被耦合到互連層 820 及 822 之互連結構 816（例如，源極導電接點 116、閘極導電接點 114、及汲極導電接點 118）。該等互連結構 816 可被配置在互連層 820 及 822 之內，以便根據廣泛的多種設計而傳送電信號，且該等互連結構不限於第 8 圖所示的互連結構 816 之特定組態。例如，在某些實施例中，互連結構 816 可包括以諸如金屬等的導電材料填充之溝槽結構（有時被稱為"線"）及/或通孔結構（有時被稱為"孔"）。在某些實施例中，互連結構 816 可包含銅或其他適用之導電材料。在某些實施例中，取代電信號的或除了電信號之外的光信號可被傳送進及/或出裝置層 818。

如圖所示，互連層 820 及 822 可包含被配置在該等互連結構 816 之間的介電層 824。在某些實施例中，可在裝置層 818 上直接形成一第一互連層 820（被稱為 Metal 1 或"M1"）。在某些實施例中，第一互連層 820 可包含該等互連結構 816 中之某些互連結構 816，且該等某些互連結構 816 可被耦合到裝置層 818 的一些接點（例如，該等 S/D 接點 814）。

可在第一互連層 820 上直接形成一些額外的互連層（為了便於例示而未示出），且該等額外的互連層可包含用於耦合到第一互連層 820 的互連結構之互連結構 816。

IC 裝置 800 可具有在互連層 820 及 822 上形成之一或多個焊墊 826。該等焊墊 826 可在電氣上被耦合到該等

互連結構 816，且被配置成將一或多個電晶體 808 之電信號傳送到其他外部裝置。例如，可在該一或多個焊墊 826 上形成焊料接合（solder bond），以便將包含 IC 裝置 800 的一晶片在機械上及/或電氣上耦合到諸如一電路板等的另一元件。在其他實施例所述者之外，IC 裝置 800 可具有用以自互連層 820 及 822 傳送該等信號的其他替代組態。在其他實施例中，可以將該等信號傳送到其他外部元件的其他類似特徵（例如，柱）來取代焊墊 826，或是焊墊 826 可進一步包含該等其他類似特徵。

第 9 圖是根據各實施例而形成包含具有 TMD 材料的一半導體組件的一 IC 裝置的一方法 900 之一流程圖。下文對方法 900 的說明中，許多被沉積之材料被描述為 TMD 材料。在某些實施例中，該等沉積材料中之一或多個沉積材料可視需要而不是 TMD 材料，且可替代地係為傳統的半導體及/或金屬材料。下文中可參照半導體組件 100（第 1 圖）而說明方法 900 之操作，但這只是為了便於解說，且可應用該方法 900 而形成任何適當的 IC 裝置。在某些實施例中，可執行方法 900 而製造被包含在將於下文中參照第 10 圖所述的計算裝置 1000 中之一 IC 裝置。可於適當時重複、重新安排、或省略方法 900 之各操作。

在操作 902 中，可在一軟性基板上沉積一 TMD 材料，而形成一第一障壁。操作 902 中之該第一障壁可採用諸如障壁 104 的該等實施例中之任何實施例之形式。

在操作 904 中，可在該第一障壁上沉積一 TMD 材料，而形成一電晶體通道。操作 904 中之該電晶體通道可採用諸如電晶體通道 110 的該等實施例中之任何實施例之形式。可形成操作 904 中之該電晶體通道而使操作 902 中之該第一障壁被配置在操作 904 中之該電晶體通道與操作 902 中之該軟性基板之間。在某些實施例中，操作 902 中之該第一障壁的能隙可大於操作 904 中之該電晶體通道的能隙。

在操作 906 中，可在該電晶體通道上沉積一 TMD 材料，而形成一第二障壁。操作 906 中之該第二障壁可採用諸如障壁 112 的該等實施例中之任何實施例之形式。可形成操作 906 中之該第二障壁而使操作 904 中之該電晶體通道被配置在操作 906 中之該第二障壁與操作 902 中之該第一障壁之間。在某些實施例中，操作 906 中之該第二障壁的能隙可大於操作 904 中之該電晶體通道的能隙。

在操作 908 中，可在操作 904 中之該第一障壁上沉積 TMD 材料，而形成一電晶體源極及一電晶體汲極。操作 908 中之該電晶體源極及該電晶體汲極可分別採用諸如電晶體源極 106 及電晶體汲極 108 的該等實施例中之任何實施例之形式。可沉積操作 908 中之該電晶體源極及該電晶體汲極，而使其與操作 904 中之該電晶體通道的各相對面接觸（例如，如第 1 圖所示）。

在操作 910 中，可在操作 908 中之該電晶體源極及該電晶體汲極以及操作 906 中之該第二障壁上沉積 TMD 材

料，而分別形成一源極導電接點、一汲極導電接點、及一閘極導電接點。操作 910 中之該源極導電接點、該汲極導電接點、及該閘極導電接點可分別採用諸如源極導電接點 116、汲極導電接點 118、及閘極導電接點 114 的該等實施例中之任何實施例之形式。在某些實施例中，可在操作 910 完成之後形成半導體組件 100。

在操作 912 中，可形成一或多個互連，以便將信號傳送進及/或出半導體組件 100。在操作 912 中形成之該等互連可將電信號、光信號、或任何其他適當的信號傳送進及/或出半導體組件 100。在操作 912 中形成之該等互連可採用諸如前文中參照第 8 圖述及的互連結構 816 之形式。然後可終止該方法 900。

如前文所述，在某些實施例中，可省略第 9 圖所示的方法 900 的該等操作中之一或多個操作。例如，在某些實施例中，可以不執行操作 908 - 912。在某些實施例中，可以不同於執行操作 902 - 910 的實體之一實體執行操作 912。

第 10 圖以示意圖示出根據各實施例而可包含本發明揭示之一或多個半導體組件 100 之一計算裝置 1000。計算裝置 1000 的該等元件中之任何適當元件之基板尤其可包含本發明揭示之半導體組件 100。

計算裝置 1000 可設有諸如一主機板 1002 等的一板。主機板 1002 可包含其中包括但不限於一處理器 1004 以及至少一通訊晶片 1006 之一些元件。處理器 1004 可在實體

上及電氣上被耦合到主機板 1002。在某些實施例中，該至少一通訊晶片 1006 亦可在實體上及電氣上被耦合到主機板 1002。在進一步的實施例中，通訊晶片 1006 可以是處理器 1004 的一部分。術語"處理器"可意指用於處理來自暫存器及/或記憶體之電子資料而將該電子資料轉換為可被儲存在暫存器及/或記憶體的其他電子資料之任何裝置或裝置之一部分。

計算裝置 1000 根據其應用，可包含可在或可不在實體上及電氣上被耦合到主機板 1002 之其他元件。這些其他元件可包括但不限於揮發性記憶體（例如，動態隨機存取記憶體）、非揮發性記憶體（例如，唯讀記憶體）、快閃記憶體、圖形處理器、數位信號處理器、密碼處理器（crypto processor）、晶片組、天線、顯示器、觸控式螢幕顯示器、觸控式螢幕控制器、電池、音訊編碼解碼器、視訊編碼解碼器、功率放大器、全球衛星定位系統（Global Positioning System；簡稱 GPS）裝置、羅盤、蓋革計數器（Geiger counter）、加速度計（accelerometer）、陀螺儀（gyroscope）、喇叭、相機、以及大量儲存裝置（諸如硬碟機、光碟（Compact Disk；簡稱 CD）、及數位多功能光碟（Digital Versatile Disk；簡稱 DVD）等的大量儲存裝置）等的元件。

通訊晶片 1006 能夠執行無線通訊，而將資料傳輸進及出計算裝置 1000。術語"無線"及其派生詞可被用來描述可利用通過非固體介質之調變電磁輻射而傳送資料之電路、

裝置、系統、方法、技術、通訊通道等的術語。該術語並不意味著相關聯的裝置不包含任何導線，但是在某些實施例中，該等相關聯的裝置可能不包含任何導線。通訊晶片 1006 可實施其中包括但不限於包含 Wi-Fi (IEEE 802.11 系列) 及 IEEE 802.16 標準 (例如，IEEE 802.16-2005 增修本) 之電機及電子工程師協會 (IEEE) 標準、長期演進技術 (LTE) 計畫以及任何增修本、更新本、及/或修訂本 (例如，先進 LTE 計畫、超行動寬頻 (UMB) 計畫 (也被稱為 3GPP2) 等的一些無線標準或協定中之任何無線標準或協定。與寬頻無線存取 (BWA) 網路相容之 IEEE 802.16 通常被稱為 WiMAX 網路 (是代表 Worldwide Interoperability for Microwave Access (全球互通微波存取) 的縮寫詞)，其為一種通過 IEEE 802.16 標準的合規性及互通性測試的產品之認證標誌。通訊晶片 1006 可根據全球行動通訊系統 (Global System for Mobile communications; 簡稱 GSM)、通用封包無線電服務 (General Packet Radio Service; 簡稱 GPRS)、全球行動電信系統 (Universal Mobile Telecommunication System; 簡稱 UMTS)、高速封包存取 (High Speed Packet Access; 簡稱 HSPA)、演進型高速封包存取 (Evolved HSPA; 簡稱 E-HSPA) 或 LTE 網路而操作。通訊晶片 1006 可根據全球行動通訊系統增強型數據演進技術 (Enhanced Data for GSM Evolution; 簡稱 EDGE)、GSM EDGE 無線電存取網路 (GSM EDGE Radio Access

Network；簡稱 GERAN）、全球地面無線電存取網路（Universal Terrestrial Radio Access Network；簡稱 UTRAN）、或演進型 UTRAN（Evolved UTRAN；簡稱 E-UTRAN）而操作。通訊晶片 1006 可根據分碼多重進接（Code Division Multiple Access；簡稱 CDMA）、分時多向進接（Time Division Multiple Access；簡稱 TDMA）、數位增強無線電信（Digital Enhanced Cordless Telecommunications；簡稱 DECT）、演進資料最佳化（Evolution-Data Optimized；簡稱 EV-DO）、以上各項的衍生標準或協定、以及被稱為 3G、4G、5G、及更新的世代之任何其他無線協定而操作。在其他實施例中，通訊晶片 1006 可根據其他無線協定而操作。

計算裝置 1000 可包含複數個通訊晶片 1006。例如，一第一通訊晶片 1006 可被專用於諸如 Wi-Fi 及藍牙等的較短距離之無線通訊，且一第二通訊晶片 1006 可被專用於諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO、及其他無線通訊標準等的較長距離之無線通訊。

通訊晶片 1006 亦可包含一 IC 封裝組件，該 IC 封裝組件可包括本發明所述之一半導體組件。在進一步的實施例中，被設置在計算裝置 1000 內之另一元件（例如，記憶體裝置、處理器、或其他積體電路裝置）可包含本發明所述之一半導體組件。

在各實施例中，計算裝置 1000 可以是一膝上型電腦、簡易筆記型電腦、筆記型電腦、超輕薄筆記型電腦、

智慧型手機、平板電腦、個人數位助理（Personal Digital Assistant；簡稱 PDA）、超級行動個人電腦、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。在進一步的實施例中，計算裝置 1000 可以用於處理資料的任何其他電子裝置。在某些實施例中，在一高效能計算裝置中實施本發明所述的該等技術。在某些實施例中，在手持計算裝置中實施本發明所述的該等技術。在某些實施例中，可在一穿戴式計算裝置中實施本發明所述的該等技術。該穿戴式計算裝置尤其可包含一軟性基板（例如，一橡膠或其他軟性腕帶）以及根據本發明揭示的各種技術而建構之一或多個軟性電路元件。

下文各段落將提供本發明揭示之該等實施例的一些例子。例子 1 是一種半導體組件，包含：一軟性基板；由一第一 TMD 材料形成之一第一障壁；由一第二 TMD 材料形成之一電晶體通道；以及由一第三 TMD 材料形成之一第二障壁，其中該第一障壁被配置在該電晶體通道與該軟性基板之間，該電晶體通道被配置在該第二障壁與該第一障壁之間，且該電晶體通道之能隙小於該第一障壁之能隙，且小於該第二障壁之能隙。

例子 2 可包含例子 1 之標的事項，且可進一步指定：由該第二 TMD 材料形成之該電晶體通道是一單層的該第二 TMD 材料。

例子 3 可包含例子 1-2 中之任一例子之標的事項，且

可進一步指定：該第一障壁沿著一第一方向而被配置在該電晶體通道與該軟性基板之間；該電晶體通道沿著該第一方向而被配置在該第二障壁與該第一障壁之間；以及該電晶體通道沿著與該第一方向垂直之一第二方向而被配置在由一第四 TMD 材料形成之一電晶體源極與由一第五 TMD 材料形成之一電晶體汲極之間。

例子 4 可包含例子 3 之標的事項，且可進一步指定：該第二障壁沿著該第二方向而被配置在該電晶體源極與該電晶體汲極之間。

例子 5 可包含例子 3-4 中之任一例子之標的事項，且可進一步包含：由一第六 TMD 材料形成之一源極導電接點；以及由一第七 TMD 材料形成之一汲極導電接點；其中該電晶體源極沿著該第一方向而被配置在該源極導電接點與該第一障壁之間，且該電晶體汲極沿著該第一方向而被配置在該汲極導電接點與該第一障壁之間。

例子 6 可包含例子 5 之標的事項，且可進一步指定：該第二障壁沿著該第二方向而被配置在該電晶體源極與該電晶體汲極之間。

例子 7 可包含例子 5-6 中之任一例子之標的事項，且可進一步指定：該第六 TMD 材料及該第七 TMD 材料是相同的 TMD 材料。

例子 8 可包含例子 3-7 中之任一例子之標的事項，且可進一步指定：由多層的該第四 TMD 材料形成該電晶體源極，且由多層的該第五 TMD 材料形成該電晶體汲極。

例子 9 可包含例子 3-8 中之任一例子之標的事項，且可進一步指定：該第一障壁及該第二障壁之能隙都大於該電晶體源極之能隙，且都大於該電晶體汲極之能隙。

例子 10 可包含例子 3-9 中之任一例子之標的事項，且可進一步指定：該第四 TMD 材料及該第五 TMD 材料是相同的 TMD 材料。

例子 11 可包含例子 1-10 中之任一例子之標的事項，且可進一步包含由一第四 TMD 材料形成之一閘極導電接點，其中該第二障壁被配置在該閘極導電接點與該電晶體通道之間。

例子 12 可包含例子 1-11 中之任一例子之標的事項，且可進一步指定：該第一 TMD 材料及該第三 TMD 材料是相同的 TMD 材料。

例子 13 是一種形成半導體組件之方法，包含下列操作：在一軟性基板的一第一面上沉積一第一 TMD 材料，而形成一第一障壁；在該第一障壁上沉積一第二 TMD 材料，而形成一電晶體通道；以及在該電晶體通道上沉積一第三 TMD 材料，而形成一第二障壁；其中該第一障壁被配置在該電晶體通道與該軟性基板之間，該電晶體通道被配置在該第二障壁與該第一障壁之間，且該電晶體通道之能隙小於該第一障壁之能隙且小於該第二障壁之能隙。

例子 14 可包含例子 13 之標的事項，且可進一步指定：該軟性基板是一塑膠基板。

例子 15 可包含例子 13-14 中之任一例子之標的事

項，且可進一步指定：沉積該第二 TMD 材料包含使用一膠帶法。

例子 16 可包含例子 13-15 中之任一例子之標的事項，且可進一步包含下列操作：沉積一第四 TMD 材料，而形成一閘極導電接點，因而使該第二障壁被配置在該閘極導電接點與該電晶體通道之間。

例子 17 可包含例子 13-16 中之任一例子之標的事項，且可進一步指定：該第一 TMD 材料及該第三 TMD 材料是相同的 TMD 材料。

例子 18 是一種 IC 裝置，該 IC 裝置包含一裝置層，該裝置層包含：一軟性基板、由一第一 TMD 材料形成之一第一障壁、由一第二 TMD 材料形成之一電晶體通道、由一第三 TMD 材料形成之一第二障壁、由一第四 TMD 材料形成之一電晶體源極、由一第五 TMD 材料形成之一電晶體汲極，其中該第一障壁沿著一第一方向而被配置在該電晶體通道與該軟性基板之間，該電晶體通道沿著該第一方向而被配置在該第二障壁與該第一障壁之間，該電晶體通道之能隙小於該第一障壁之能隙且小於該第二障壁之能隙，且該電晶體通道被配置在沿著垂直於該第一方向的一第二方向而形成之該電晶體源極與該電晶體汲極之間。IC 裝置亦可包含一或多個互連，用以將電信號傳送進及/或出該電晶體源極及該電晶體汲極。

例子 19 可包含例子 18 之標的事項，且可進一步指定該裝置層進一步包含：由一第六 TMD 材料形成之一閘極

導電接點；由一第七 TMD 材料形成之一源極導電接點；以及由一第八 TMD 材料形成之一汲極導電接點；其中該第二障壁沿著該第一方向而被配置在該閘極導電接點與該電晶體通道之間，該電晶體源極沿著該第一方向而被配置在該源極導電接點與該第一障壁之間，且該電晶體汲極沿著該第一方向而被配置在該汲極導電接點與該第一障壁之間。

例子 20 可包含例子 19 之標的事項，且可進一步指定：該第六 TMD 材料、該第七 TMD 材料、及該第八 TMD 材料是相同的 TMD 材料。

例子 21 可包含例子 20 之標的事項，且可進一步指定：該相同的 TMD 材料是二硫化鋯、二硒化鋯、二碲化鋯、二硫化鉭、二硒化鉭、或二碲化鉭。

例子 22 可包含例子 18-21 中之任一例子之標的事項，且可進一步指定：該 IC 裝置是一晶粒。

【符號說明】

100：半導體組件

102：軟性基板

104,112：障壁

110：電晶體通道

120,122：方向

106：電晶體源極

108：電晶體汲極

124：面

116：源極導電接點

118：汲極導電接點

114：閘極導電接點

200,300,400,500,600：組件

202,302,402,602,604,606：外露面

800：積體電路裝置

818：裝置層

804：基板

808：電晶體

810：源極及/或汲極

812：閘極

814：源極及/或汲極接點

816：互連結構

820,822：互連層

824：介電層

826：焊墊

1000：計算裝置

1002：主機板

1004：處理器

1006：通訊晶片

申請專利範圍

1.一種半導體組件，包含：

一軟性基板；

由一第一過渡金屬二硫屬化合物（TMD）材料形成之一第一障壁；

由一第二 TMD 材料形成之一電晶體通道；以及

由一第三 TMD 材料形成之一第二障壁；

其中該第一障壁被配置在該電晶體通道與該軟性基板之間，該電晶體通道被配置在該第二障壁與該第一障壁之間，且該電晶體通道之能隙小於該第一障壁之能隙且小於該第二障壁之能隙。

2.如申請專利範圍第 1 項之半導體組件，其中由該第二 TMD 材料形成之該電晶體通道是一單層的該第二 TMD 材料。

3.如申請專利範圍第 1 項之半導體組件，其中：

該第一障壁沿著一第一方向而被配置在該電晶體通道與該軟性基板之間；

該電晶體通道沿著該第一方向而被配置在該第二障壁與該第一障壁之間；以及

該電晶體通道沿著與該第一方向垂直之一第二方向而被配置在由一第四 TMD 材料形成之一電晶體源極與由一第五 TMD 材料形成之一電晶體汲極之間。

4.如申請專利範圍第 3 項之半導體組件，其中該第二障壁沿著該第二方向而被配置在該電晶體源極與該電晶體

汲極之間。

5.如申請專利範圍第 3 項之半導體組件，進一步包含：

由一第六 TMD 材料形成之一源極導電接點；以及
由一第七 TMD 材料形成之一汲極導電接點；

其中該電晶體源極沿著該第一方向而被配置在該源極導電接點與該第一障壁之間，且該電晶體汲極沿著該第一方向而被配置在該汲極導電接點與該第一障壁之間。

6.如申請專利範圍第 5 項之半導體組件，其中該第二障壁沿著該第二方向而被配置在該電晶體源極與該電晶體汲極之間。

7.如申請專利範圍第 5 項之半導體組件，其中該第六 TMD 材料及該第七 TMD 材料是相同的 TMD 材料。

8.如申請專利範圍第 3 項之半導體組件，其中由多層的該第四 TMD 材料形成該電晶體源極，且由多層的該第五 TMD 材料形成該電晶體汲極。

9.如申請專利範圍第 3 項之半導體組件，其中該第一障壁及該第二障壁之能隙都大於該電晶體源極之能隙，且都大於該電晶體汲極之能隙。

10.如申請專利範圍第 3 項之半導體組件，其中該第四 TMD 材料及該第五 TMD 材料是相同的 TMD 材料。

11.如申請專利範圍第 1 項之半導體組件，進一步包含：

由一第四 TMD 材料形成之一閘極導電接點；

其中該第二障壁被配置在該閘極導電接點與該電晶體通道之間。

12.如申請專利範圍第 1 項之半導體組件，其中該第一 TMD 材料及該第三 TMD 材料是相同的 TMD 材料。

13.一種形成半導體組件之方法，包含：

在一軟性基板的一第一面上沉積一第一過渡金屬二硫屬化合物（TMD）材料，而形成一第一障壁；

在該第一障壁上沉積一第二 TMD 材料，而形成一電晶體通道；以及

在該電晶體通道上沉積一第三 TMD 材料，而形成一第二障壁；

其中該第一障壁被配置在該電晶體通道與該軟性基板之間，該電晶體通道被配置在該第二障壁與該第一障壁之間，且該電晶體通道之能隙小於該第一障壁之能隙且小於該第二障壁之能隙。

14.如申請專利範圍第 13 項之方法，其中該軟性基板是一塑膠基板。

15.如申請專利範圍第 13 項之方法，其中沉積該第二 TMD 材料包含使用一膠帶法。

16.如申請專利範圍第 13 項之方法，進一步包含：

沉積一第四 TMD 材料，而形成一閘極導電接點，因而使該第二障壁被配置在該閘極導電接點與該電晶體通道之間。

17.如申請專利範圍第 13 項之方法，其中該第一 TMD

材料及該第三 TMD 材料是相同的 TMD 材料。

18.一種積體電路（IC）裝置，包含：

一裝置層，該裝置層包含：

一軟性基板、

由一第一過渡金屬二硫屬化合物（TMD）材料形成之一第一障壁、

由一第二 TMD 材料形成之一電晶體通道、

由一第三 TMD 材料形成之一第二障壁、

由一第四 TMD 材料形成之一電晶體源極、以及

由一第五 TMD 材料形成之一電晶體汲極，

其中該第一障壁沿著一第一方向而被配置在該電晶體通道與該軟性基板之間，該電晶體通道沿著該第一方向而被配置在該第二障壁與該第一障壁之間，該電晶體通道之能隙小於該第一障壁之能隙且小於該第二障壁之能隙，該電晶體通道被配置在沿著垂直於該第一方向的一第二方向而形成之該電晶體源極與該電晶體汲極之間；以及

一或多個互連，用以將電信號傳送進及/或出該電晶體源極及該電晶體汲極。

19.如申請專利範圍第 18 項之 IC 裝置，其中該裝置層進一步包含：

由一第六 TMD 材料形成之一閘極導電接點；

由一第七 TMD 材料形成之一源極導電接點；以及

由一第八 TMD 材料形成之一汲極導電接點；

其中該第二障壁沿著該第一方向而被配置在該閘極導

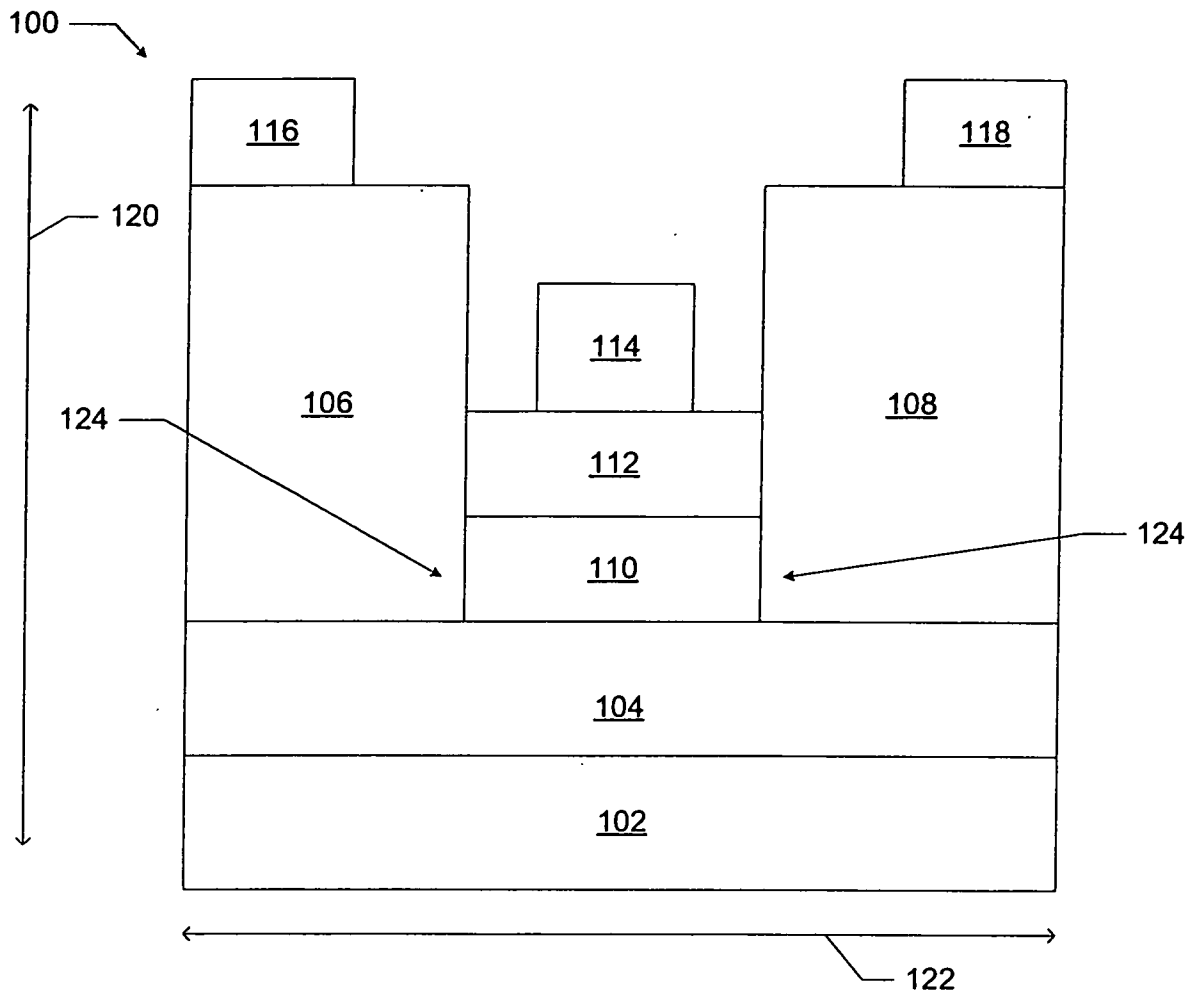
電接點與該電晶體通道之間，該電晶體源極沿著該第一方向而被配置在該源極導電接點與該第一障壁之間，且該電晶體汲極沿著該第一方向而被配置在該汲極導電接點與該第一障壁之間。

20.如申請專利範圍第 19 項之 IC 裝置，其中該第六 TMD 材料、該第七 TMD 材料、及該第八 TMD 材料是相同的 TMD 材料。

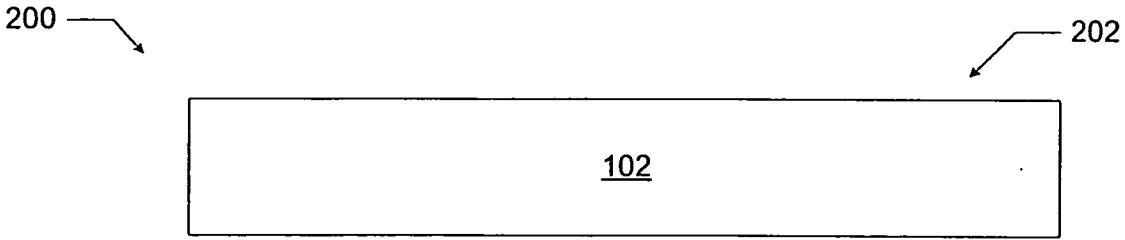
21.如申請專利範圍第 20 項之 IC 裝置，其中該相同的 TMD 材料是二硫化鋯、二硒化鋯、二碲化鋯、二硫化鉭、二硒化鉭、或二碲化鉭。

22.如申請專利範圍第項之 18 裝置，其中該 IC 裝置是一晶粒。

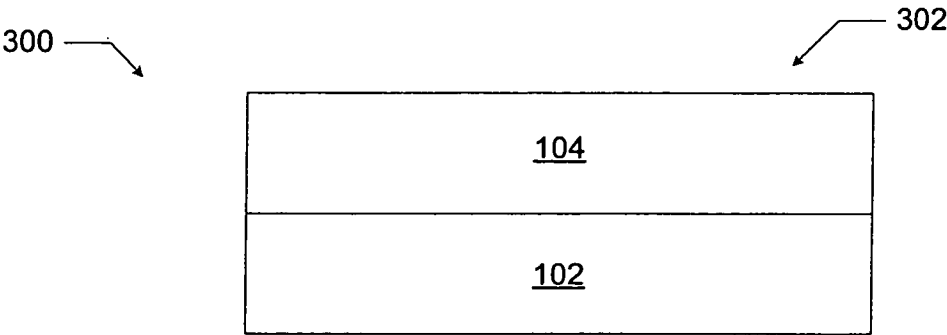
圖式



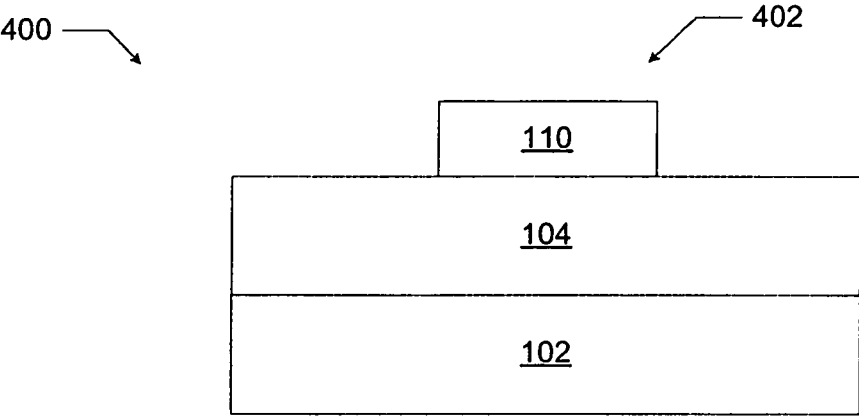
第 1 圖



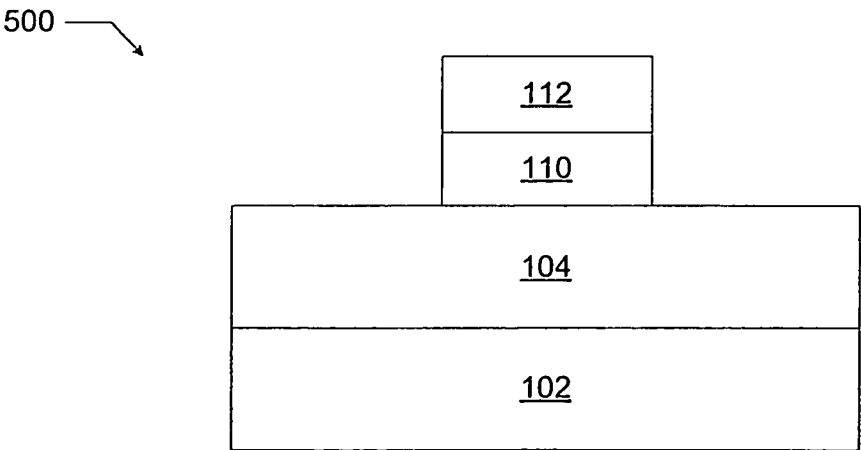
第 2 圖



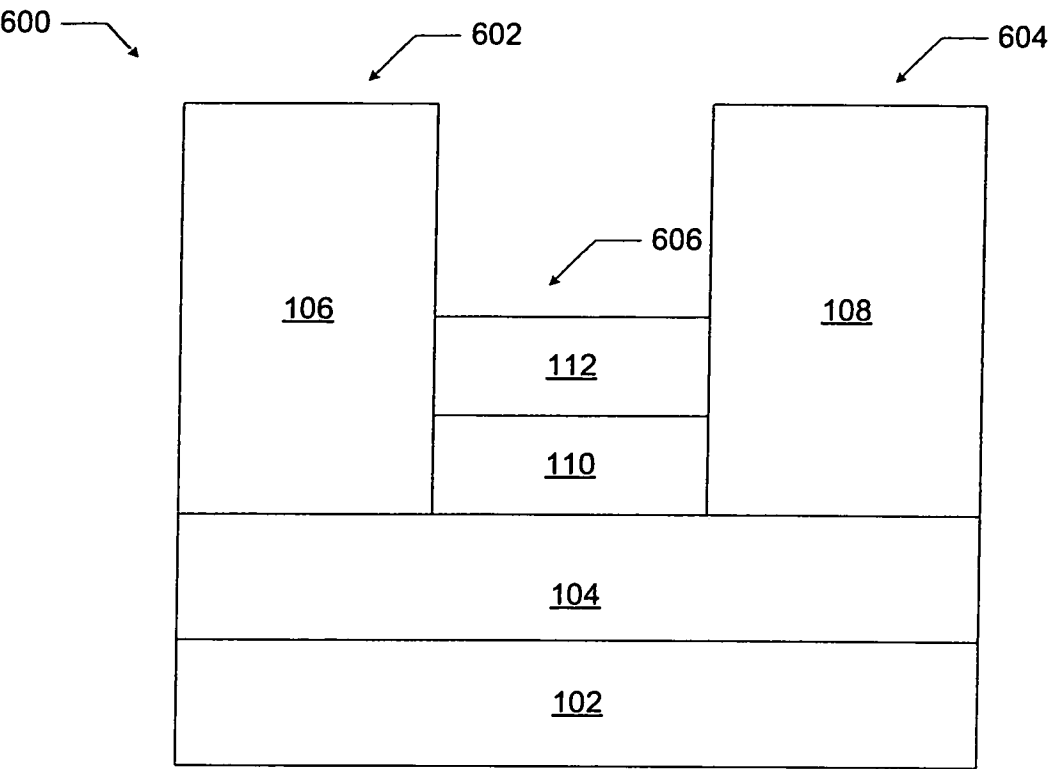
第 3 圖



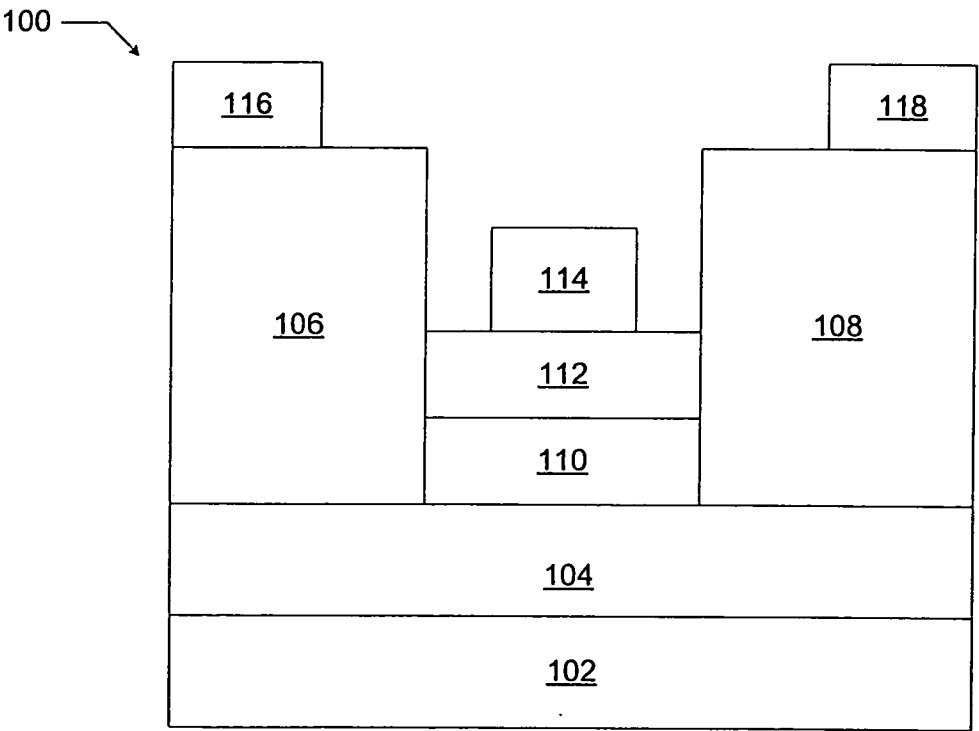
第 4 圖



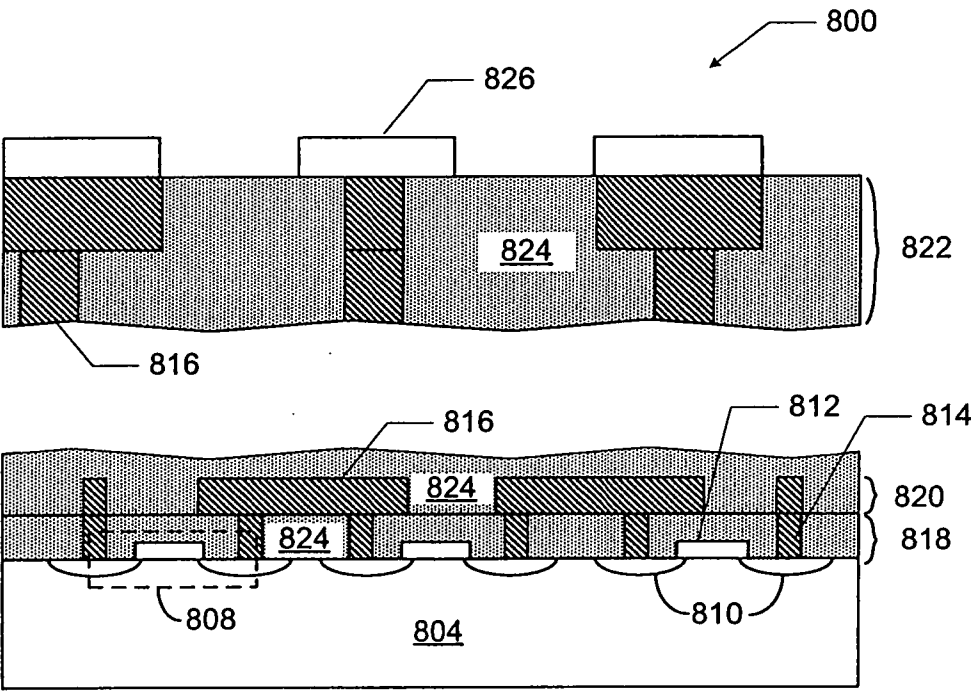
第 5 圖



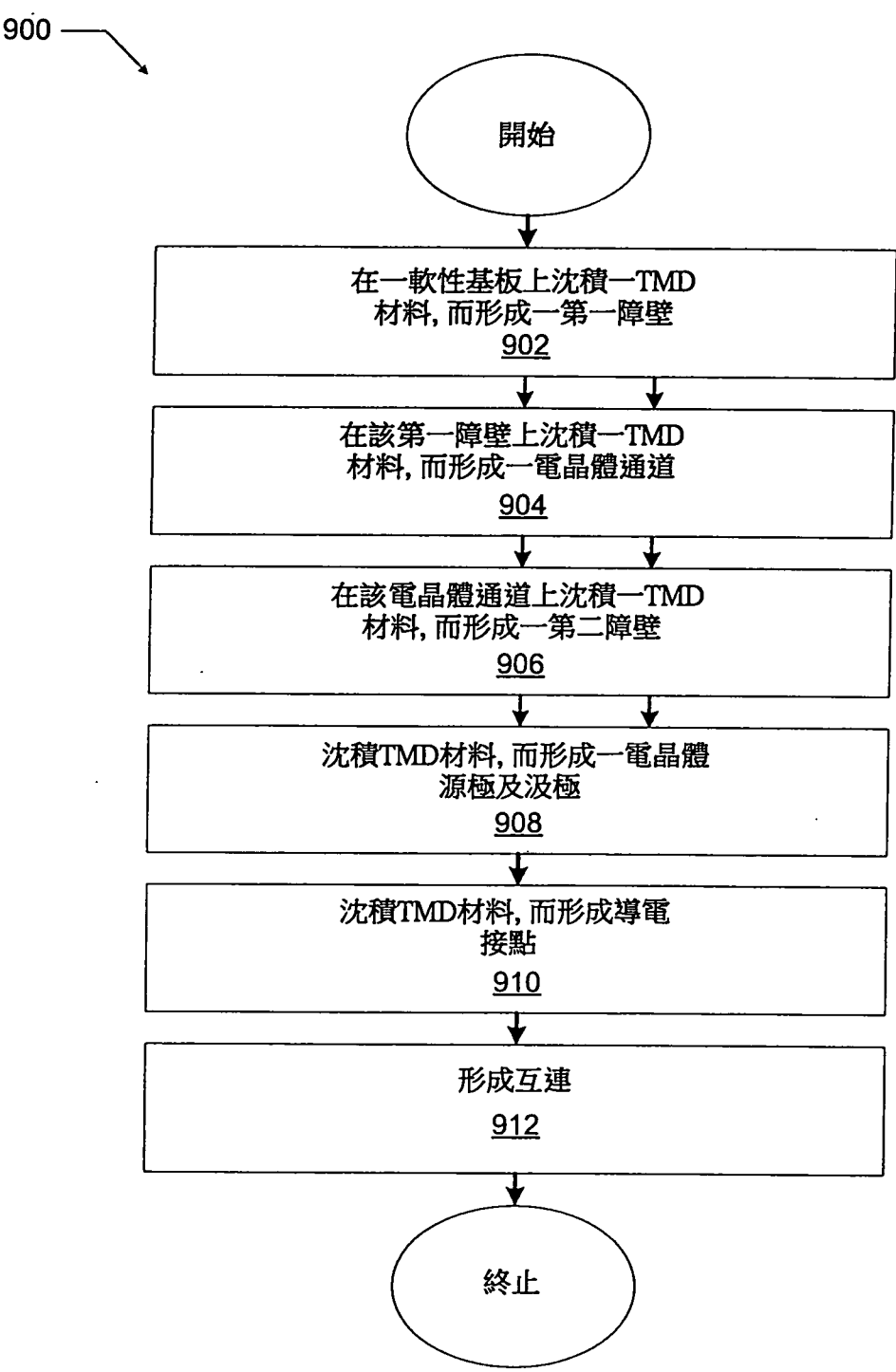
第 6 圖



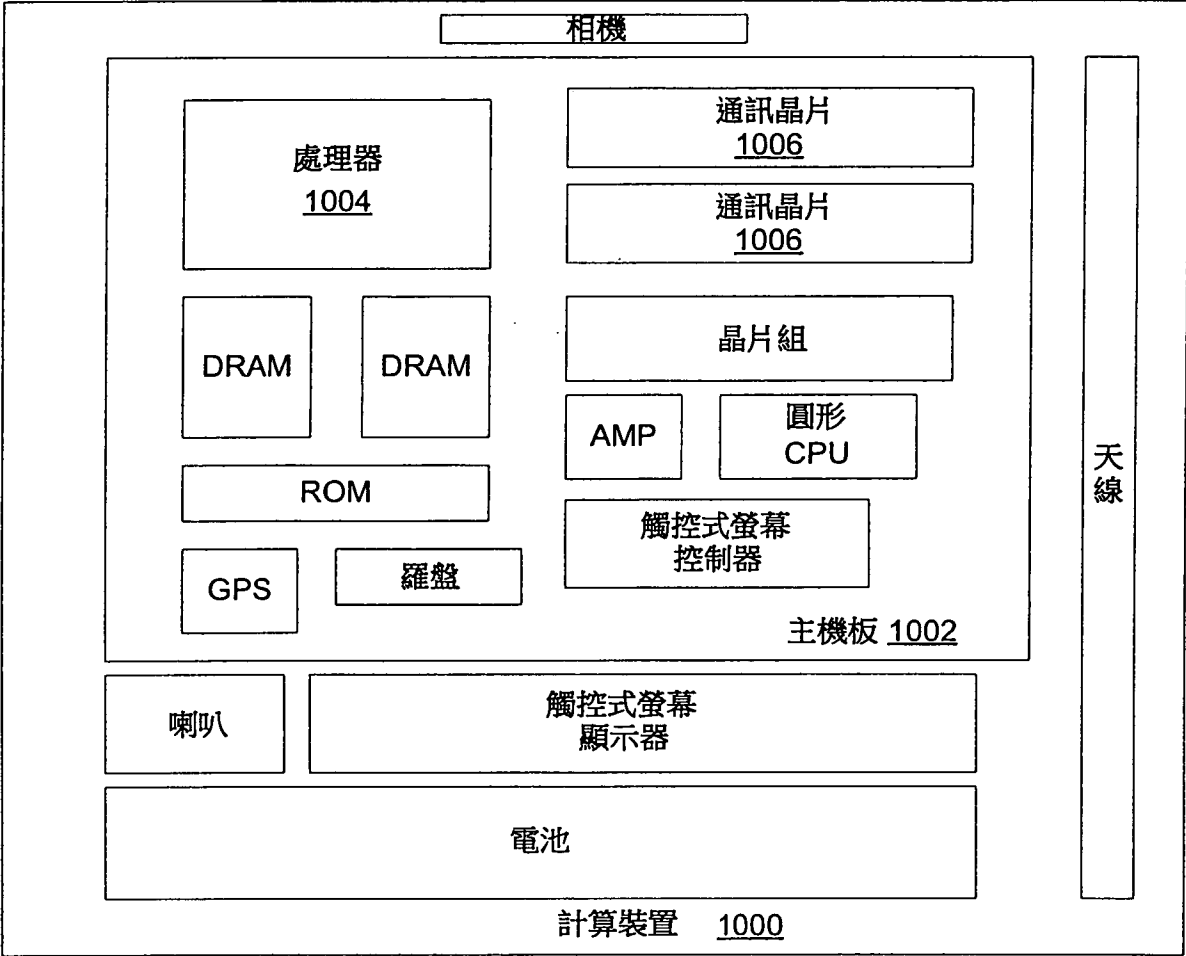
第 7 圖



第 8 圖



第 9 圖



第 10 圖