



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월06일  
(11) 등록번호 10-1006286  
(24) 등록일자 2010년12월29일

(51) Int. Cl.

H01L 27/02 (2006.01)

(21) 출원번호 10-2006-7020388

(22) 출원일자(국제출원일자) 2005년04월28일

심사청구일자 2008년02월29일

(85) 번역문제출일자 2006년09월29일

(65) 공개번호 10-2007-0018899

(43) 공개일자 2007년02월14일

(86) 국제출원번호 PCT/US2005/014645

(87) 국제공개번호 WO 2005/112105

국제공개일자 2005년11월24일

(30) 우선권주장

10/709,357    2004년04월29일    미국(US)

(56) 선행기술조사문헌

US06635506 B2\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인터내셔널 비지네스 머신즈 코퍼레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

친타킨디, 아닐, 케이.

미국 12601 뉴욕주 포그킵시에 디9 이니스 애비뉴  
134

그로베스, 로버트, 에이.

미국 12528 뉴욕주 히그랜드 오크 크레스트 드라이브 27

(뒷면에 계속)

(74) 대리인

주성민, 장수길

전체 청구항 수 : 총 10 항

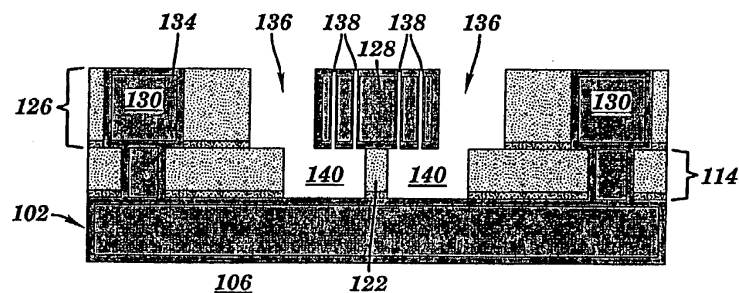
심사관 : 이승주

(54) 제조공정의 후 공정에서 서스펜드된 전송 라인 구조를형성하기 위한 방법

(57) 요약

반도체 디바이스에 대한 전송 라인 구조(300)를 형성하는 방법은 제1 금속화물 레벨 위에 층간 절연막을 형성하는 단계, 층간 절연막의 일부를 제거하고 층간 절연막의 일부를 제거함에 따라 생성된 하나 이상의 공극들(308) 내에 희생 물질을 형성하는 단계를 포함한다. 신호 전송 라인(302)은 층간 절연막 위에 형성되는 제2 금속화물 레벨에 형성되고, 상기 신호 전송 라인(302)은 희생 물질 위에 배치된다. 제2 금속화물 레벨 내에 포함된 절연체 물질의 일부는 희생 물질을 노출시키기 위해 제거되고, 상기 희생 물질의 일부는 신호 전송 라인(302)을 통해 형성된 복수의 액세스 홀들(310)을 통해 노출된다. 희생 물질은 신호 전송 라인(302) 밑에 에어 갭을 생성하기 위해 제거된다.

## 대표도 - 도2i



(72) 발명자

**트리티아코브, 요우리, 브이.**

미국 05403 버몬트주 사우쓰 버링턴 캐틀린 드라이브 128

**바에드, 쿠날**

미국 12601 뉴욕주 포그킵시에 에이피티. 씨 하버  
드라이브 세븐 허드슨

**볼랜트, 리차드, 피.**

미국 06812 커넥티컷주 뉴 페어필드 폴튼 드라이브 16

## 특허청구의 범위

### 청구항 1

반도체 디바이스를 위한 BEOL(back end of line) 전송 라인 구조체(300)로서,  
제1 금속배선(metallization) 레벨 위에 형성된 층간 절연막(interlevel dielectric layer);  
상기 층간 절연막에 형성된 하나 이상의 제1 공극들(voids; 308);  
제2 금속배선 레벨에 형성된 신호 전송 라인(302); 및  
상기 신호 전송 라인의 각 측면에 인접하여 형성된 하나 이상의 제2 공극들  
을 포함하고,  
상기 신호 전송 라인(302)은, 상기 하나 이상의 제1 공극들(308) 위에 배치되고, 상기 신호 전송 라인을 관통하  
도록 형성된 복수의 액세스 홀(access holes; 310)을 더 포함하며,  
상기 액세스 홀들은, 상기 하나 이상의 제1 공극들(308)을 정의하기 위해 사용되는 희생 물질(sacrificial  
material)을 제거하기 위한 것이고,  
상기 제2 공극들은 상기 희생 물질의 외측 에지를 노출시키며,  
상기 하나 이상의 제1 공극들(308)은 상기 신호 전송 라인(302) 밑에 에어 갭(air gap)을 정의하는 전송 라인  
구조체.

### 청구항 2

제1항에 있어서,  
상기 신호 전송 라인(302) 아래의 서포트(support; 306) 구조를 더 포함하고,  
상기 서포트 구조는 상기 층간 절연막으로부터의 물질을 포함하는 전송 라인 구조체.

### 청구항 3

제2항에 있어서,  
상기 서포트 구조는 연속적인 레일(rail)을 더 포함하는 전송 라인 구조체.

### 청구항 4

제2항에 있어서,  
상기 서포트 구조는 복수의 개별적 포스트(post)를 더 포함하는 전송 라인 구조체.

### 청구항 5

제1항에 있어서,  
상기 제1 금속배선 레벨 내에 형성된 접지면(ground plane; 304)을 더 포함하고, 상기 접지면(304)은 라이너  
(liner) 물질 내에 완전히 인캡슐레이트된(encapsulated) BEOL 금속 물질을 더 포함하는 전송 라인 구조체.

### 청구항 6

제5항에 있어서,  
상기 제2 금속배선 레벨에서, 상기 신호 전송 라인(302)에 인접한 한 쌍의 동일평면의 실드 라인들(coplanar  
shielding lines)을 더 포함하는 전송 라인 구조체.

### 청구항 7

제6항에 있어서,  
상기 동일평면의 실드 라인들 쌍과 상기 신호 전송 라인(302)도 상기 라이너 물질로 완전히 인캡슐레이트되는

전송 라인 구조체.

## 청구항 8

제6항에 있어서,

상기 동일 평면의 실드 라인들 쌍 및 상기 접지면을 전기적으로 접속하기 위해 상기 층간 절연막에 형성된 비아들을 더 포함하는 전송 라인 구조체.

## 청구항 9

제1항에 있어서,

상기 희생 물질은 유기 유전체를 포함하는 전송 라인 구조체.

## 청구항 10

제1항에 있어서,

상기 희생 물질은 건식 플라즈마 에칭에 의해 제거되는 전송 라인 구조체.

## 명세서

### 기술분야

[0001] 본 발명은 일반적으로 반도체 제조 공정에 관한 것으로, 보다 구체적으로는 반도체 디바이스의 제조공정의 후공정(BEOL; back end of line)에서 서스펜드된 전송 라인 구조를 형성하기 위한 방법에 관한 것이다.

### 배경기술

[0002] 반도체 집적 회로는 일반적으로 실리콘 칩의 상부 평면의 주 표면에 집적되는 MOS(metal oxide semiconductor) 또는 바이폴라 트랜지스터에 의해 형성된다. 다양한 트랜지스터들간 뿐 아니라 칩의 주변을 따라 위치한 특정 트랜지스터 및 액세스 핀들간의 전기적 상호접속들은 일반적으로 두 개의(또는 그 이상의) 상호접속 "레벨들", 즉 상호 평행하도록 배향되고 적절한 절연층에 의해, 서로로부터 및 칩의 상부 평면의 표면으로부터 절연되는 둘의(또는 그 이상의) 주 평면의 표면을 따라 연장되는 금속화물 스트립 형태의 전기적 도전성 라인들의 형태를 갖는다. 절연층의 상호접속 비아들(윈도우들)은 회로 상호접속의 필요에 따라 필요한 곳은 어디든 제공된다.

[0003] 특히, 마이크로스트립(microstrip) 구조는 배선이 조밀하지 않은 무선(RF) CMOS/SiGe 칩들에 주로 사용된다. 일반적으로, 마이크로스트립 구조는 손실이 많은(lossy) 하지의(underneath) 기판 물질 밑에 대하여 신호를 상당히 잘 절연시킨다. 도 1a에 도시된 바와 같이, 일반적인 마이크로스트립 전송 라인 구조(10)는 신호 전송 라인(12), 실드(shielding)를 위한 하지의 접지면(ground plane; 14) 및 그 사이에 층간 절연막(ILD; 16)을 포함한다. 실드(14) 및 신호 전송 라인(12)은 표준 상호접속 컴포넌트로 제조되기 때문에 유전체 물질(16)에 의해 인캡슐레이트된다. 예를 들어, 유전체 물질의 예로는, 실리콘 이산화물( $\text{SiO}_2$ ), SiCOH, SiLK, FSG, USG 등을 포함한다. 상기 물질들의 유전 상수는 일반적으로 약 2.5에서 약 4.1까지의 범위를 갖는다.

[0004] 한편, CMOS 칩과 같이 배선 밀도가 상대적으로 높은 곳, 예컨대 신호 라인 아래에 별도의 리턴 경로를 생성하기 어려운 곳에서는, 동일평면의 도파관들(coplanar waveguides)이 일반적으로 사용된다. 신뢰성 있게 신호를 리턴하는 유일한 방법은 신호 선에 사용된 것과 같은 동일한 라우팅 금속 레벨을 사용하는 것이다. 그러므로, 도 1b에 도시된 바와 같이, 일반적인 동일평면의 도파관 전송 라인 구조(20)는 신호 전송 라인(22) 및, 상기 전송 라인(22)과 동일한 배선 레벨 상에 배치된 두 개의 인접한 실드 라인들(24)을 포함한다. 동일평면의 도파관 구조(20)는 실리콘 기판(26)에서 정해진 거리에 있다. 측면 실드를 갖는(즉, 마이크로스트립 및 동일평면의 구조 모두의 특성을 갖는) 마이크로 스트립 전송 라인으로 언급되는 제3 구조도 현재의 전송 라인 구조에 사용되어 왔다.

[0005] 도 1c에 도시된 바와 같이, 측면 실드를 구비한 일반적인 마이크로스트립 전송 구조(30)는 신호 전송 라인(32), 실드를 위한 접지면(34) 및 그 사이의 층간 절연 물질(36)을 포함한다. 그러나, 실드는 신호 전송 라인(32)와 동일한 배선 레벨 상에 배치된 실드 라인들(38)도 포함한다. 실드 라인들(38)은 도전성 매립 비아들(40)을 통해 접지면(34)과 전기적으로 접속한다. 마이크로스트립 구조(10)와 같이, 종래의 동일평면의 요소들은 ILD 물

질에 의해 둘러싸인다.

[0006] 각각의 예에서, ILD 물질의 사용은 위에서 설명한 바와 같이 유전체 손실을 발생시키고 BEOL 상호접속의 전송 라인들의 Q-팩터를 감소시킨다. 따라서, 전송 라인의 성능을 개선시키기 위해 더 낮은 유전 물질과 관련하여 실드된 전송 라인 구조를 생성하는 것이 바람직하다.

### 발명의 상세한 설명

[0007] 앞서 논의된 종래 기술의 결점 및 단점은 반도체 디바이스에 대한 전송 라인 구조를 형성하기 위한 방법에 의해 극복되거나 경감될 수 있다. 예시적 실시예에서, 상기 방법은 제1 금속배선 레벨 위에 층간 절연막을 형성하는 단계, 층간 절연막의 일부를 제거하고 층간 절연막의 일부를 제거함에 따라 생성된 하나 이상의 공극들(308) 내에 희생 물질을 형성하는 단계를 포함한다. 신호 전송 라인(302)은 층간 절연막 위에 형성되는 제2 금속배선 레벨에 형성되고, 상기 신호 전송 라인(302)은 희생 물질 위에 배치된다. 제2 금속배선 레벨 내에 포함된 절연체 물질의 일부는 희생 물질을 노출시키기 위해 제거되고, 상기 희생 물질의 일부는 신호 전송 라인(302)을 통해 형성된 복수의 액세스 홀들(310)을 통해 노출된다. 희생 물질은 신호 전송 라인(302) 밑에 에어 갭을 생성하기 위해 제거된다.

[0008] 다른 실시예에서, 반도체 디바이스의 BEOL 전송 라인 구조는 제1 금속배선 레벨 위에 형성된 층간 절연막, 및 층간 절연막에 형성된 하나 이상의 공극들을 포함한다. 신호 전송 라인은 제2 금속배선 레벨에 형성되고, 하나 이상의 공극들 위에 배치된다. 신호 전송 라인은, 자신을 관통하도록 형성된 복수의 액세스 홀을 더 포함하며, 상기 액세스 홀들은 하나 이상의 공극들을 정의하기 위해 사용되는 희생 물질을 제거하기 위한 액세스를 제공하고, 하나 이상의 공극들은 상기 신호 전송 라인(302) 밑에 에어 갭(air gap)을 정의한다.

[0009] 또 다른 실시예에서, BEOL 마이크로스트립 전송 라인 구조는 금속배선 레벨 상에 형성된 신호 전송 라인과, 다른 금속배선 레벨 상에 형성된 접지면을 포함한다. 에어 갭은 신호 전송 라인과 접지면 사이에 배치되며, 층간 절연막 내에 형성된다. 신호 전송 라인 및 접지면 중 하나는 에어 갭을 정의하기 위해 사용되는 희생 물질을 제거하기 위한 액세스를 제공하기 위해 자신을 관통하도록 복수의 액세스 홀들을 포함한다.

[0010] 또 다른 실시예에서, BEOL 동일평면의 도파관 전송 라인 구조는 제1 금속 배선 레벨 상에 형성된 신호 전송 라인, 및 제1 금속배선 레벨의 신호 전송 라인에 인접한 한 쌍의 동일평면의 실드 라인들을 포함한다. 에어 갭은 신호 전송 라인 밑에 배치되고, 층간 절연막 내에 형성된다. 신호 전송 라인은 에어 갭을 정의하는데 사용되는 희생 물질을 제거하기 위한 액세스를 제공하기 위해 복수의 액세스 홀들을 포함한다.

### 실시예

[0025] 여기에 개시되는 것은 BEOL 반도체 공정에서 서스펜드된(suspended) 전송 라인 구조를 형성하기 위한 방법으로서, 집적 방안(integration scheme)은 더 낮은 유전체 손실을 갖는 구리 BEOL 전송 라인 구조로 귀결된다. 그러나, 여기서 설명되는 방법 실시예들은 구리 BEOL로 한정되는 것이 아니며 다양한 물질들, 예컨대 알루미늄, 텅스텐, 금을 사용하여 제조되는 다른 상호접속에까지 확장될 수 있다. 일 실시예에서, 집적 방법은 상호접속 유전 상수를 줄임으로써 극초단파(microwave) 주파수에서 특히 높아질 수 있는 용량성 누화(capacitive cross-talk)의 양을 줄이기 위해 신호 라인과 접지면 사이에 에어 갭(air gap)을 형성하는 것으로 귀결된다. 또한, 이하 사용되는 "에어 갭"이라는 용어는 신호 라인과 접지면 사이에 반드시 에어가 존재하는 것으로 한정되는 것은 아니며, 임의의 기체 상태 물질이나 진공의 존재를 나타내거나 설명하도록 의도되었다.

[0026] 이제 도 2a 내지 2i를 일반적으로 참조하면, 본 발명의 일 실시예에 따라 BEOL 공정에서 서스펜드된 전송 라인 구조를 형성하기 위한 방법을 도시한 일련의 흐름도가 도시된다. 도 2a에서, 접지면(ground plane; 102)은 싱글 다마신(damascene) 공정 기술을 통해 형성된다. 특히, 라이너 물질(104; 예컨대, 탄탈 질화물/탄탈)이 절연층(106)에 형성된 개구 내에 증착되고, 예컨대 구리와 같은 BEOL 금속배선(BEOL metallization; 108)이 예컨대 전기도금, 스퍼터링 등에 의해 라이너 물질 위에 증착되고, 평탄화된다. 도 2b에 도시된 바와 같이, 접지면(102)은 그 후 상부 라이너 영역(110)의 형성을 위한 BEOL 금속배선(108) 일부의 리세스 에칭, 추가적인 라이너 물질의 증착, 및 평탄화에 의해 완전하게 인캡슐레이트된다. 인캡슐레이트되었으므로, 접지면(102)은 금속배선(108) 원자의 확산을 방지할 뿐 아니라, 이하 설명되는 후속 공정 단계에서의 산화를 방지한다.

[0027] 예시적인 일 실시예에서, 배선(108)의 상부 표면은 유전체 층(106)의 상부 층에 대하여 리세스된다(recessed). 금속을 리세스하기 위한 하나의 방법은 원하는 깊이를 얻기 위하여 타이밍 습식 에칭(timed wet etch)을 사용하는 것이다. 예를 들어, 물, 아세트산(acetic), 및 수소 과산화물(예시적으로 각각 3 리터, 15 밀리리터, 9 밀

리리터의 농도)의 용액을 약 2.5분 동안 가하여 약 600 옴스트롱에서 약 800 옴스트롱의 깊이를 얻는다. 다음으로 장벽(barrier) 물질층(110)이 증착되어 구리를 인캡슐레이트하는데 사용되어 후속 공정 동안 구리를 보호하게 된다. 특정 일 실시예는, 100 옴스트롱 두께의 탄탈(Ta)층과, 그 다음으로 400 옴스트롱의 탄탈 질화물(TaN)을 포함한다. 다른 방법으로, 장벽 물질(110)은 유전체 또는 임의의 수의 다른 적절한 금속 장벽으로 이루어질 수도 있다.

[0028] 금속배선을 인캡슐레이트하는 또 다른 방법은 컨덕터를 정의하기 위한 동일한 마스크를 반대 극성 포토레지스트와 함께 사용하여, 블랭킷 장벽(blanket barrier; 110)을 패터닝하고 이어서 장벽층을 최상층 표면으로부터 에칭하는 것이다. 배선을 인캡슐레이트하기 위해 사용될 수 있는 다른 물질은 코발트-텅스텐-인(CoWP) 및 Ni-Au 합금을 포함하며, 이들은 다른 방법들 중에서도 전기도금(electro plating) 및 무전해도금(electroless plating)에 의해 증착될 수 있다.

[0029] 도 2c는 동일평면상의 전송 라인 실시예에 따른, 층간막(ILD; 114) 내의 비아들(112)의 형성을 도시한다. ILD층(114)은 예컨대 실리콘 질화물( $\text{Si}_3\text{N}_4$ ; 116), 이후 비아 정의를 위해 리소그래픽 패터닝되는 더 두꺼운  $\text{SiO}_2$ 층(118)을 포함할 수 있다. 다음으로, 매립 비아들(112)을 형성하기 위해 기술 분야에 알려진 바와 같이 라이너 및 금속 물질들이 개구 내에 형성되고 평탄화된다.

[0030] 도 2d를 참조하면, 비아들(112) 사이에 평행 트렌치들(120)이 ILD층 내에 형성된다. 다른 방법으로, 원래의 질화물층(116)이 위에서 논의된 바와 같이 접지면을 밀봉하고 보호하기 위해 트렌치들(120)의 하부에 남아있을 수 있다. 트렌치들은 그 사이에 절연 서포트 멤버(insulating support member; 122)가 생성되도록 배치된다. 이 단계에서의 리소그래픽 패터닝은 서포트 멤버(122)가 접지면(102)의 길이를 따라 연장되는 연속적인 레일(rail)이거나, 서포트 멤버가 접지면(102)의 길이를 따라 배치된 복수의 개별적 포스트(post)가 되도록 디자인될 수 있다. 즉, 서포트 멤버(122)를 포스트 구성으로 하는 것이 바람직한 경우, 트렌치들(120)은 접지면(102)의 길이를 따라(즉, 도면을 바라보는 방향에서) 여러 위치에서 서로 "연결"된다. 서포트 멤버(122)는 둘 이상의 평행 레일 또는 일련의 개별적 포스트들로 구성될 수도 있다. 다음으로, 도 2e에서, 트렌치(124)에 희생 물질(sacrificial material; 124)이 형성되고 평탄화된다. 희생 물질(124)은 이후에 예컨대, ILD층과 BEOL 금속화물 물질에 대해 선택적으로 제거가능하도록 선택된 유기 로우 케이(organic low-k) 유전체 폴리머가 될 수 있다.

[0031] 희생 물질로 사용될 수 있는 일부 예시적인 물질들로는 SiLK<sup>®</sup>, DLC(diamond-like carbon) 및 PNB(polynorbornene)이 있다. SiLK<sup>®</sup>는 다우 케미컬사에 의해 제조되는 반도체 유전체이고 Porous SiLK<sup>®</sup>와 같은 다양한 조성의 제품이 이용가능하다. 이 특정 유전체는 감마-부티로락틴(gamma-butyrolactone), 독점 B-단 폴리머(proprietary B-staged polymer) 및 메시틸렌(mesitylene)으로 구성된 폴리머 수지이다. 이러한 목적으로 사용될 수 있는 다른 물질은 DLC로서 비결정질 탄소 함유 코팅이며, 탄소 원자들의 비율은 다이아몬드와 유사한 방식으로 결합되어 있다. 이러한 물질들은 노출도 산화될 수 있는(oxidizable) 물질이 없는 한, 산소 플라즈마 노출의 방법으로 제거될 수 있다. 유기 물질의 제거 동안 노출된 산화가능 물질이 존재하는 경우,  $\text{H}_2/\text{CO}_2/\text{CO}/\text{N}_2$ 형플라즈마 제거 공정이 사용될 수 있다. 이러한 기체 혼합물은 반응성 이온 에칭의 당업자에게 인식가능할 것이다. 폴리노보르넨(polynorbornene)은 열적으로 약 400-425°C에서 분해되는 희생 폴리머이다. 따라서, 희생 물질을 제거하기 위해 간단한 열 처리가 사용될 수 있다.

[0032] 도 2f는 신호 레벨 금속배선 구조의 형성을 도시한다. 도시된 바와 같이, 다른 유전체층(126)이 ILD층(114) 위에 형성되고, 신호 전송 라인(128) 및 동일평면의 실드 라인들(130)을 형성하기 위해 개구가 정의된다. 그러나, 신호 전송 라인을 위한 패터닝은 유전체층(126)의 복수의 플러그(132)를 남기기 위한 방식으로 실현될 수 있다는 것을 알 수 있다. 그러므로, 라이너 및 금속배선 재료가 동일평면의 실드 라인들(130) 및 신호 전송 라인(128)을 위해 추가될 때, 결과적인 신호 전송 라인 금속배선은 그 길이를 따라 완전히 연속적인 것이 아니다.

[0033] 접지면(102)의 경우와 마찬가지로, 신호 레벨 금속배선 구조들의 인캡슐레이션을 위해 그 위에 형성되는 상부 라이너(134)를 준비하기 위해 신호 전송 라인(128) 및 동일평면의 실드 라인들(132)을 위한 BEOL 금속배선의 영역이 리세스 에칭된다. 이는 도 2g에 도시된다. 도 2h에서, 희생 물질(124)의 외측 에지를 노출시키는 공극들(136)을 생성하기 위해, 신호 전송 라인(128)의 각각의 측면에 인접한 유전체층(126)의 일부를 제거하기 위하여 다른 패터닝 단계가 이루어진다. 또한, 신호 전송 라인(128)의 패터닝 후에 남겨진 유전체 플러그들(132)도 이제 액세스 홀들(access holes; 138)을 형성하기 위해 제거된다. 신호 전송 라인(128)을 따른 다양한 지점에서



의 공극들(136)과 액세스 홀들(138)의 조합은 도 2i에 도시된 바와 같이 희생 물질(124)의 제거(예컨대,  $O_2$  플라즈마 에칭을 통해 이루어짐)를 가능하게 한다.

[0034] 선택된 희생 물질이 SiLK<sup>®</sup> 또는 DLC일 때, 상기 물질을 분해시키는 산소 또는 수소 플라즈마에 노출시킴으로써 상기 물질이 제거된다. 이 공정에 관한 추가적인 세부사항은 본 명세서에 전체로서 통합되고 Material Research Society에 의해 공개되고 A. Joshi 및 Nimmagadda에 의해 발행된 "Erosion of diamond films and graphite in oxygen plasma", Journal of Material Research, Vol. 6, No. 7, p.1484, 1996에서 찾을 수 있다. 폴리노보르넨에 있어서, 425℃에서의 열처리가 신호 라인을 릴리즈(release)하기 위해 수행될 수 있다. 이 릴리즈 프로세스의 추가적 세부사항은 본 명세서에 전체로서 통합되고 Dhananjay Bhusari등에 의한 "Fabrication of Air-Channel Structures for Microfluidic, Microelectromechanical, and Microelectronic Applications", Journal of Microelectromechanical Systems, Vol. 10, No.3, p. 400, 2001의 논문에서 찾을 수 있다. 그러므로 결과적인 전송 라인 구조는 ILD(114) 레벨에 있어서 신호 전송 라인(128)의 아래 뿐만 아니라 신호 레벨(128)에 있어서 신호 전송 라인(128)에 인접해 있는(공극(136)에 의함), 낮은 유전 상수(에어) 갭(140)을 포함한다.

[0035] 도 2j는 서스펜드된 전송 라인 구조의 디자인 및 레이아웃을 도시하는 평면도이다. 액세스 홀들(138)의 디자인에서, 신뢰성 있는 신호 전파를 가능하기 위해 홀들의 배치에 특별한 주의가 기울여진다. 도 2j의 실시예에서, 컨덕터 에지들에 평행한 액세스 홀들의 직교(orthogonal) 배열이 전류 장애를 최소화하기 위해 구현된다. 또한, 액세스 홀들(138)의 크기는 희생 물질의 측면 에칭(lateral etching)이 가능할 정도로 커야하며, 반면 신호 라인 저항에 있어서 증가를 최소화할 정도로 작아야 한다.

[0036] 희생 물질을 제거한 후, 서스펜드된 전송 라인 구조를 인캡슐레이션하는 한 가지 방법은 디바이스를 완전하게 덮을 수 있도록 폴리이미드(polyimide) 또는 캡톤(kapton) 층을 증착하는 것이다(도시하지는 않음). 다음으로, 폴리이미드/캡톤 층들은 이후의 BEOL 공정에 필요한 테스트 패드와의 콘택트(contact)를 만들기 위해 패터닝될 수 있다.

[0037] 도 7a 내지 7g는 (도 2g에서 형성된 구조로부터 시작하여 사용될 수 있는), 서스펜드된 전송 라인 구조의 인캡슐레이션 방법을 설명하는데에도 유용할, 다른 공정 실시예를 도시한다. 도 7b에서, 유전체층(142; 바람직하게는  $Si_3N_4$ ) 및 ILD층(144; 바람직하게는  $SiO_2$ )은 신호 라인 구조 위에 증착된다. 도 7c에 도시된 바와 같이, 공동(cavity; 146)이 리소그래픽 패터닝과 에칭 단계를 사용하여 신호 라인(128) 위에 형성된다. 이 공동의 에칭 동안, 유전체 물질은 또한 신호 라인(128) 주위, 그리고 신호 라인(128)에 포함된 릴리즈 홀들을 통해 공동 영역으로부터 제거된다.

[0038] 그 후, 도 7d에서, 에칭된 영역은 이전에 설명한 것과 같은 릴리즈 물질(148; 즉, SiLK<sup>®</sup> 또는 DLC)로 더 채워진 후 평탄화된다. 초기에 아래에 위치했던 동일한 희생 물질이 재사용되어, 릴리즈 공정을 통해 릴리즈 물질의 모든 층들을 제거하게 된다. 도 7e는 층(150; 층들(142, 144)의 집합)의 상부에 또 다른 유전체층(152)을 추가하는 것을 도시하고 있으며, 층(152) 내에 비아들(154)이 패터닝되고 에칭된다. 이러한 비아들(154)은 릴리즈 물질(148)로의 액세스를 제공하며, 다음으로 도 7f에 도시된 바와 같이 집적 공정의 마지막 단계 동안 제거된다. 마지막으로, 도 7g는 작은 비아들(154)을 핀치 오프(pinch off)하는 다른 유전체층(158)을 증착하여 서스펜드된 전송 라인 구조를 밀봉하는 최종 인캡슐레이션 단계를 도시한다.

[0039] 이제 도 8a 내지 8d를 참조하면, 도 2i에서 시작하여 서스펜드된 전송 라인 구조를 인캡슐레이션하기 위한 또 다른 방법을 도시하는데, 캐리어 기판(carrier substrate)이 이러한 인캡슐레이션 공정을 위해 사용된다. 이 캐리어 기판은  $Al_2O_3$ , 유리, 실리콘 등을 포함할 수 있으나 이에 한정되는 것은 아니다. 층간 유전 물질(160; 예컨대,  $SiO_2$ )은 도 8b에 도시된 바와 같이 캐리어 기판(162) 상에 증착된다. 다음으로, 도 8c에 도시된 바와 같이 캐리어 기판(162)은 저온 본딩, 공융 본딩(eutectic bonding) 등과 같은 다수의 주지된 표준 공정들 중 임의의 하나를 사용하여 서스펜드된 전송 라인 구조에 본딩된다.

[0040] 다음으로, 캐리어 기판(162)은 습식 에칭, 플라즈마 에칭, 평탄화, 그라인딩 등과 같은 다수의 공정들 중 임의의 것을 사용하여 제거될 수 있다. 어느 경우에 있어서라도, 캐리어 제거 공정은 도 8d에 도시된 바와 같이 ILD층(160) 상에서 종료되어야 한다. 인캡슐레이션 공정 후에, 표준 BEOL 공정이 계속될 수 있다.

[0041] 에어 유전체를 구비한 접지면을 갖는 동일평면의 전송 라인 구조에 추가하여, 위에서 설명된 공정이 다른 유형

의 전송 라인 구조들을 형성하는데 적용될 수도 있음이 이해될 것이다. 예를 들어, 도 3은 인캡슐레이트된 신호 전송 라인(302), 인캡슐레이트된 접지면(304) 및 서포트 멤버(306)를 포함하는 마이크로스트립 전송 라인 실시예(300)를 도시한다. 에어 갭 유전체는 ILD 레벨과 신호 라인 레벨 모두에서 위에서 설명한 방식과 유사한 방식으로 공극들을 형성함으로써 더 생성된다. 또, 신호 전송 라인(302)은 ILD 레벨에서 공극들을 형성하기 위해 희생 물질의 제거를 돕기 위한 복수의 액세스 홀들(310)을 포함한다. 도 4는 신호 전송 라인(402)이 접지면(404)보다 낮은 금속배선 레벨에서 형성된, 반전된 마이크로스트립 전송 라인 실시예(400)를 도시한다. 따라서, 에어 갭 유전체를 위한 공극들(408)을 형성하기 위해, 액세스 홀들은 신호 전송 라인(402) 대신 접지면(404)에 먼저 생성된다.

[0042] 도 5를 참조하면, 다른 동일평면의 전송 라인 실시예(500)가 도시되며, 이 실시예에서는 신호 전송 라인(504) 바로 밑에 형성된 접지면이 존재하지 않는다. 대신에, 동일평면의 실드 라인들(506)이 전기적으로 서로에 대해 절연되어 있으며, 비아들(510)을 통해 각각의 더 낮은 레벨 라인들(508)에 각각 결합된다. 도 6은 동일평면의 도파관 구조(600)를 도시하고 있는데, 여기서 접지면은, 하지의 금속 레벨들로의 접속 없이, 단지 서스펜드된 신호 라인(604)과 동일한 레벨의 두 개의 실딩 라인들(606)을 포함한다.

[0043] 도 9a 내지 9c의 공정 흐름 도면에 도시된 바와 같이, 서스펜드된 신호 라인 토폴로지의 또 다른 실시예는 스트립라인(stripline) 전송 라인이다. 후속 BEOL 공정은 도 8a 내지 8d에 정의된 인캡슐레이션 공정의 마지막에서 생성된 구조 상에서 수행된다. 도 9b에서, 비아 콘택트들(164)은 두 개의 실드 라인들(130)과의 전기적 콘택트를 만들기 위해 싱글 다마신 공정을 사용하여 제조된다. 다음으로 도 9c에서, 접지면(166)은 싱글 다마신 집적을 사용하여 제조되지만, 비아 콘택트들(164) 및 접지면(166)이 이중 다마신 집적 공정으로 제조된다.

[0044] 접지면을 포함하는 전송 라인 실시예들에 있어서, 접지면은 반드시 신호 전송 라인 레벨의 바로 밑(또는 위)의 금속배선 레벨에 위치할 필요가 있는 것은 아니다. 즉, 접지면은 예컨대 다양한 라인 임피던스 값들을 제공하기 위하여 신호 전송 라인의 몇 레벨 아래에 배치될 수도 있다. 구조가 접지면을 특징으로 하는 동일평면의 전송 라인인 경우, 동일평면의 실딩 라인들이 상호접속 라인들/비아들의 다중 레벨들을 통해 접지면에 전기적으로 결합될 수 있다.

[0045] 마지막으로, 도 10a 내지 10d는 마이크로스트립 에어 갭 전송 라인 구조(도 3에 도시된 것과 같음)와 SiO<sub>2</sub> 유전체를 구비한 종래의 마이크로스트립 구조를 비교하는 다양한 시뮬레이션 결과들을 반영한다. 도 10a 및 10b에 도시된 바와 같이, 서스펜드된 상호접속은 SiO<sub>2</sub> 유전체 구조와 비교할 때 넓은 범위의 극초단파 파장에 걸쳐 더 낮은 손실을 갖는다. 특히, 도 10a의 그래프는 삽입 손실(insertion loss)을 주파수 대 크기로 나타내는 반면(스캐터링 파라미터 S<sub>21</sub>), 도 10b는 주파수 대 감쇄 상수(attenuation coefficient)를 나타낸다. 서스펜드된 상호접속 구조는 도 10c에서 더 도시되어 있듯이 더 낮은 기생 커패시턴스를 가질 뿐 아니라, 도 10d에 도시된 바와 같이 더 높은 임피던스를 갖는다.

[0046] 이해할 수 있듯이, 신호 라인과 리턴 경로 사이에 생성된 에어 갭의 결과로 인하여, 위의 설명된 전송 라인 구조 실시예들은 더 낮은 감쇄와 감소된 유전체 손실(RF/극초단파 파장에서 보통 높을 수 있음)을 제공한다. 또한, 유효 상호접속 유전 상수의 감소로 인하여 용량성 누화 전압이 줄어들게 되고, 신호 전파 지연을 낮추게 된다. 다른 장점은 확장된 특성 임피던스의 사용가능 범위에 의해 제공되는 신호 대역폭(signal bandwidth)의 증가이다. 서로 다른 주파수 성분을 갖는 신호들은 손실이 많은(lossy) 배선에서 서로 다른 속도로 이동한다. 그러므로, 에어 유전체를 사용할 때 분산(dispersion) 역시 줄어든다. 또 다른 장점은 대부분 에어에 집중되는 전자기 전파에 있어서 보다 간단한 신호 모델링이 가능하다는 점이다. 구조적 관점에서 볼 때, 에어 갭 구성의 전송 특성은 반도체 표면 조건 및 벌크 기판 특성에 의해 매우 적게 영향받는다.

[0047] 본 발명이 바람직한 실시예 또는 실시예들과 관련하여 설명되었으나, 본 발명의 범위에서 벗어나지 않고도 다양한 변경이 이루어질 수 있고 요소들에 대해 동등물이 대체될 수 있음을 당업자는 이해할 것이다. 또한, 본 발명의 주 범위에서 벗어나지 않고도 특정 상황이나 재료를 채택하기 위해 많은 변경이 이루어질 수 있다. 따라서, 본 발명은 본 발명을 수행하기 위해 고려된 최적의 모드로 개시된 특정 실시예로 한정되는 것이 아니라, 첨부된 청구항의 범주 내에 놓인 모든 실시예들을 포함할 것이다.

## 산업상 이용 가능성

[0048] 본 발명은 반도체 디바이스 분야, 특히 서스펜드된 전송 라인 구조의 형성을 포함하는 반도체 디바이스 분야에 영향을 미친다.



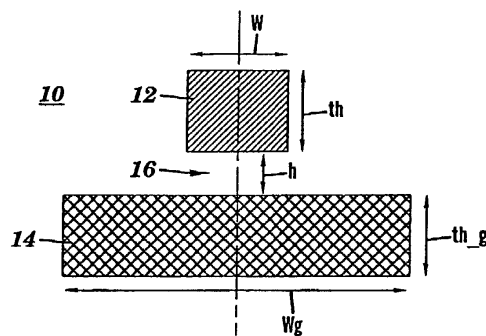
## 도면의 간단한 설명

- [0011] 예시적인 도면들이 참조되며, 몇몇 도면에서 유사한 요소는 비슷하게 번호가 주어졌다.
- [0012] 도 1a는 종래 마이크로스트립 전송 라인 구조의 단면도.
- [0013] 도 1b는 종래 동일 평면상의 도파관 전송 라인 구조의 단면도.
- [0014] 도 1c는 종래 측면 실드(side shielding)를 구비한 마이크로스트립 전송 라인 구조의 단면도.
- [0015] 도 2a 내지 2i는 본 발명의 일 실시예에 따라, BEOL에서 서스펜드된 전송 라인 구조를 형성하기 위한 방법을 도시하는 일련의 흐름도.
- [0016] 도 2j는 도 2a내지 2i에서 형성된 결과적 서스펜드된 전송 라인 구조의 디자인 및 마스크의 평면도(위-아래).
- [0017] 도 3은 에어 갭 유전체를 구비한 마이크로스트립 전송 라인 실시예의 단면도.
- [0018] 도 4는 에어 갭 유전체를 구비한 반전된(inverted) 마이크로스트립 전송 라인 실시예의 단면도.
- [0019] 도 5는 신호 라인 바로 밑에 접지면(ground plane)이 없고, 에어 갭 유전체를 구비하고 있는 동일 평면상의 전송 라인 실시예의 단면도.
- [0020] 도 6은 아래에 놓인 임의의 접지면이 없고, 에어 갭 유전체를 구비한 동일평면상의 도파관(waveguide) 전송 라인 실시예의 단면도.
- [0021] 도 7a 내지 7g는 본 발명의 일 실시예에 따라, 도 2a 내지 2g에서 형성되는 것과 같은 서스펜드된 전송 라인 구조를 인캡슐레이션하기(encapsulating) 위한 한 가지 방법을 도시한 일련의 흐름도.
- [0022] 도 8a 내지 8d는 본 발명의 일 실시예에 따라, 도 2a 내지 2g에서 형성되는 것과 같은 서스펜드된 전송 라인 구조를 인캡슐레이션하기 위한 다른 방법을 도시한 일련의 흐름도.
- [0023] 도 9a 내지 9c는 신호 라인 아래에 에어 갭을 가지고, 위아래에 접지면을 구비한 스트립 라인 전송 라인 실시예의 형성을 도시한 일련의 흐름도.
- [0024] 도 10a 내지 10d는 마이크로스트립 에어 갭 전송 라인 구조(도 3에 도시된 것과 같음) SiO<sub>2</sub> 유전체를 구비한 종래의 마이크로스트립 구조를 비교한 다양한 시뮬레이션 결과들을 나타내는 그래프.

## 도면

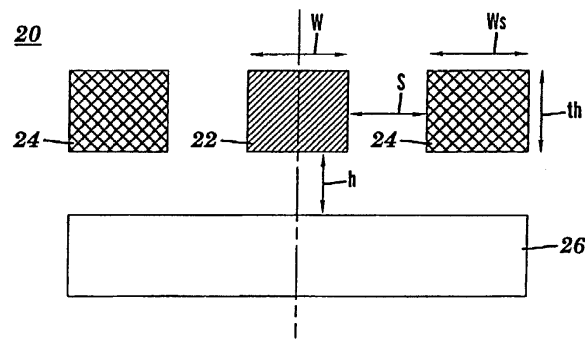
### 도면1a

(종래 기술)



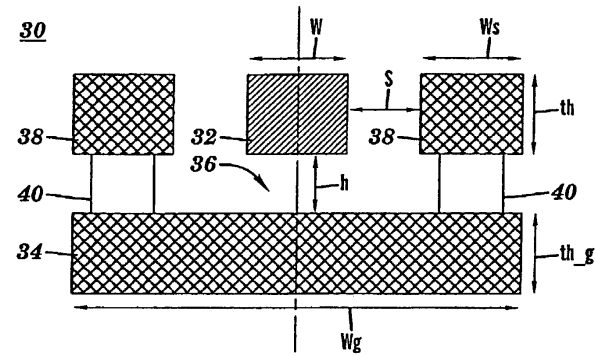
도면1b

(종래 기술)

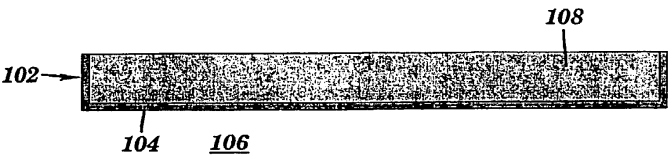


도면1c

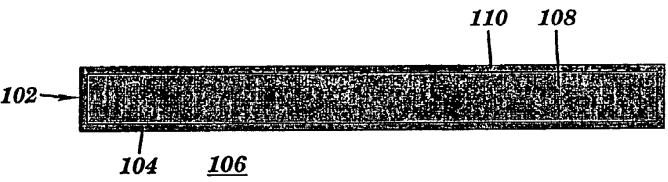
(종래 기술)



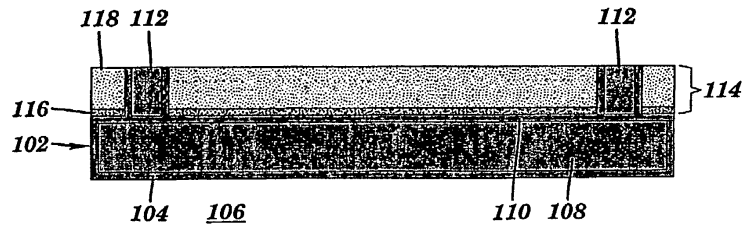
도면2a



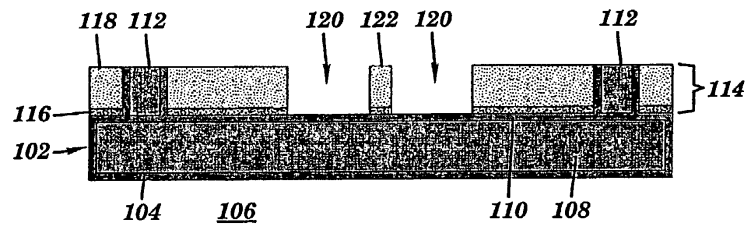
도면2b



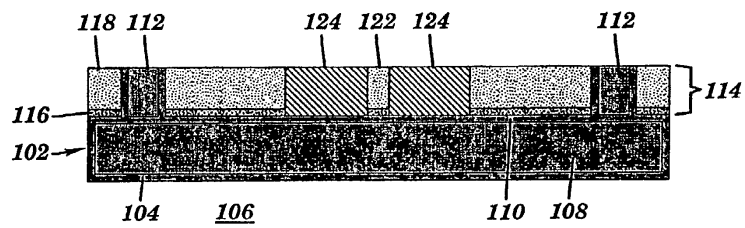
도면2c



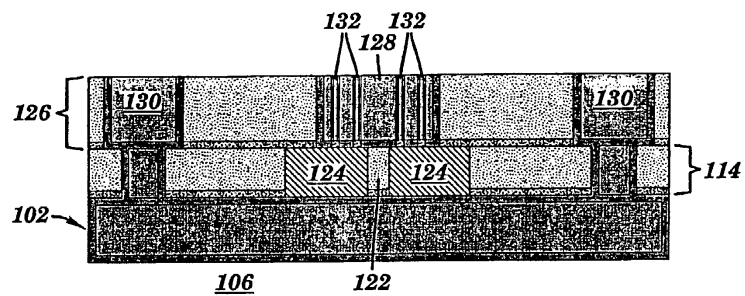
도면2d



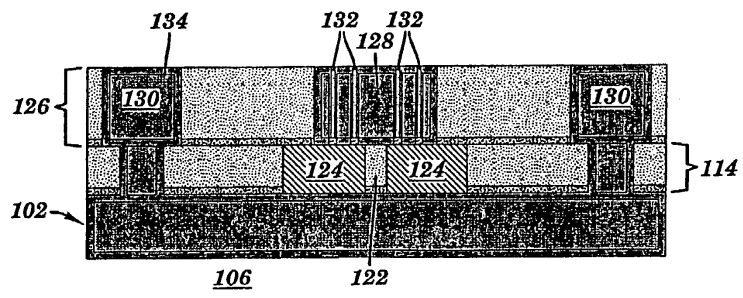
도면2e



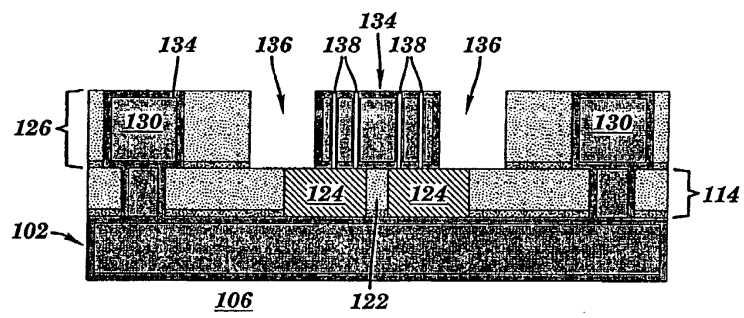
도면2f



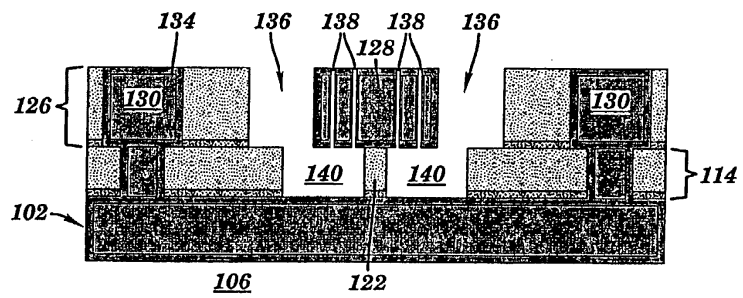
도면2g



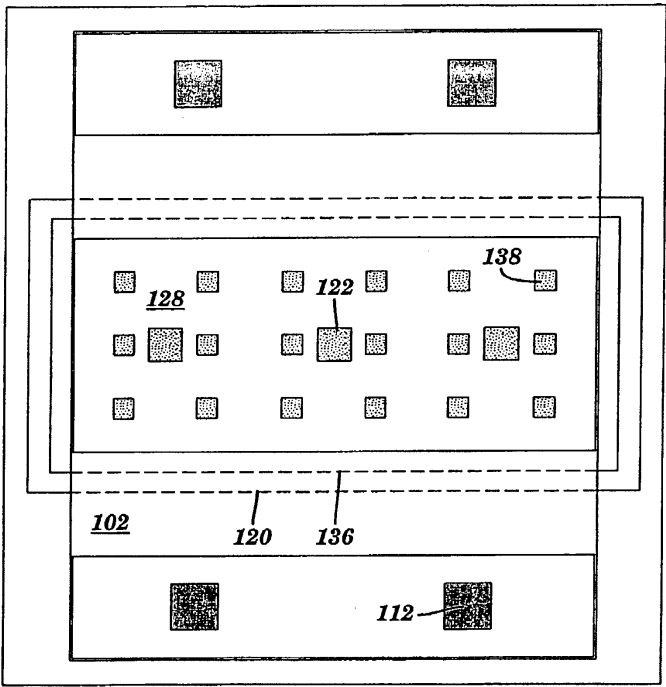
도면2h



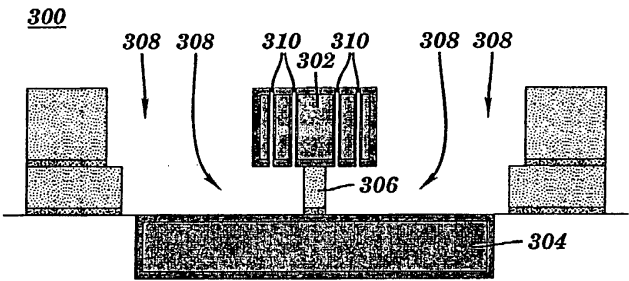
도면2i



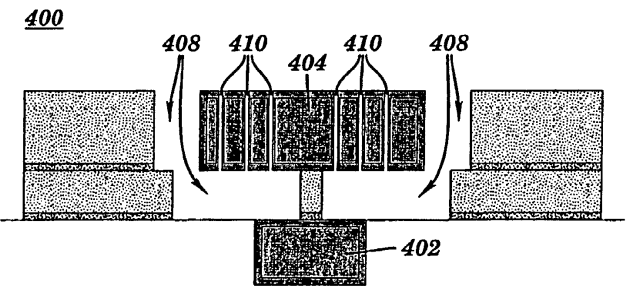
도면2j



도면3

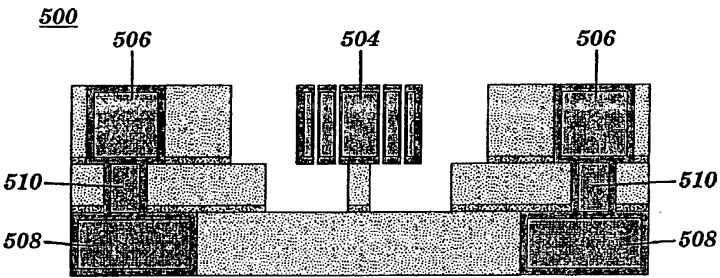


도면4

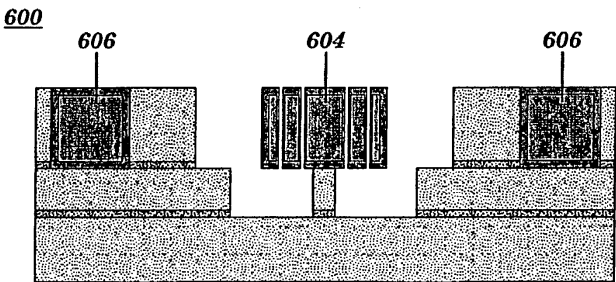




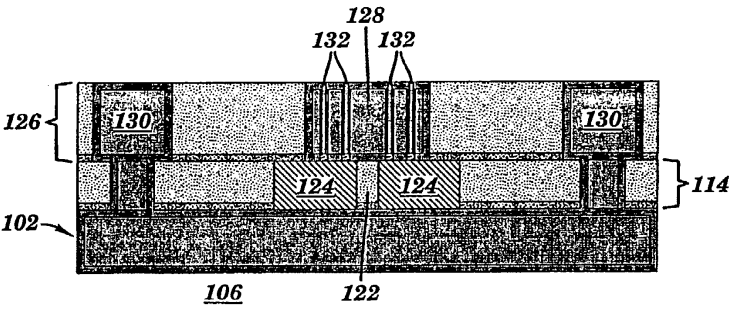
도면5



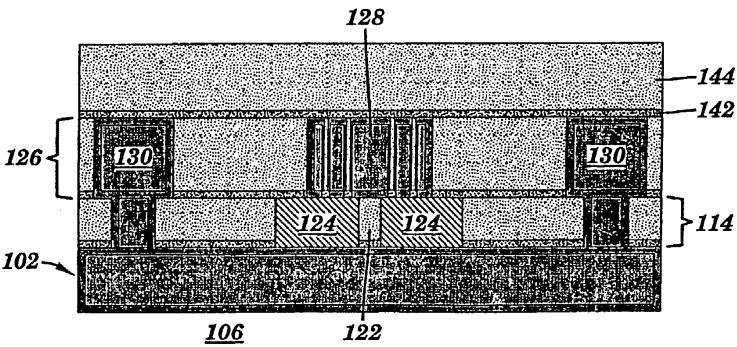
도면6



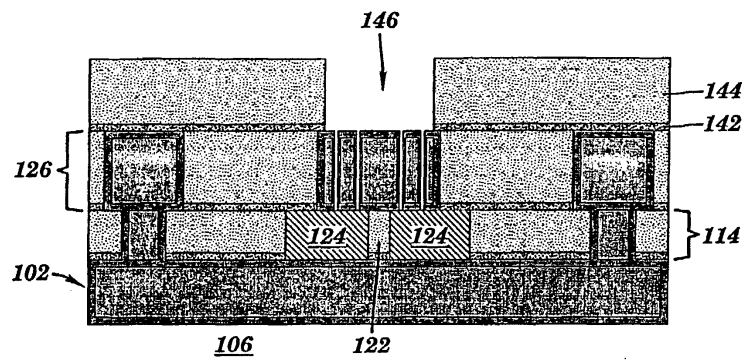
도면7a



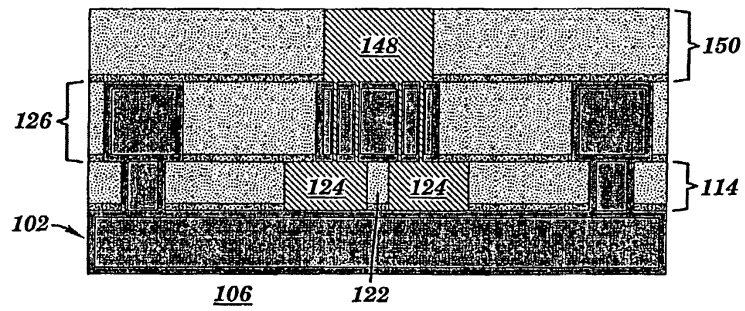
도면7b



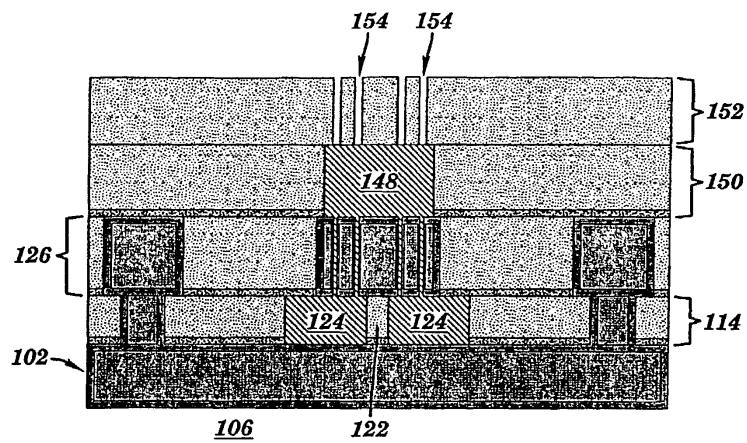
도면7c



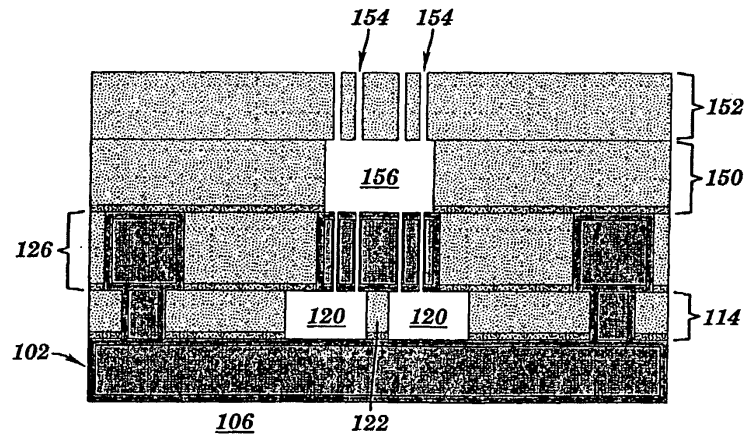
도면7d



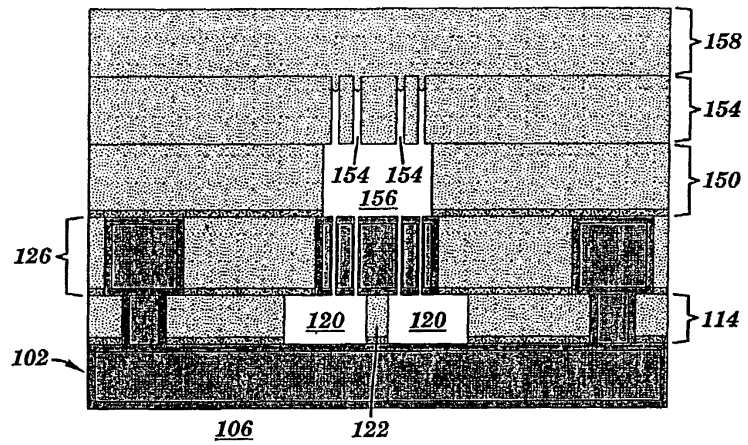
도면7e



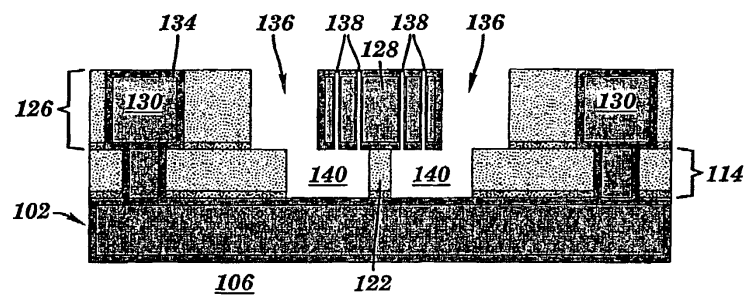
도면7f



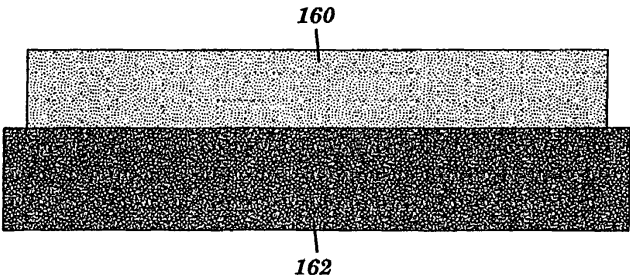
도면7g



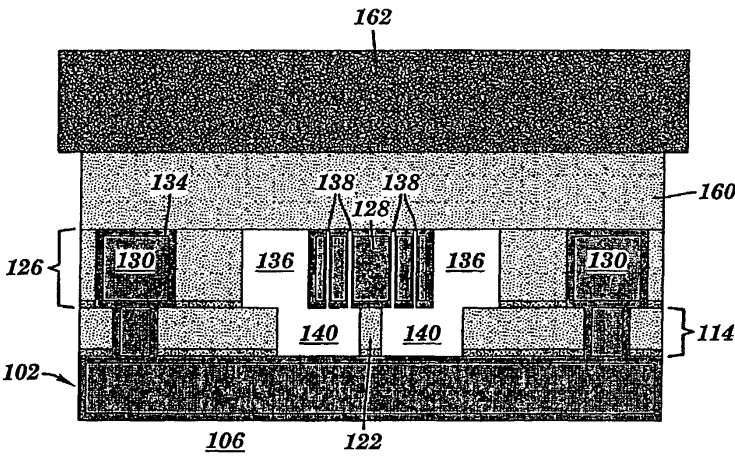
도면8a



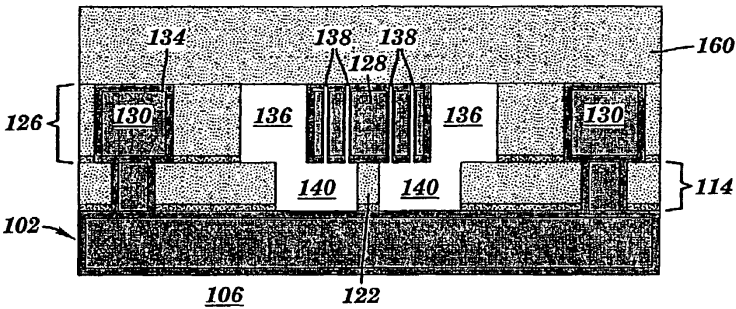
도면8b



도면8c

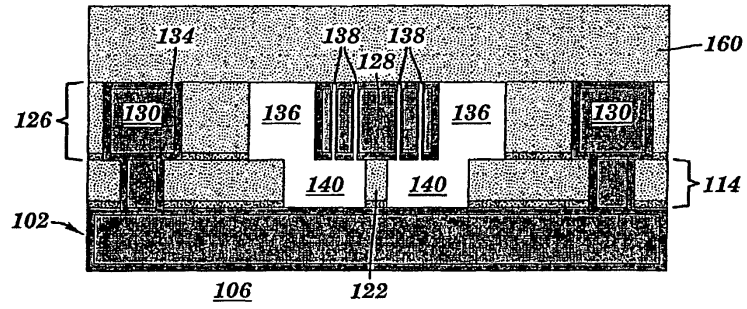


도면8d

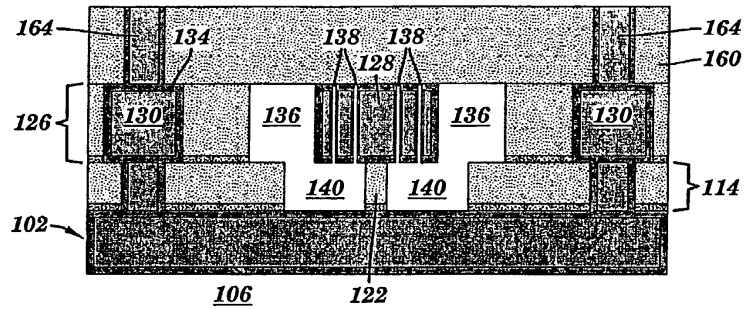




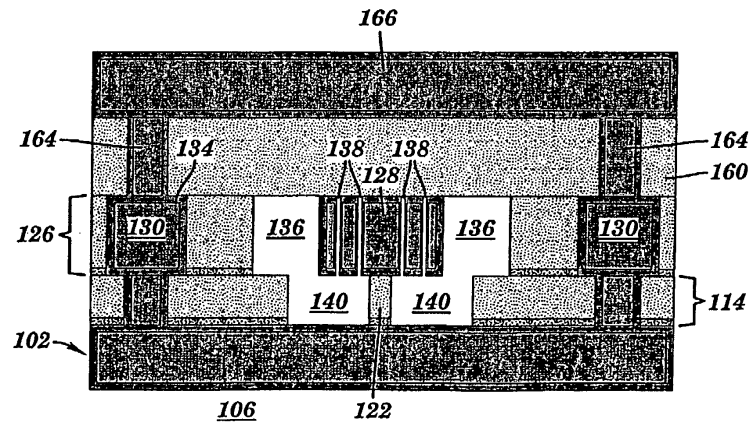
도면9a



도면9b

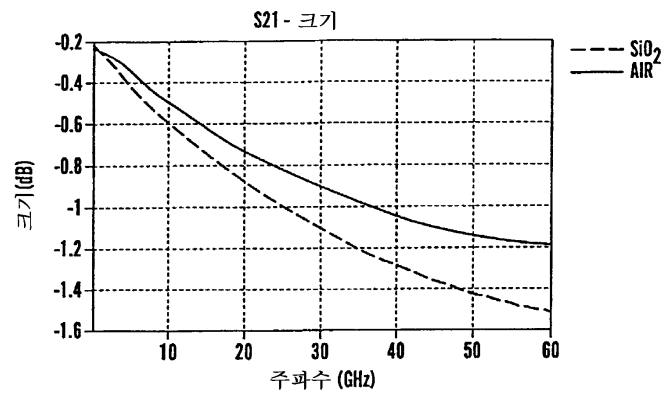


도면9c

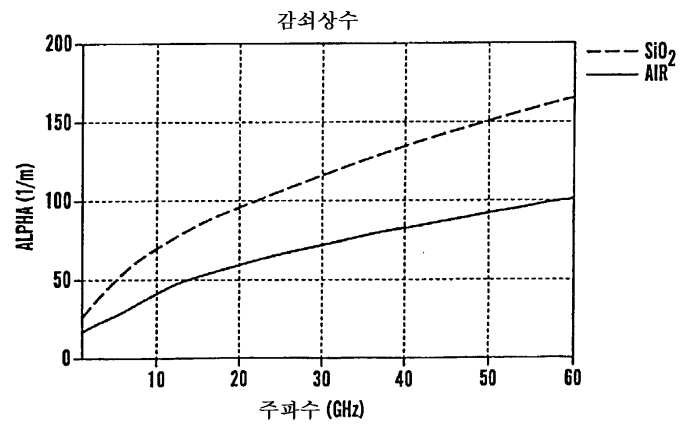




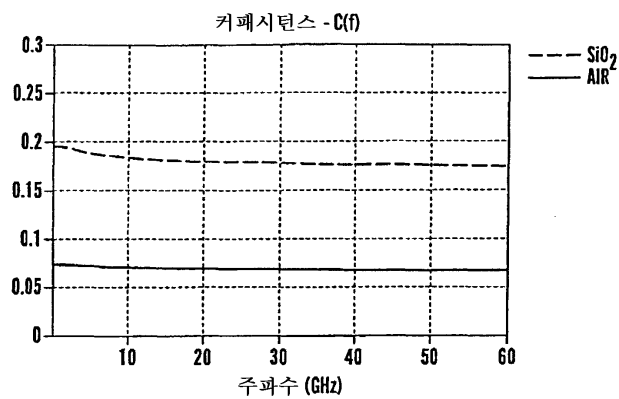
도면10a



도면10b



도면10c



도면10d

