

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月11日(11.02.2021)



(10) 国際公開番号

WO 2021/024813 A1

(51) 国際特許分類:
H03K 17/08 (2006.01) *H01L 21/76* (2006.01)
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2020/028514

(22) 国際出願日: 2020年7月22日(22.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-143342 2019年8月2日(02.08.2019) JP
特願 2019-143344 2019年8月2日(02.08.2019) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

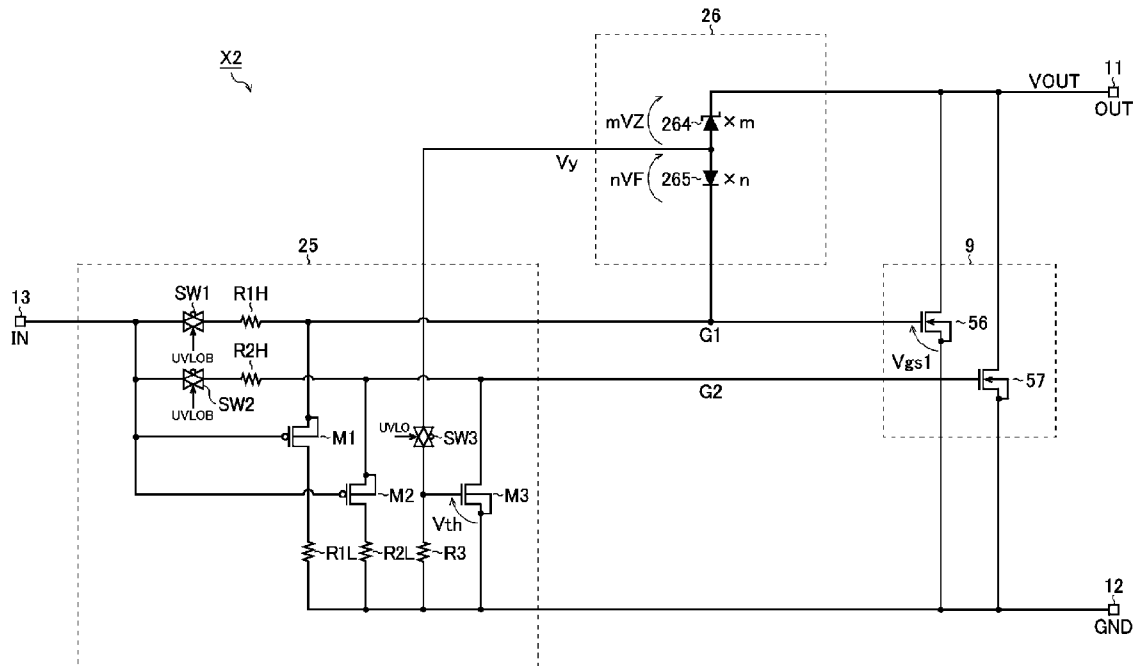
(72) 発明者: 宅間 徹(TAKUMA Toru); 〒6158585 京
都府京都市右京区西院溝崎町 2 1 番地 ロ
ーム株式会社内 Kyoto (JP). 山田 克明(YAMADA
Katsuaki); 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府
大阪市中央区天満橋京町 2 - 6 天満橋八
千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device according to the present invention comprises, for example: an output electrode configured so that an inductive load can be connected thereto; a grounding electrode configured so that a grounding terminal can be connected thereto; a first transistor and a second transistor that are configured to be connected in parallel between the output electrode and the grounding electrode; an active clamp circuit configured to be connected to a gate of the first transistor; and a gate control circuit configured to perform gate control on the first transistor and the second

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

transistor so that the first transistor and the second transistor are turned on in a first operating mode, and the first transistor and the second transistor are turned off in a second operating mode. After transitioning from the first operating mode to the second operating mode, the gate control circuit causes a short between the gate and the source of the second transistor before the active clamp circuit operates.

(57) 要約: 例えば、半導体装置は、誘導性負荷が接続されるように構成された出力電極と、接地端が接続されるように構成された接地電極と、前記出力電極と前記接地電極との間に並列接続されるように構成された第1トランジスタ及び第2トランジスタと; 前記第1トランジスタのゲートに接続されるように構成されたアクティブクランプ回路と; 第1動作状態では前記第1トランジスタ及び前記第2トランジスタをオンし、第2動作状態では前記第1トランジスタ及び前記第2トランジスタをオフするように、前記第1トランジスタ及び前記第2トランジスタそれぞれのゲート制御を行うように構成されたゲート制御回路と; を有する。前記ゲート制御回路は、前記第1動作状態から前記第2動作状態への遷移後、前記アクティブクランプ回路が動作する前に、前記第2トランジスタのゲート・ソース間をショートする。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、絶縁ゲート型のトランジスタを備えた半導体装置に関する。

背景技術

[0002] 特許文献1は、絶縁ゲート型のトランジスタを備えた半導体装置の一例としてのプレーナゲート型の半導体装置を開示している。この半導体装置は、主面を有する半導体層と、主面の上に形成されたゲート絶縁層と、ゲート絶縁層の上に形成されたゲート電極と、半導体層の表層部においてゲート絶縁層を挟んでゲート電極に対向するチャネルとを含む。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-70193号公報

発明の概要

発明が解決しようとする課題

[0004] 絶縁ゲート型のトランジスタを備えた半導体装置は、使用態様の一例として誘導性負荷に接続されることがある。この場合、電気的特性として、優れたオン抵抗および優れたアクティブクランプ耐量が求められる。オン抵抗は、通常動作時における半導体装置の抵抗値である。アクティブクランプ耐量は、アクティブクランプ動作時におけるトランジスタの耐量である。

[0005] アクティブクランプ耐量は、より具体的には、トランジスタのオン状態からオフ状態への遷移時において、誘導性負荷に蓄積されたエネルギーに起因して生じる逆起電力に対するトランジスタの耐量である。アクティブクランプ動作とは、逆起電力をトランジスタで消費（吸収）させる際のトランジスタの一動作である。

[0006] オン抵抗及びアクティブクランプ耐量は、一例として、トランジスタのチャネルの面積によって調整される。チャネルの面積を増加させた場合、通常

動作時において電流経路を増加させることができるから、オン抵抗を低下させることができる。しかし、この場合、アクティブクランプ動作時において逆起電力に起因する急激な温度上昇によってアクティブクランプ耐量が低下する。

[0007] これとは反対に、チャネルの面積を減少させた場合、通常動作時において電流経路が縮小するから、オン抵抗が増加する。しかし、この場合、アクティブクランプ動作時において逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量を向上させることができる。このように、チャネルの面積に基づく調整法にはトレードオフの関係が存在するため、優れたオン抵抗および優れたアクティブクランプ耐量を両立することは困難である。

[0008] 本発明の一実施形態は、優れたオン抵抗および優れたアクティブクランプ耐量を両立できる半導体装置を提供する。

課題を解決するための手段

[0009] 本発明の一実施形態は、半導体層と、前記半導体層に形成された絶縁ゲート型の第1トランジスタと、前記半導体層に形成された絶縁ゲート型の第2トランジスタと、前記第1トランジスタおよび前記第2トランジスタに電氣的に接続されるように前記半導体層の上に形成され、通常動作時に前記第1トランジスタおよび前記第2トランジスタをオン状態に制御し、アクティブクランプ動作時に前記第1トランジスタをオフ状態に制御すると共に前記第2トランジスタをオン状態に制御する制御信号を伝達する制御配線と、を含む、半導体装置を提供する。

[0010] この半導体装置によれば、通常動作時には、第1トランジスタおよび第2トランジスタを利用して電流を流すことができる。これにより、オン抵抗の低減を図ることができる。一方、アクティブクランプ動作時には、第1トランジスタを停止させた状態で第2トランジスタを利用して電流を流すことができる。これにより、逆起電力に起因する急激な温度上昇を抑制しながら、第2トランジスタによって逆起電力を消費（吸収）できる。その結果、アク

ティブクランプ耐量の向上を図ることができる。よって、優れたオン抵抗および優れたアクティブクランプ耐量を両立できる。

[0011] 本発明の一実施形態は、半導体層と、前記半導体層に形成された絶縁ゲート型の第1トランジスタと、前記半導体層に形成された絶縁ゲート型の第2トランジスタと、前記第1トランジスタおよび前記第2トランジスタに電氣的に接続されるように前記半導体層に形成され、通常動作時に前記第1トランジスタおよび前記第2トランジスタをオン状態に制御し、アクティブクランプ動作時に前記第1トランジスタをオフ状態に制御すると共に前記第2トランジスタをオン状態に制御する制御回路と、を含む、半導体装置を提供する。

[0012] この半導体装置によれば、通常動作時には、第1トランジスタおよび第2トランジスタを利用して電流を流すことができる。これにより、オン抵抗の低減を図ることができる。一方、アクティブクランプ動作時には、第1トランジスタを停止させた状態で第2トランジスタを利用して電流を流すことができる。これにより、逆起電力に起因する急激な温度上昇を抑制しながら、第2トランジスタによって逆起電力を消費（吸収）できる。その結果、アクティブクランプ耐量の向上を図ることができる。よって、優れたオン抵抗および優れたアクティブクランプ耐量を両立できる。

[0013] 本発明の一実施形態は、半導体層と、第1チャネルを含み、前記半導体層に形成された絶縁ゲート型の第1トランジスタと、第2チャネルを含み、前記半導体層に形成された絶縁ゲート型の第2トランジスタと、前記第1トランジスタおよび前記第2トランジスタに電氣的に接続されるように前記半導体層の上に形成され、アクティブクランプ動作時における前記第1チャネルおよび前記第2チャネルの利用率が、零を超えて通常動作時における前記第1チャネルおよび前記第2チャネルの利用率未満となるように前記第1トランジスタおよび前記第2トランジスタを制御する制御信号を伝達する制御配線と、を含む、半導体装置を提供する。

[0014] この半導体装置によれば、通常動作時では、第1チャネルおよび第2チャ

ネルの利用率が相対的に増加する。これにより、電流経路が相対的に増加するから、オン抵抗の低減を図ることができる。一方、アクティブクランプ動作時には、第1チャンネルおよび第2チャンネルの利用率が相対的に減少する。これにより、逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量の向上を図ることができる。よって、優れたオン抵抗および優れたアクティブクランプ耐量の両立を図ることができる。

[0015] 本発明の一実施形態は、半導体層と、第1チャンネルを含み、前記半導体層に形成された絶縁ゲート型の第1トランジスタと、第2チャンネルを含み、前記半導体層に形成された絶縁ゲート型の第2トランジスタと、前記第1トランジスタおよび前記第2トランジスタに電氣的に接続されるように前記半導体層に形成され、アクティブクランプ動作時における前記第1チャンネルおよび前記第2チャンネルの利用率が、零を超えて通常動作時における前記第1チャンネルおよび前記第2チャンネルの利用率未満となるように前記第1トランジスタおよび前記第2トランジスタを制御する制御回路と、を含む、半導体装置を提供する。

[0016] この半導体装置によれば、通常動作時には、第1チャンネルおよび第2チャンネルの利用率が相対的に増加する。これにより、電流経路が相対的に増加するから、オン抵抗の低減を図ることができる。一方、アクティブクランプ動作時には、第1チャンネルおよび第2チャンネルの利用率が相対的に減少する。これにより、逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量の向上を図ることができる。よって、優れたオン抵抗および優れたアクティブクランプ耐量の両立を図ることができる。

[0017] 本発明の一実施形態は、並列接続された第1トランジスタ及び第2トランジスタと；前記第1トランジスタのゲートに接続されたアクティブクランプ回路と；第1動作状態では前記第1トランジスタ及び前記第2トランジスタをオンし、第2動作状態では前記第1トランジスタ及び前記第2トランジスタをオフするように、前記第1トランジスタ及び前記第2トランジスタそれぞれのゲート制御を行うゲート制御回路と；を有し、前記ゲート制御回路は

、前記第 1 動作状態から前記第 2 動作状態への遷移後、前記アクティブクランプ回路が動作する前に、前記第 2 トランジスタのゲート・ソース間をショートする、半導体装置を提供する。

[0018] この半導体装置によれば、簡易な回路構成でアクティブクランプ耐量の向上を図ることができる。よって、優れたオン抵抗および優れたアクティブクランプ耐量を両立できる。

図面の簡単な説明

[0019] [図1]図 1 は、本発明の第 1 実施形態に係る半導体装置を 1 つの方向から見た斜視図である。

[図2]図 2 は、図 1 に示す半導体装置の電氣的構造を示すブロック回路図である。

[図3]図 3 は、図 1 に示す半導体装置の通常動作およびアクティブクランプ動作を説明するための回路図である。

[図4]図 4 は、図 3 に示す回路図に適用される主要な電気信号の波形図である。

[図5]図 5 は、図 1 に示す領域 V の断面斜視図である。

[図6]図 6 は、図 5 から電極を取り除いた断面斜視図である。

[図7]図 7 は、図 6 から半導体層の上の構造を取り除いた断面斜視図であって、第 1 形態例に係るチャネル構造を含む形態を示す断面斜視図である。

[図8]図 8 は、図 7 の平面図である。

[図9]図 9 は、図 5 に示す第 1 トレンチゲート構造および第 2 トレンチゲート構造を含む領域の拡大断面図である。

[図10]図 10 は、図 5 に示す第 1 トレンチゲート構造の拡大断面図である。

[図11]図 11 は、図 5 に示す第 2 トレンチゲート構造の拡大断面図である。

[図12A]図 12 A は、図 7 に対応する領域の断面斜視図であって、第 2 形態例に係るチャネル構造を含む形態を示す断面斜視図である。

[図12B]図 12 B は、図 7 に対応する領域の断面斜視図であって、第 3 形態例に係るチャネル構造を含む形態を示す断面斜視図である。

[図13]図13は、アクティブクランプ耐量および面積抵抗率の関係を実測によって調べたグラフである。

[図14A]図14Aは、図1に示す半導体装置の第1制御例に係る通常動作を説明するための断面斜視図である。

[図14B]図14Bは、図1に示す半導体装置の第1制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

[図15A]図15Aは、図1に示す半導体装置の第2制御例に係る通常動作を説明するための断面斜視図である。

[図15B]図15Bは、図1に示す半導体装置の第2制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

[図16]図16は、図7に対応する領域の断面斜視図であって、本発明の第2実施形態に係る半導体装置を示す斜視図である。

[図17A]図17Aは、図16に示す半導体装置の第1制御例に係る通常動作を説明するための断面斜視図である。

[図17B]図17Bは、図16に示す半導体装置の第1制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

[図18A]図18Aは、図16に示す半導体装置の第2制御例に係る通常動作を説明するための断面斜視図である。

[図18B]図18Bは、図16に示す半導体装置の第2制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

[図19A]図19Aは、図16に示す半導体装置の第3制御例に係る通常動作を説明するための断面斜視図である。

[図19B]図19Bは、図16に示す半導体装置の第3制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

[図20]図20は、本発明の第3実施形態に係る半導体装置を1つの方向から見た斜視図である。

[図21]図21は、図20に示す領域XXIの断面斜視図である。

[図22]図22は、図21から電極を取り除いた断面斜視図である。

[図23]図23は、図22から半導体層の上の構造を除去した断面斜視図である。

[図24A]図24Aは、図23に示す半導体装置の通常動作を説明するための断面斜視図である。

[図24B]図24Bは、図23に示す半導体装置のアクティブクランプ動作を説明するための断面斜視図である。

[図25]図25は、図21に対応する領域の断面斜視図であって、本発明の第4実施形態に係る半導体装置を示す断面斜視図である。

[図26]図26は、図25から半導体層の上の構造を除去した断面斜視図である。

[図27A]図27Aは、図25に示す半導体装置の通常動作を説明するための断面斜視図である。

[図27B]図27Bは、図25に示す半導体装置のアクティブクランプ動作を説明するための断面斜視図である。

[図28]図28は、図25に対応する領域の断面斜視図であって、本発明の第5実施形態に係る半導体装置を示す断面斜視図である。

[図29A]図29Aは、図28に示す半導体装置の第1制御例に係る通常動作を説明するための断面斜視図である。

[図29B]図29Bは、図28に示す半導体装置の第1制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

[図30A]図30Aは、図28に示す半導体装置の第2制御例に係る通常動作を説明するための断面斜視図である。

[図30B]図30Bは、図28に示す半導体装置の第2制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

[図31]図31は、図7に対応する領域の断面斜視図であって、本発明の第6実施形態に係る半導体装置を示す断面斜視図である。

[図32A]図32Aは、図31に示す半導体装置の通常動作を説明するための断面斜視図である。

[図32B]図32Bは、図31に示す半導体装置のアクティブクランプ動作を説明するための断面斜視図である。

[図33]図33は、図7に対応する領域の断面斜視図であって、本発明の第7実施形態に係る半導体装置を示す斜視図である。

[図34A]図34Aは、図33に示す半導体装置の通常動作を説明するための断面斜視図である。

[図34B]図34Bは、図33に示す半導体装置のアクティブクランプ動作を説明するための断面斜視図である。

[図35]図35は、図7に対応する領域の断面斜視図であって、本発明の第8実施形態に係る半導体装置を示す一部切り欠き断面斜視図である。

[図36A]図36Aは、図35に示す半導体装置の通常動作を説明するための断面斜視図である。

[図36B]図36Bは、図35に示す半導体装置のアクティブクランプ動作を説明するための断面斜視図である。

[図37]図37は、本発明の第9実施形態に係る半導体装置を1つの方向から見た斜視図である。

[図38]図38は、図37に示す半導体装置の電氣的構造を示すブロック回路図である。

[図39]図39は、図37に示す半導体装置の通常動作およびアクティブクランプ動作を説明するための回路図である。

[図40]図40は、図39に示す回路図に適用される主要な電気信号の波形図である。

[図41]図41は、半導体パッケージを、封止樹脂を透過して示す斜視図である。

[図42]図42は、図41の平面図である。

[図43]図43は、第1形態例に係る回路モジュールの一部を示す平面図である。

[図44]図44は、第2形態例に係る回路モジュールの一部を示す平面図であ

る。

[図45]図45は、本発明の第10実施形態に係る半導体装置（＝半導体装置がハイサイドスイッチである場合において、アクティブクランプ動作時にパワーMISFETの第1Half-ON制御を行うための電氣的構造）を示すブロック回路図である。

[図46]図46は、図45のパワーMISFETを第1MISFET及び第2MISFETとして表した等価回路図である。

[図47]図47は、図45におけるゲート制御回路及びアクティブクランプ回路の一構成例を示す回路図である。

[図48]図48は、半導体装置がハイサイドスイッチである場合において、アクティブクランプ動作時にパワーMISFETの第1Half-ON制御が行われる様子を示すタイミングチャートである。

[図49]図49は、本発明の第11実施形態に係る半導体装置（＝半導体装置がローサイドスイッチである場合において、アクティブクランプ動作時にパワーMISFETの第1Half-ON制御を行うための電氣的構造）を示すブロック回路図である。

[図50]図50は、図49のパワーMISFETを第1MISFET及び第2MISFETとして表した等価回路図である。

[図51]図51は、図49におけるゲート制御回路及びアクティブクランプ回路の一構成例を示す回路図である。

[図52]図52は、半導体装置がローサイドスイッチである場合において、アクティブクランプ動作時にパワーMISFETの第1Half-ON制御が行われる様子を示すタイミングチャートである。

[図53]図53は、容量性負荷接続時の起動挙動を示す図である。

[図54]図54は、容量性負荷接続時の消費電力を示す図である。

[図55]図55は、本発明の第12実施形態に係る半導体装置（＝3モード制御を行うための電氣的構造）を示す図である。

[図56]図56は、3モード制御の一例を示す図である。

[図57]図57は、過電流保護回路の一構成例を示す図である。

発明を実施するための形態

[0020] 以下では、添付図面を参照して、本発明の実施形態を説明する。

[0021] <第1実施形態>

図1は本発明の第1実施形態に係る半導体装置1を1つの方向から見た斜視図である。以下では、半導体装置1がハイサイド側のスイッチングデバイスである形態例について説明するが、半導体装置1はハイサイド側のスイッチングデバイスに限定されるものではない。半導体装置1は、各種構造の電氣的な接続形態や機能を調整することにより、ローサイド側のスイッチングデバイスとしても提供されることができる。

[0022] 図1を参照して、半導体装置1は、半導体層2を含む。半導体層2はシリコンを含む。半導体層2は、直方体形状のチップ状に形成されている。半導体層2は、一方側の第1主面3、他方側の第2主面4、並びに、第1主面3および第2主面4を接続する側面5A、5B、5C、5Dを有している。

[0023] 第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。側面5Aおよび側面5Cは、第1方向Xに沿って延び、第1方向Xに交差する第2方向Yに互いに対向している。側面5Bおよび側面5Dは、第2方向Yに沿って延び、第1方向Xに互いに対向している。第2方向Yは、より具体的には、第1方向Xに直交している。

[0024] 半導体層2には、出力領域6および入力領域7が設定されている。出力領域6は、側面5C側の領域に設定されている。入力領域7は、側面5A側の領域に設定されている。平面視において、出力領域6の面積 S_{OUT} は、入力領域7の面積 S_{IN} 以上である（ $S_{IN} \leq S_{OUT}$ ）。

[0025] 面積 S_{IN} に対する面積 S_{OUT} の比 S_{OUT}/S_{IN} は、1以上10以下であってもよい（ $1 < S_{OUT}/S_{IN} \leq 10$ ）。比 S_{OUT}/S_{IN} は、1以上2以下、2以上4以下、4以上6以下、6以上8以下、または、8以上10以下であってもよい。入力領域7の平面形状および出力領域6の平

面形状は、任意であり、特定の形状に限定されない。むしろ、比 $SOUT/SIN$ は、0を超えて1未満であってもよい。

[0026] 出力領域6は、絶縁ゲート型トランジスタの一例としてのパワーMISFET (Metal Insulator Semiconductor Field Effect Transistor) 9を含む。パワーMISFET 9は、ゲート、ドレインおよびソースを含む。

[0027] 入力領域7は、制御回路の一例としてのコントロールIC (Integrated Circuit) 10を含む。コントロールIC 10は、種々の機能を実現する複数種の機能回路を含む。複数種の機能回路は、外部からの電気信号に基づいてパワーMISFET 9を駆動制御するゲート制御信号を生成する回路を含む。コントロールIC 10は、パワーMISFET 9と共に所謂IPD (Intelligent Power Device) を形成している。なお、IPDは、IPM (Intelligent Power Module) とも称される。

[0028] 入力領域7は、領域分離構造8によって出力領域6から電氣的に絶縁されている。図1では、領域分離構造8がハッチングによって示されている。具体的な説明は省略するが、領域分離構造8は、トレンチに絶縁体が埋め込まれたトレンチ絶縁構造を有してもよい。

[0029] 半導体層2の上には、複数（ここでは6つ）の電極11, 12, 13, 14, 15, 16が形成されている。図1では、ハッチングによって複数の電極11～16が示されている。複数の電極11～16は、導線（たとえばボンディングワイヤ）等によって外部接続される端子電極として形成されている。複数の電極11～16の個数、配置および平面形状は任意であり、図1に示される形態に限定されない。

[0030] 複数の電極11～16の個数、配置および平面形状は、パワーMISFET 9の仕様やコントロールIC 10の仕様に応じて調整される。複数の電極11～16は、この形態では、ドレイン電極11（電源電極）、ソース電極12（出力電極）、入力電極13、基準電圧電極14、ENABLE電極15およびSENSE電極16を含む。

[0031] ドレイン電極11は、半導体層2の第2主面4の上に形成されている。ド

レイン電極 11 は、半導体層 2 の第 2 主面 4 に電氣的に接続されている。ドレイン電極 11 は、パワー M I S F E T 9 のドレインやコントロール I C 10 の各種回路に電源電圧 V B を伝える。

[0032] ドレイン電極 11 は、T i 層、N i 層、A u 層、A g 層および A l 層のうちの少なくとも 1 つを含んでいてもよい。ドレイン電極 11 は、T i 層、N i 層、A u 層、A g 層または A l 層を含む単層構造を有していてもよい。ドレイン電極 11 は、T i 層、N i 層、A u 層、A g 層および A l 層のうちの少なくとも 2 つを任意の態様で積層させた積層構造を有していてもよい。

[0033] ソース電極 12 は、第 1 主面 3 において出力領域 6 の上に形成されている。ソース電極 12 は、パワー M I S F E T 9 のソースに電氣的に接続されている。ソース電極 12 は、パワー M I S F E T 9 によって生成された電気信号を外部に伝達する。

[0034] 入力電極 13、基準電圧電極 14、E N A B L E 電極 15 及び S E N S E 電極 16 は、第 1 主面 3 において入力領域 7 の上にそれぞれ形成されている。入力電極 13 は、コントロール I C 10 を駆動するための入力電圧を伝達する。

[0035] 基準電圧電極 14 は、コントロール I C 10 に基準電圧（たとえばグラウンド電圧）を伝達する。E N A B L E 電極 15 は、コントロール I C 10 の一部または全部の機能を有効または無効にするための電気信号を伝達する。S E N S E 電極 16 は、コントロール I C 10 の異常を検出するための電気信号を伝達する。

[0036] 半導体層 2 の上には、制御配線の一例としてのゲート制御配線 17 がさらに形成されている。ゲート制御配線 17 は、出力領域 6 及び入力領域 7 に選択的に引き回されている。ゲート制御配線 17 は、出力領域 6 においてパワー M I S F E T 9 のゲートに電氣的に接続され、入力領域 7 においてコントロール I C 10 に電氣的に接続されている。

[0037] ゲート制御配線 17 は、コントロール I C 10 によって生成されたゲート制御信号をパワー M I S F E T 9 のゲートに伝達する。ゲート制御信号は、

オン信号 V_{on} およびオフ信号 V_{off} を含み、パワー $MISFET$ 9 のオン状態およびオフ状態を制御する。

[0038] オン信号 V_{on} は、パワー $MISFET$ 9 のゲート閾値電圧 V_{th} よりも高い ($V_{th} < V_{on}$)。オフ信号 V_{off} は、パワー $MISFET$ 9 のゲート閾値電圧 V_{th} よりも低い ($V_{off} < V_{th}$)。オフ信号 V_{off} は、基準電圧（たとえばグラウンド電圧）であってもよい。

[0039] ゲート制御配線 17 は、この形態では、第 1 ゲート制御配線 17 A、第 2 ゲート制御配線 17 B および第 3 ゲート制御配線 17 C を含む。第 1 ゲート制御配線 17 A、第 2 ゲート制御配線 17 B および第 3 ゲート制御配線 17 C は、互いに電氣的に絶縁されている。

[0040] この形態では、2 つの第 1 ゲート制御配線 17 A が異なる領域に引き回されている。また、2 つの第 2 ゲート制御配線 17 B が異なる領域に引き回されている。また、2 つの第 3 ゲート制御配線 17 C が異なる領域に引き回されている。

[0041] 第 1 ゲート制御配線 17 A、第 2 ゲート制御配線 17 B および第 3 ゲート制御配線 17 C は、同一のまたは異なるゲート制御信号をパワー $MISFET$ 9 のゲートに伝達する。ゲート制御配線 17 の個数、配置、形状等は任意であり、ゲート制御信号の伝達距離や、伝達すべきゲート制御信号の数に応じて調整される。

[0042] ソース電極 12、入力電極 13、基準電圧電極 14、ENABLE 電極 15、SENSE 電極 16 およびゲート制御配線 17 は、ニッケル、パラジウム、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも 1 種をそれぞれ含んでいてもよい。

[0043] ソース電極 12、入力電極 13、基準電圧電極 14、ENABLE 電極 15、SENSE 電極 16 およびゲート制御配線 17 は、 $Al-Si-Cu$ （アルミニウム-シリコン-銅）合金、 $Al-Si$ （アルミニウム-シリコン）合金、および、 $Al-Cu$ （アルミニウム-銅）合金のうちの少なくとも 1 種をそれぞれ含んでいてもよい。

[0044] ソース電極 12、入力電極 13、基準電圧電極 14、ENABLE 電極 15、SENSE 電極 16 およびゲート制御配線 17 は、同一種の電極材料を含んでいてもよいし、互いに異なる電極材料を含んでいてもよい。

[0045] 図 2 は、図 1 に示す半導体装置 1 の電氣的構造を示すブロック回路図である。以下では半導体装置 1 が車に搭載される場合を例にとって説明する。

[0046] 半導体装置 1 は、ドレイン電極 11、ソース電極 12、入力電極 13、基準電圧電極 14、ENABLE 電極 15、SENSE 電極 16、ゲート制御配線 17、パワー M I S F E T 9 およびコントロール IC 10 を含む。

[0047] ドレイン電極 11 は、電源に接続される。ドレイン電極 11 は、パワー M I S F E T 9 およびコントロール IC 10 に電源電圧 VB を提供する。電源電圧 VB は、10V 以上 20V 以下であってもよい。ソース電極 12 は、負荷に接続される。

[0048] 入力電極 13 は、MCU (Micro Controller Unit)、DC/DC コンバータ、LDO (Low Drop Out) 等に接続されてもよい。入力電極 13 は、コントロール IC 10 に入力電圧を提供する。入力電圧は、1V 以上 10V 以下であってもよい。基準電圧電極 14 は基準電圧配線に接続される。基準電圧電極 14 は、パワー M I S F E T 9 およびコントロール IC 10 に基準電圧を提供する。

[0049] ENABLE 電極 15 は、MCU に接続されてもよい。ENABLE 電極 15 には、コントロール IC 10 の一部または全部の機能を有効または無効にするための電気信号が入力される。SENSE 電極 16 は、抵抗器に接続されてもよい。

[0050] パワー M I S F E T 9 のゲートは、ゲート制御配線 17 を介してコントロール IC 10 (後述のゲート制御回路 25) に接続されている。パワー M I S F E T 9 のドレインは、ドレイン電極 11 に接続されている。パワー M I S F E T 9 のソースは、コントロール IC 10 (後述する電流検出回路 27) およびソース電極 12 に接続されている。

[0051] コントロール IC 10 は、センサ M I S F E T 21、入力回路 22、電流

・電圧制御回路 23、保護回路 24、ゲート制御回路 25、アクティブクランプ回路 26、電流検出回路 27、電源逆接続保護回路 28 および異常検出回路 29 を含む。

[0052] センサMISFET 21 のゲートは、ゲート制御回路 25 に接続されている。センサMISFET 21 のドレインは、ドレイン電極 11 に接続されている。センサMISFET 21 のソースは、電流検出回路 27 に接続されている。

[0053] 入力回路 22 は、入力電極 13 および電流・電圧制御回路 23 に接続されている。入力回路 22 は、シュミットトリガ回路を含んでいてもよい。入力回路 22 は、入力電極 13 に印加された電気信号の波形を整形する。入力回路 22 により生成された信号は、電流・電圧制御回路 23 に入力される。

[0054] 電流・電圧制御回路 23 は、保護回路 24、ゲート制御回路 25、電源逆接続保護回路 28 および異常検出回路 29 に接続されている。電流・電圧制御回路 23 は、ロジック回路を含んでいてもよい。

[0055] 電流・電圧制御回路 23 は、入力回路 22 からの電気信号および保護回路 24 からの電気信号に応じて種々の電圧を生成する。電流・電圧制御回路 23 は、この形態では、駆動電圧生成回路 30、第 1 定電圧生成回路 31、第 2 定電圧生成回路 32 および基準電圧・基準電流生成回路 33 を含む。

[0056] 駆動電圧生成回路 30 は、ゲート制御回路 25 を駆動するための駆動電圧を生成する。駆動電圧は、電源電圧 V_B から所定値を差し引いた値に設定されてもよい。駆動電圧生成回路 30 は、電源電圧 V_B から 5 V を差し引いた 5 V 以上 15 V 以下の駆動電圧を生成してもよい。駆動電圧は、ゲート制御回路 25 に入力される。

[0057] 第 1 定電圧生成回路 31 は、保護回路 24 を駆動するための第 1 定電圧を生成する。第 1 定電圧生成回路 31 は、ツェナーダイオードやレギュレータ回路（ここではツェナーダイオード）を含んでいてもよい。第 1 定電圧は、1 V 以上 5 V 以下であってもよい。第 1 定電圧は、保護回路 24（より具体的には、後述する負荷オープン検出回路 35 等）に入力される。

- [0058] 第2定電圧生成回路32は、保護回路24を駆動するための第2定電圧を生成する。第2定電圧生成回路32は、ツェナーダイオードやレギュレータ回路（ここではレギュレータ回路）を含んでいてもよい。第2定電圧は、1V以上5V以下であってもよい。第2定電圧は、保護回路24（より具体的には、後述する過熱保護回路36や低電圧誤動作抑制回路37）に入力される。
- [0059] 基準電圧・基準電流生成回路33は、各種回路の基準電圧および基準電流を生成する。基準電圧は、1V以上5V以下であってもよい。基準電流は、1mA以上1A以下であってもよい。基準電圧および基準電流は、各種回路に入力される。各種回路がコンパレータを含む場合、基準電圧および基準電流は、当該コンパレータに入力されてもよい。
- [0060] 保護回路24は、電流・電圧制御回路23、ゲート制御回路25、異常検出回路29、パワーMISFET9のソース及びセンサMISFET21のソースに接続されている。保護回路24は、過電流保護回路34、負荷オープン検出回路35、過熱保護回路36および低電圧誤動作抑制回路37を含む。
- [0061] 過電流保護回路34は、過電流からパワーMISFET9を保護する。過電流保護回路34は、ゲート制御回路25およびセンサMISFET21のソースに接続されている。過電流保護回路34は、電流モニタ回路を含んでいてもよい。過電流保護回路34によって生成された信号は、ゲート制御回路25（より具体的には、後述する駆動信号出力回路40）に入力される。
- [0062] 負荷オープン検出回路35は、パワーMISFET9のショート状態やオープン状態を検出する。負荷オープン検出回路35は、電流・電圧制御回路23及びパワーMISFET9のソースに接続されている。負荷オープン検出回路35によって生成された信号は、電流・電圧制御回路23に入力される。
- [0063] 過熱保護回路36は、パワーMISFET9の温度を監視し、過度な温度上昇からパワーMISFET9を保護する。過熱保護回路36は、電流・電

圧制御回路 23 に接続されている。過熱保護回路 36 は、感温ダイオードやサーミスタ等の感温デバイスを含んでいてもよい。過熱保護回路 36 によって生成された信号は、電流・電圧制御回路 23 に入力される。

[0064] 低電圧誤動作抑制回路 37 は、電源電圧 V_B が所定値未満である場合にパワー M I S F E T 9 が誤動作するのを抑制する。低電圧誤動作抑制回路 37 は、電流・電圧制御回路 23 に接続されている。低電圧誤動作抑制回路 37 によって生成された信号は、電流・電圧制御回路 23 に入力される。

[0065] ゲート制御回路 25 は、パワー M I S F E T 9 のオン状態およびオフ状態、ならびに、センサ M I S F E T 21 のオン状態およびオフ状態を制御する。ゲート制御回路 25 は、電流・電圧制御回路 23、保護回路 24、パワー M I S F E T 9 のゲートおよびセンサ M I S F E T 21 のゲートに接続されている。

[0066] ゲート制御回路 25 は、電流・電圧制御回路 23 からの電気信号および保護回路 24 からの電気信号に応じて、ゲート制御配線 17 の個数に応じた複数種のゲート制御信号を生成する。複数種のゲート制御信号は、ゲート制御配線 17 を介してパワー M I S F E T 9 のゲートおよびセンサ M I S F E T 21 のゲートにそれぞれ入力される。

[0067] ゲート制御回路 25 は、より具体的には、発振回路 38、チャージポンプ回路 39 および駆動信号出力回路 40 を含む。発振回路 38 は、電流・電圧制御回路 23 からの電気信号に応じて発振し、所定の電気信号を生成する。発振回路 38 によって生成された電気信号は、チャージポンプ回路 39 に入力される。チャージポンプ回路 39 は、発振回路 38 からの電気信号を昇圧させる。チャージポンプ回路 39 によって昇圧された電気信号は、駆動信号出力回路 40 に入力される。

[0068] 駆動信号出力回路 40 は、チャージポンプ回路 39 からの電気信号および保護回路 24（より具体的には、過電流保護回路 34）からの電気信号に応じて複数種のゲート制御信号を生成する。複数種のゲート制御信号は、ゲート制御配線 17 を介してパワー M I S F E T 9 のゲートおよびセンサ M I S

FET 21 のゲートに入力される。センサ MISFET 21 およびパワー MISFET 9 は、ゲート制御回路 25 によって同時に制御される。

[0069] アクティブクランプ回路 26 は、逆起電力からパワー MISFET 9 を保護する。アクティブクランプ回路 26 は、ドレイン電極 11、パワー MISFET 9 のゲートおよびセンサ MISFET 21 のゲートに接続されている。アクティブクランプ回路 26 は、複数のダイオードを含んでもよい。

[0070] アクティブクランプ回路 26 は、互いに順バイアス接続された複数のダイオードを含んでもよい。アクティブクランプ回路 26 は、互いに逆バイアス接続された複数のダイオードを含んでもよい。アクティブクランプ回路 26 は、互いに順バイアス接続された複数のダイオード、および、互いに逆バイアス接続された複数のダイオードを含んでもよい。

[0071] 複数のダイオードは、pn 接合ダイオード、または、ツェナーダイオード、もしくは、pn 接合ダイオードおよびツェナーダイオードを含んでもよい。アクティブクランプ回路 26 は、互いにバイアス接続された複数のツェナーダイオードを含んでもよい。アクティブクランプ回路 26 は、互いに逆バイアス接続されたツェナーダイオードおよび pn 接合ダイオードを含んでもよい。

[0072] 電流検出回路 27 は、パワー MISFET 9 およびセンサ MISFET 21 を流れる電流を検出する。電流検出回路 27 は、保護回路 24、異常検出回路 29、パワー MISFET 9 のソースおよびセンサ MISFET 21 のソースに接続されている。電流検出回路 27 は、パワー MISFET 9 によって生成された電気信号およびセンサ MISFET 21 によって生成された電気信号に応じて、電流検出信号を生成する。電流検出信号は、異常検出回路 29 に入力される。

[0073] 電源逆接続保護回路 28 は、電源が逆接続された際に、逆電圧から電流・電圧制御回路 23 やパワー MISFET 9 等を保護する。電源逆接続保護回路 28 は、基準電圧電極 14 および電流・電圧制御回路 23 に接続されている。

[0074] 異常検出回路 29 は、保護回路 24 の電圧を監視する。異常検出回路 29 は、電流・電圧制御回路 23、保護回路 24 および電流検出回路 27 に接続されている。過電流保護回路 34、負荷オープン検出回路 35、過熱保護回路 36 および低電圧誤動作抑制回路 37 のいずれかに異常（電圧の変動等）が生じた場合、異常検出回路 29 は、保護回路 24 の電圧に応じた異常検出信号を生成し、外部に出力する。

[0075] 異常検出回路 29 は、より具体的には、第 1 マルチプレクサ回路 41 および第 2 マルチプレクサ回路 42 を含む。第 1 マルチプレクサ回路 41 は、2 つの入力部、1 つの出力部および 1 つの選択制御入力部を含む。第 1 マルチプレクサ回路 41 の入力部には、保護回路 24 および電流検出回路 27 がそれぞれ接続されている。第 1 マルチプレクサ回路 41 の出力部には、第 2 マルチプレクサ回路 42 が接続されている。第 1 マルチプレクサ回路 41 の選択制御入力部には、電流・電圧制御回路 23 が接続されている。

[0076] 第 1 マルチプレクサ回路 41 は、電流・電圧制御回路 23 からの電気信号、保護回路 24 からの電圧検出信号および電流検出回路 27 からの電流検出信号に応じて、異常検出信号を生成する。第 1 マルチプレクサ回路 41 によって生成された異常検出信号は、第 2 マルチプレクサ回路 42 に入力される。

[0077] 第 2 マルチプレクサ回路 42 は、2 つの入力部および 1 つの出力部を含む。第 2 マルチプレクサ回路 42 の入力部には、第 2 マルチプレクサ回路 42 の出力部および E N A B L E 電極 15 がそれぞれ接続されている。第 2 マルチプレクサ回路 42 の出力部には、S E N S E 電極 16 が接続されている。

[0078] E N A B L E 電極 15 に M C U が接続され、S E N S E 電極 16 に抵抗器が接続されている場合、M C U から E N A B L E 電極 15 にオン信号が入力され、S E N S E 電極 16 から異常検出信号が取り出される。異常検出信号は、S E N S E 電極 16 に接続された抵抗器によって電気信号に変換される。半導体装置 1 の状態異常は、この電気信号に基づいて検出される。

[0079] 図 3 は、図 1 に示す半導体装置 1 のアクティブクランプ動作を説明するた

めの回路図である。図4は、図3に示す回路図の主要な電気信号の波形図である。

[0080] ここでは、パワーMISFET9に誘導性負荷Lが接続された回路例を用いて、半導体装置1の通常動作及びアクティブクランプ動作を説明する。ソレノイド、モータ、トランス、リレー等の巻線（コイル）を利用したデバイスが、誘導性負荷Lとして例示される。誘導性負荷Lは、L負荷とも称される。

[0081] 図3を参照して、パワーMISFET9のソースは、誘導性負荷Lに接続されている。パワーMISFET9のドレインは、ドレイン電極11に電気的に接続されている。パワーMISFET9のゲートおよびドレインは、アクティブクランプ回路26に接続されている。アクティブクランプ回路26は、この回路例では、m個（mは自然数）のツェナーダイオードDZおよびn個（nは自然数）のpn接合ダイオードDを含む。pn接合ダイオードDは、ツェナーダイオードDZに対して逆バイアス接続されている。

[0082] 図3および図4を参照して、オフ状態のパワーMISFET9のゲートにオン信号 V_{on} が入力されると、パワーMISFET9がオフ状態からオン状態に切り替わる（通常動作）。オン信号 V_{on} は、ゲート閾値電圧 V_{th} 以上（ $V_{th} \leq V_{on}$ ）の電圧を有している。パワーMISFET9は、所定のオン時間 T_{ON} だけ、オン状態に維持される。

[0083] パワーMISFET9がオン状態に切り替わると、ドレイン電流 I_D が、パワーMISFET9のドレインからソースに向けて流れ始める。ドレイン電流 I_D は、零から所定の値まで増加し、飽和する。誘導性負荷Lは、ドレイン電流 I_D の増加に起因して誘導性エネルギーを蓄積させる。

[0084] パワーMISFET9のゲートにオフ信号 V_{off} が入力されると、パワーMISFET9がオン状態からオフ状態に切り替わる。オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（ $V_{off} < V_{th}$ ）を有している。オフ信号 V_{off} は、基準電圧（たとえばグラウンド電圧）であってもよい。

[0085] パワーMISFET9がオン状態からオフ状態に切り替わる遷移時では、

誘導性負荷Lの誘導性エネルギーが、逆起電力としてパワーMISFET9に印加される。これにより、パワーMISFET9がアクティブクランプ状態になる（アクティブクランプ動作）。パワーMISFET9がアクティブクランプ状態になると、ソース電圧VSSが、基準電圧（グランド電圧）未満の負電圧まで急激に下降する。

[0086] このとき、ソース電圧VSSは、アクティブクランプ回路26の動作に起因して、電源電圧VBから制限電圧VL及びクランプオン電圧VCLPを減算した電圧以上の電圧（ $VSS \geq VB - VL - VCLP$ ）に制限される。

[0087] 換言すると、パワーMISFET9がアクティブクランプ状態になると、パワーMISFET9のドレイン・ソース間のドレイン電圧VDSは、クランプ電圧VDSSCLまで急激に上昇する。クランプ電圧VDSSCLは、パワーMISFET9およびアクティブクランプ回路26によって、クランプオン電圧VCLPおよび制限電圧VLを加算した電圧以下の電圧（ $VDS \leq VCLP + VL$ ）に制限される。

[0088] 制限電圧VLは、この形態では、アクティブクランプ回路26におけるツェナーダイオードDZの端子間電圧VZ及びpn接合ダイオードの端子間電圧VFの総和（ $VL = m \cdot VZ + n \cdot VF$ ）である。

[0089] クランプオン電圧VCLPは、パワーMISFET9のゲート・ソース間に印加される正電圧（つまり、ゲート電圧VGS）である。クランプオン電圧VCLPは、ゲート閾値電圧Vth以上（ $Vth \leq VCLP$ ）である。したがって、パワーMISFET9は、アクティブクランプ状態においてオン状態を維持する。

[0090] クランプ電圧VDSSCLが最大定格ドレイン電圧VDSSを超えた場合（ $VDSS < VDSSCL$ ）、パワーMISFET9は破壊に至る。パワーMISFET9は、クランプ電圧VDSSCLが最大定格ドレイン電圧VDSS以下（ $VDSSCL \leq VDSS$ ）になるように設計される。

[0091] クランプ電圧VDSSCLが最大定格ドレイン電圧VDSS以下の場合（ $VDSSCL \leq VDSS$ ）、ドレイン電流IDがパワーMISFET9のド

レインからソースに向けて流れ続け、誘導性負荷 L の誘導性エネルギーがパワーMISFET9において消費（吸収）される。

[0092] ドレイン電流 I_D は、アクティブクランプ時間 T_{AV} を経て、パワーMISFET9のオフ直前のピーク値 I_{AV} からゼロに減少する。これにより、ゲート電圧 V_{GS} が基準電圧（たとえばグランド電圧）になり、パワーMISFET9がオン状態からオフ状態に切り替わる。

[0093] パワーMISFET9のアクティブクランプ耐量 E_{ac} は、アクティブクランプ動作時におけるパワーMISFET9の耐量によって定義される。アクティブクランプ耐量 E_{ac} は、より具体的には、パワーMISFET9のオン状態からオフ状態への遷移時において、誘導性負荷 L の誘導性エネルギーに起因して生じる逆起電力に対するパワーMISFET9の耐量によって定義される。

[0094] アクティブクランプ耐量 E_{ac} は、さらに具体的には、クランプ電圧 V_{DSSL} に起因して生じるエネルギーに対するパワーMISFET9の耐量によって定義される。たとえば、アクティブクランプ耐量 E_{ac} は、制限電圧 V_L 、クランプオン電圧 V_{CLP} 、ドレイン電流 I_D 及びアクティブクランプ時間 T_{AV} を用いて、 $E_{ac} = (V_L + V_{CLP}) \times I_D \times T_{AV}$ の式で表される。

[0095] 図5は、図1に示す領域Vの断面斜視図である。図6は、図5からソース電極12およびゲート制御配線17を取り除いた断面斜視図である。図7は、図6から層間絶縁層142を取り除いた断面斜視図であって、第1形態例に係るチャネル構造を含む形態を示す断面斜視図である。

[0096] 図8は、図7の平面図である。図9は、図5に示す第1トレンチゲート構造60（第1ゲート構造）および第2トレンチゲート構造70（第2ゲート構造）を含む領域の拡大断面図である。図10は、図5に示す第1トレンチゲート構造60の拡大断面図である。図11は、図5に示す第2トレンチゲート構造70の拡大断面図である。

[0097] 図5～図11を参照して、半導体層2は、この形態では、 n^+ 型の半導体基

板51およびn型のエピタキシャル層52を含む積層構造を有している。半導体基板51によって半導体層2の第2主面4が形成されている。エピタキシャル層52によって半導体層2の第1主面3が形成されている。半導体基板51およびエピタキシャル層52によって半導体層2の側面5A~5Dが形成されている。

[0098] エピタキシャル層52は、半導体基板51のn型不純物濃度未満のn型不純物濃度を有する。半導体基板51のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。エピタキシャル層52のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0099] エピタキシャル層52は、半導体基板51の厚さ T_{sub} 未満の厚さ T_{epi} ($T_{\text{epi}} < T_{\text{sub}}$) を有している。厚さ T_{sub} は、 $50 \mu\text{m}$ 以上 $450 \mu\text{m}$ 以下であってもよい。厚さ T_{sub} は、 $50 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下、 $150 \mu\text{m}$ 以上 $250 \mu\text{m}$ 以下、 $250 \mu\text{m}$ 以上 $350 \mu\text{m}$ 以下、又は、 $350 \mu\text{m}$ 以上 $450 \mu\text{m}$ 以下であってもよい。

[0100] 厚さ T_{sub} を低減させることにより、抵抗値を低減できる。厚さ T_{sub} は、研削によって調整される。この場合、半導体層2の第2主面4は、研削痕を有する研削面であってもよい。

[0101] エピタキシャル層52の厚さ T_{epi} は、厚さ T_{sub} の $1/10$ 以下であることが好ましい。厚さ T_{epi} は、 $5 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下であってもよい。厚さ T_{epi} は、 $5 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下、 $10 \mu\text{m}$ 以上 $15 \mu\text{m}$ 以下、または、 $15 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下であってもよい。厚さ T_{epi} は、 $5 \mu\text{m}$ 以上 $15 \mu\text{m}$ 以下であることが好ましい。

[0102] 半導体基板51は、ドレイン領域53として半導体層2の第2主面4側に形成されている。エピタキシャル層52は、ドリフト領域54（ドレインドリフト領域）として半導体層2の第1主面3の表層部に形成されている。ドリフト領域54の底部は、半導体基板51およびエピタキシャル層52の境界によって形成されている。以下、エピタキシャル層52をドリフト領域54という。

- [0103] 出力領域6において半導体層2の第1主面3の表層部には、p型のボディ領域55が形成されている。ボディ領域55は、パワーMISFET9の基礎となる領域である。ボディ領域55のp型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。
- [0104] ボディ領域55は、ドリフト領域54の表層部に形成されている。ボディ領域55の底部は、ドリフト領域54の底部に対して第1主面3側の領域に形成されている。ボディ領域55の厚さは、 $0.5 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下であってもよい。ボディ領域55の厚さは、 $0.5 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下、 $1 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下、または、 $1.5 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下であってもよい。
- [0105] パワーMISFET9は、第1MISFET56（第1トランジスタ）および第2MISFET57（第2トランジスタ）を含む。第1MISFET56は、第2MISFET57から電氣的に分離されており、独立して制御される。第2MISFET57は、第1MISFET56から電氣的に分離されており、独立して制御される。
- [0106] つまり、パワーMISFET9は、第1MISFET56及び第2MISFET57の双方がオン状態において駆動するように構成されている（Full-ON制御）。また、パワーMISFET9は、第1MISFET56がオン状態である一方で第2MISFET57がオフ状態で駆動するように構成されている（第1Half-ON制御）。更に、パワーMISFET9は、第1MISFET56がオフ状態である一方で第2MISFET57がオン状態で駆動するように構成されている（第2Half-ON制御）。
- [0107] Full-ON制御の場合、全ての電流経路が解放された状態でパワーMISFET9が駆動される。したがって、半導体層2内のオン抵抗は相対的に低下する。一方、第1Half-ON制御または第2Half-ON制御の場合、一部の電流経路が遮断された状態でパワーMISFET9が駆動される。したがって、半導体層2内のオン抵抗は相対的に増加する。
- [0108] 第1MISFET56は、具体的には複数の第1FET（Field Effect Transistor）構造58を含む。複数の第1FET構造58は、平面視におい

て第1方向Xに沿って間隔を空けて配列され、第2方向Yに沿って帯状にそれぞれ延びている。複数の第1 F E T構造58は、平面視において全体としてストライプ状に形成されている。

[0109] 図5～図8では、第1 F E T構造58の一端部側の領域を図示し、第1 F E T構造58の他端部側の領域の図示を省略している。なお、第1 F E T構造58の他端部側の領域の構造は、第1 F E T構造58の一端部側の領域の構造とほぼ同様である。以下では、第1 F E T構造58の一端部側の領域の構造を例にとって説明し、第1 F E T構造58の他端部側の領域の構造についての説明は省略する。

[0110] 各第1 F E T構造58は、この形態では、第1トレンチゲート構造60を含む。第1トレンチゲート構造60の第1幅W T 1は、 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。第1幅W T 1は、第1トレンチゲート構造60が延びる方向（第2方向Y）に直交する方向（第1方向X）の幅である。

[0111] なお、第1幅W T 1は、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下、または、 $4.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。第1幅W T 1は、 $0.8\mu\text{m}$ 以上 $1.2\mu\text{m}$ 以下であることが好ましい。

[0112] 第1トレンチゲート構造60は、ボディ領域55を貫通し、ドリフト領域54に達している。第1トレンチゲート構造60の第1深さD T 1は、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1深さD T 1は、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $8\mu\text{m}$ 以下、又は、 $8\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1深さD T 1は、 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下であることが好ましい。

[0113] 第1トレンチゲート構造60は、一方側の第1側壁61、他方側の第2側壁62、ならびに、第1側壁61および第2側壁62を接続する底壁63を含む。以下では、第1側壁61、第2側壁62および底壁63を纏めて「内

壁」または「外壁」ということがある。

- [0114] 半導体層 2 内において第 1 側壁 6 1 が第 1 主面 3 との間で成す角度（テーパ角）の絶対値は、 90° を超えて 95° 以下（たとえば 91° 程度）であってもよい。半導体層 2 内において第 2 側壁 6 2 が第 1 主面 3 との間で成す角度（テーパ角）の絶対値は、 90° を超えて 95° 以下（たとえば 91° 程度）であってもよい。第 1 トレンチゲート構造 6 0 は、断面視において第 1 主面 3 側から底壁 6 3 側に向けて第 1 幅 WT_1 が狭まる先細り形状（テーパ形状）に形成されていてもよい。
- [0115] 第 1 トレンチゲート構造 6 0 の底壁 6 3 は、ドリフト領域 5 4 の底部に対して第 1 主面 3 側の領域に位置している。第 1 トレンチゲート構造 6 0 の底壁 6 3 は、ドリフト領域 5 4 の底部に向かう凸湾曲状（U 字状）に形成されている。
- [0116] 第 1 トレンチゲート構造 6 0 の底壁 6 3 は、ドリフト領域 5 4 の底部に対して $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の第 1 間隔 IT_1 を空けて第 1 主面 3 側の領域に位置している。第 1 間隔 IT_1 は、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $8\mu\text{m}$ 以下、又は、 $8\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第 1 間隔 IT_1 は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。
- [0117] 第 2 MISFET 5 7 は、この形態では、複数の第 2 FET 構造 6 8 を含む。複数の第 2 FET 構造 6 8 は、平面視において第 1 方向 X に沿って間隔を空けて配列され、第 2 方向 Y に沿って帯状にそれぞれ延びている。
- [0118] 複数の第 2 FET 構造 6 8 は、複数の第 1 FET 構造 5 8 と同一方向に沿って延びている。複数の第 2 FET 構造 6 8 は、平面視において全体としてストライプ状に形成されている。複数の第 2 FET 構造 6 8 は、この形態では、1 個の第 1 FET 構造 5 8 を挟む態様で複数の第 1 FET 構造 5 8 と交互に配列されている。
- [0119] 図 5 ～図 8 では、第 2 FET 構造 6 8 の一端部側の領域を図示し、第 2 FET 構造 6 8 の他端部側の領域の図示を省略している。なお、第 2 FET 構

造 68 の他端部側の領域の構造は、第 2 F E T 構造 68 の一端部側の領域の構造とほぼ同様である。以下では、第 2 F E T 構造 68 の一端部側の領域の構造を例にとって説明し、第 2 F E T 構造 68 の他端部側の領域の構造についての説明は省略する。

[0120] 各第 2 F E T 構造 68 は、この形態では、第 2 トレンチゲート構造 70 を含む。第 2 トレンチゲート構造 70 の第 2 幅 $W T 2$ は、 $0.5 \mu m$ 以上 $5 \mu m$ 以下であってもよい。第 2 幅 $W T 2$ は、第 2 トレンチゲート構造 70 が延びる方向（第 2 方向 Y ）に直交する方向（第 1 方向 X ）の幅である。

[0121] なお、第 2 幅 $W T 2$ は、 $0.5 \mu m$ 以上 $1 \mu m$ 以下、 $1 \mu m$ 以上 $1.5 \mu m$ 以下、 $1.5 \mu m$ 以上 $2 \mu m$ 以下、 $2 \mu m$ 以上 $2.5 \mu m$ 以下、 $2.5 \mu m$ 以上 $3 \mu m$ 以下、 $3 \mu m$ 以上 $3.5 \mu m$ 以下、 $3.5 \mu m$ 以上 $4 \mu m$ 以下、 $4 \mu m$ 以上 $4.5 \mu m$ 以下、または、 $4.5 \mu m$ 以上 $5 \mu m$ 以下であってもよい。第 2 幅 $W T 2$ は、 $0.8 \mu m$ 以上 $1.2 \mu m$ 以下であることが好ましい。

[0122] 第 2 トレンチゲート構造 70 の第 2 幅 $W T 2$ は、第 1 トレンチゲート構造 60 の第 1 幅 $W T 1$ 以上（ $W T 1 \leq W T 2$ ）であってもよい。第 2 幅 $W T 2$ は、第 1 幅 $W T 1$ 以下（ $W T 1 \geq W T 2$ ）であってもよい。第 2 幅 $W T 2$ は、第 1 幅 $W T 1$ と等しい（ $W T 1 = W T 2$ ）ことが好ましい。

[0123] 第 2 トレンチゲート構造 70 は、ボディ領域 55 を貫通し、ドリフト領域 54 に達している。第 2 トレンチゲート構造 70 の第 2 深さ $D T 2$ は、 $1 \mu m$ 以上 $10 \mu m$ 以下であってもよい。第 2 深さ $D T 2$ は、 $1 \mu m$ 以上 $2 \mu m$ 以下、 $2 \mu m$ 以上 $4 \mu m$ 以下、 $4 \mu m$ 以上 $6 \mu m$ 以下、 $6 \mu m$ 以上 $8 \mu m$ 以下、又は、 $8 \mu m$ 以上 $10 \mu m$ 以下であってもよい。第 2 深さ $D T 2$ は、 $2 \mu m$ 以上 $6 \mu m$ 以下であることが好ましい。

[0124] 第 2 トレンチゲート構造 70 の第 2 深さ $D T 2$ は、第 1 トレンチゲート構造 60 の第 1 深さ $D T 1$ 以上（ $D T 1 \leq D T 2$ ）であってもよい。第 2 深さ $D T 2$ は、第 1 深さ $D T 1$ 以下（ $D T 1 \geq D T 2$ ）であってもよい。なお、第 2 深さ $D T 2$ は、第 1 深さ $D T 1$ と等しい（ $D T 1 = D T 2$ ）ことが好ま

しい。

[0125] 第2トレンチゲート構造70は、一方側の第1側壁71、他方側の第2側壁72、ならびに、第1側壁71および第2側壁72を接続する底壁73を含む。以下では、第1側壁71、第2側壁72および底壁73を纏めて「内壁」または「外壁」ということがある。

[0126] 半導体層2内において第1側壁71が第1主面3との間で成す角度（テーパ角）の絶対値は、 90° を超えて 95° 以下（たとえば 91° 程度）であってもよい。半導体層2内において第2側壁72が第1主面3との間で成す角度（テーパ角）の絶対値は、 90° を超えて 95° 以下（たとえば 91° 程度）であってもよい。第2トレンチゲート構造70は、断面視において第1主面3側から底壁73側に向けて第2幅WT2が狭まる先細り形状（テーパ形状）に形成されていてもよい。

[0127] 第2トレンチゲート構造70の底壁73は、ドリフト領域54の底部に対して第1主面3側の領域に位置している。第2トレンチゲート構造70の底壁73は、ドリフト領域54の底部に向かう凸湾曲状（U字状）に形成されている。

[0128] 第2トレンチゲート構造70の底壁73は、ドリフト領域54の底部に対して $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の第2間隔IT2を空けて第1主面3側の領域に位置している。第2間隔IT2は、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $8\mu\text{m}$ 以下、又は、 $8\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第2間隔IT2は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。

[0129] 複数の第1トレンチゲート構造60および複数の第2トレンチゲート構造70の間の領域には、セル領域75がそれぞれ区画されている。複数のセル領域75は、平面視において第1方向Xに沿って間隔を空けて配列され、第2方向Yに沿って帯状にそれぞれ延びている。複数のセル領域75は、第1トレンチゲート構造60および第2トレンチゲート構造70と同一方向に沿って延びている。複数のセル領域75は、平面視において全体としてストラ

イブ状に形成されている。

[0130] 第1トレンチゲート構造60の外壁からは、ドリフト領域54の内部に第1空乏層が広がる。第1空乏層は、第1トレンチゲート構造60の外壁から第1主面3に沿う方向および法線方向Zに向けて広がる。同様に、第2トレンチゲート構造70の外壁からは、ドリフト領域54内に第2空乏層が広がる。第2空乏層は、第2トレンチゲート構造70の外壁から第1主面3に沿う方向および法線方向Zに向けて広がる。

[0131] 第2トレンチゲート構造70は、第2空乏層が第1空乏層に重なる態様で、第1トレンチゲート構造60から間隔を空けて配列されている。つまり、第2空乏層は、セル領域75において第2トレンチゲート構造70の底壁73に対して第1主面3側の領域で第1空乏層に重なる。このような構造によれば、第1トレンチゲート構造60および第2トレンチゲート構造70に電界が集中するのを抑制できるから、ブレイクダウン電圧の低下を抑制できる。

[0132] 第2空乏層は、第2トレンチゲート構造70の底壁73に対してドリフト領域54の底部側の領域で第1空乏層に重なることが好ましい。このような構造によれば、第1トレンチゲート構造60の底壁63および第2トレンチゲート構造70の底壁73に電界が集中するのを抑制できるから、ブレイクダウン電圧の低下を適切に抑制できる。

[0133] 第1トレンチゲート構造60および第2トレンチゲート構造70の側壁間のピッチPSは、 $0.2\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であってもよい。ピッチPSは、第1トレンチゲート構造60の第1側壁61（第2側壁62）および第2トレンチゲート構造70の第2側壁72（第1側壁71）の間において、第1トレンチゲート構造60および第2トレンチゲート構造70が延びる方向（第2方向Y）に直交する方向（第1方向X）の距離である。

[0134] ピッチPSは、 $0.2\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下、 $0.4\mu\text{m}$ 以上 $0.6\mu\text{m}$ 以下、 $0.6\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下、 $0.8\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下、 $1.0\mu\text{m}$ 以上 $1.2\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以上 $1.4\mu\text{m}$ 以下、 $1.4\mu\text{m}$

m以上1.6 μ m以下、1.6 μ m以上1.8 μ m以下、又は、1.8 μ m以上2.0 μ m以下であってもよい。ピッチPSは、0.3 μ m以上1.5 μ m以下であることが好ましい。

[0135] 第1トレンチゲート構造60および第2トレンチゲート構造70の中央部間のピッチPCは、1 μ m以上7 μ m以下であってもよい。ピッチPCは、第1トレンチゲート構造60の中央部および第2トレンチゲート構造70の中央部の間において、第1トレンチゲート構造60および第2トレンチゲート構造70が延びる方向（第2方向Y）に直交する方向（第1方向X）の距離である。

[0136] なお、ピッチPCは、1 μ m以上2 μ m以下、2 μ m以上3 μ m以下、3 μ m以上4 μ m以下、4 μ m以上5 μ m以下、5 μ m以上6 μ m以下、または、6 μ m以上7 μ m以下であってもよい。ピッチPCは、1 μ m以上3 μ m以下であることが好ましい。

[0137] 図9および図10を参照して、第1トレンチゲート構造60は、より具体的には、第1ゲートトレンチ81、第1絶縁層82および第1電極83を含む。第1ゲートトレンチ81は、第1主面3を第2主面4側に向けて掘り下げることによって形成されている。

[0138] 第1ゲートトレンチ81は、第1トレンチゲート構造60の第1側壁61、第2側壁62および底壁63を区画している。以下では、第1トレンチゲート構造60の第1側壁61、第2側壁62および底壁63を、第1ゲートトレンチ81の第1側壁61、第2側壁62および底壁63ともいう。

[0139] 第1絶縁層82は、第1ゲートトレンチ81の内壁に沿って膜状に形成されている。第1絶縁層82は、第1ゲートトレンチ81内において凹状の空間を区画している。第1絶縁層82において第1ゲートトレンチ81の底壁63を被覆する部分は、第1ゲートトレンチ81の底壁63に倣って形成されている。これにより、第1絶縁層82は、第1ゲートトレンチ81内においてU字状に窪んだU字空間を区画している。

[0140] 第1絶縁層82は、酸化シリコン（SiO₂）、窒化シリコン（SiN）、

酸化アルミニウム (Al_2O_3)、酸化ジルコニウム (ZrO_2) および酸化タングステン (Ta_2O_5) のうちの少なくとも 1 種を含む。

[0141] 第 1 絶縁層 82 は、半導体層 2 側からこの順に積層された SiN 層および SiO_2 層を含む積層構造を有していてもよい。第 1 絶縁層 82 は、半導体層 2 側からこの順に積層された SiO_2 層および SiN 層を含む積層構造を有していてもよい。第 1 絶縁層 82 は、 SiO_2 層または SiN 層からなる単層構造を有していてもよい。第 1 絶縁層 82 は、この形態では、 SiO_2 層からなる単層構造を有している。

[0142] 第 1 絶縁層 82 は、第 1 ゲートトレンチ 81 の底壁 63 側から第 1 主面 3 側に向けてこの順に形成された第 1 底側絶縁層 84 および第 1 開口側絶縁層 85 を含む。

[0143] 第 1 底側絶縁層 84 は、第 1 ゲートトレンチ 81 の底壁 63 側の内壁を被覆している。第 1 底側絶縁層 84 は、より具体的には、ボディ領域 55 の底部に対して第 1 ゲートトレンチ 81 の底壁 63 側の内壁を被覆している。第 1 底側絶縁層 84 は、第 1 ゲートトレンチ 81 の底壁 63 側において U 字空間を区画している。第 1 底側絶縁層 84 は、U 字空間を区画する平滑な内壁面を有している。第 1 底側絶縁層 84 は、ドリフト領域 54 に接している。第 1 底側絶縁層 84 の一部は、ボディ領域 55 に接していてもよい。

[0144] 第 1 開口側絶縁層 85 は、第 1 ゲートトレンチ 81 の開口側の内壁を被覆している。第 1 開口側絶縁層 85 は、より具体的には、ボディ領域 55 の底部に対して第 1 ゲートトレンチ 81 の開口側の領域において第 1 ゲートトレンチ 81 の第 1 側壁 61 および第 2 側壁 62 を被覆している。第 1 開口側絶縁層 85 は、ボディ領域 55 に接している。第 1 開口側絶縁層 85 の一部は、ドリフト領域 54 に接していてもよい。

[0145] 第 1 底側絶縁層 84 は、第 1 厚さ T_1 を有している。第 1 開口側絶縁層 85 は、第 1 厚さ T_1 未満の第 2 厚さ T_2 ($T_2 < T_1$) を有している。第 1 厚さ T_1 は、第 1 底側絶縁層 84 において第 1 ゲートトレンチ 81 の内壁の法線方向に沿う厚さである。第 2 厚さ T_2 は、第 1 開口側絶縁層 85 におい

て第1ゲートトレンチ81の内壁の法線方向に沿う厚さである。

[0146] なお、第1ゲートトレンチ81の第1幅 WT_1 に対する第1厚さ T_1 の第1比 T_1/WT_1 は、0.1以上0.4以下であってもよい。また、第1比 T_1/WT_1 は、0.1以上0.15以下、0.15以上0.2以下、0.2以上0.25以下、0.25以上0.3以下、0.3以上0.35以下、または、0.35以上0.4以下であってもよい。第1比 T_1/WT_1 は、0.25以上0.35以下であることが好ましい。

[0147] なお、第1底側絶縁層84の第1厚さ T_1 は、1500 Å以上4000 Å以下であってもよい。第1厚さ T_1 は、1500 Å以上2000 Å以下、2000 Å以上2500 Å以下、2500 Å以上3000 Å以下、3000 Å以上3500 Å以下、または、3500 Å以上4000 Å以下であってもよい。第1厚さ T_1 は、1800 Å以上3500 Å以下であることが好ましい。

[0148] 第1厚さ T_1 は、第1ゲートトレンチ81の第1幅 WT_1 に応じて、4000 Å以上12000 Å以下に調整されてもよい。第1厚さ T_1 は、4000 Å以上5000 Å以下、5000 Å以上6000 Å以下、6000 Å以上7000 Å以下、7000 Å以上8000 Å以下、8000 Å以上9000 Å以下、9000 Å以上10000 Å以下、10000 Å以上11000 Å以下、又は、11000 Å以上12000 Å以下であってもよい。この場合、第1底側絶縁層84の厚化により半導体装置1の耐圧を高めることができる。

[0149] 第1開口側絶縁層85の第2厚さ T_2 は、第1底側絶縁層84の第1厚さ T_1 の $1/100$ 以上 $1/10$ 以下であってもよい。第2厚さ T_2 は、100 Å以上500 Å以下であってもよい。第2厚さ T_2 は、100 Å以上200 Å以下、200 Å以上300 Å以下、300 Å以上400 Å以下、または、400 Å以上500 Å以下であってもよい。第2厚さ T_2 は、200 Å以上400 Å以下であることが好ましい。

[0150] 第1底側絶縁層84は、第1ゲートトレンチ81の第1側壁61および第

2側壁62を被覆する部分から第1ゲートトレンチ81の底壁63を被覆する部分に向けて第1厚さT1が減少する態様で形成されている。

[0151] 第1底側絶縁層84において第1ゲートトレンチ81の底壁63を被覆する部分の厚さは、第1底側絶縁層84において第1ゲートトレンチ81の第1側壁61および第2側壁62を被覆する部分の厚さよりも小さい。第1底側絶縁層84によって区画されたU字空間の底壁側の開口幅は、第1厚さT1の減少分だけ拡張されている。これにより、U字空間の先細りが抑制されている。このようなU字空間は、たとえば、第1底側絶縁層84の内壁に対するエッチング法（たとえばウエットエッチング法）によって形成される。

[0152] 第1電極83は、第1絶縁層82を挟んで、第1ゲートトレンチ81に埋め込まれている。第1電極83にはオン信号V_{on}およびオフ信号V_{off}を含む第1ゲート制御信号（第1制御信号）が印加される。第1電極83は、この形態では、第1底側電極86、第1開口側電極87および第1中間絶縁層88を含む絶縁分離型のスプリット電極構造を有している。

[0153] 第1底側電極86は、第1絶縁層82を挟んで第1ゲートトレンチ81の底壁63側に埋設されている。第1底側電極86は、より具体的には、第1底側絶縁層84を挟んで第1ゲートトレンチ81の底壁63側に埋設されている。第1底側電極86は、第1底側絶縁層84を挟んでドリフト領域54に対向している。第1底側電極86の一部は、第1底側絶縁層84を挟んでボディ領域55に対向していてもよい。

[0154] 第1底側電極86は、第1上端部86A、第1下端部86Bおよび第1壁部86Cを含む。第1上端部86Aは、第1ゲートトレンチ81の開口側に位置している。第1下端部86Bは、第1ゲートトレンチ81の底壁63側に位置している。第1壁部86Cは、第1上端部86Aおよび第1下端部86Bを接続し、第1ゲートトレンチ81の内壁に沿って壁状に延びている。

[0155] 第1上端部86Aは、第1底側絶縁層84から露出している。第1上端部86Aは、第1底側絶縁層84に対して第1主面3側に突出している。これにより、第1底側電極86は、第1ゲートトレンチ81の開口側において、

第1底側絶縁層84および第1開口側絶縁層85との間で、断面視において逆凹状のリセスを区画している。第1上端部86Aの幅は、第1壁部86Cの幅未満である。

[0156] 第1下端部86Bは、第1ゲートトレンチ81の底壁63に向かう凸湾曲状に形成されている。第1下端部86Bは、より具体的には、第1底側絶縁層84によって区画されたU字空間の底壁に倣って形成されており、第1ゲートトレンチ81の底壁63に向かう滑らかな凸湾曲状に形成されている。

[0157] このような構造によれば、第1底側電極86に対する局所的な電界集中を抑制できるから、ブレイクダウン電圧の低下を抑制できる。特に、第1底側絶縁層84の拡張されたU字空間に第1底側電極86を埋設することにより、第1底側電極86が第1上端部86Aから第1下端部86Bに向けて先細り形状になることを適切に抑制できる。これにより、第1底側電極86の第1下端部86Bに対する局所的な電界集中を適切に抑制できる。

[0158] 第1底側電極86は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも1種を含んでもよい。第1底側電極86は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、n型不純物またはp型不純物を含んでもよい。なお、導電性ポリシリコンは、n型不純物を含むことが好ましい。

[0159] 第1開口側電極87は、第1絶縁層82を挟んで第1ゲートトレンチ81の開口側に埋設されている。第1開口側電極87は、より具体的には、第1開口側絶縁層85を挟んで第1ゲートトレンチ81の開口側に区画された逆凹状のリセスに埋設されている。第1開口側電極87は、第1開口側絶縁層85を挟んでボディ領域55に対向している。第1開口側電極87の一部は、第1開口側絶縁層85を挟んでドリフト領域54に対向していてもよい。

[0160] 第1開口側電極87は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも1種を含んでもよい。第1開口側電極87は、第1底側電極86と同一種の導電材料を含むことが好ましい。第1開口側電極87は、この形態では、導電性ポリシ

リコンを含む。導電性ポリシリコンは、 n 型不純物または p 型不純物を含んでいてもよい。導電性ポリシリコンは、 n 型不純物を含むことが好ましい。

[0161] 第1中間絶縁層88は、第1底側電極86および第1開口側電極87の間に介在し、第1底側電極86および第1開口側電極87を電氣的に絶縁している。第1中間絶縁層88は、より具体的には、第1底側電極86及び第1開口側電極87の間の領域において第1底側絶縁層84から露出する第1底側電極86を被覆している。第1中間絶縁層88は、第1底側電極86の第1上端部86A（より具体的には突出部）を被覆している。第1中間絶縁層88は、第1絶縁層82（第1底側絶縁層84）に連なっている。

[0162] 第1中間絶縁層88は、第3厚さ T_3 を有している。第3厚さ T_3 は、第1底側絶縁層84の第1厚さ T_1 未満（ $T_3 < T_1$ ）である。第3厚さ T_3 は、第1厚さ T_1 の $1/100$ 以上 $1/10$ 以下であってもよい。第3厚さ T_3 は、 $100\text{ \AA}$ 以上 $500\text{ \AA}$ 以下であってもよい。第3厚さ T_3 は、 $100\text{ \AA}$ 以上 $200\text{ \AA}$ 以下、 $200\text{ \AA}$ 以上 $300\text{ \AA}$ 以下、 $300\text{ \AA}$ 以上 $400\text{ \AA}$ 以下、または、 $400\text{ \AA}$ 以上 $500\text{ \AA}$ 以下であってもよい。第3厚さ T_3 は、 $200\text{ \AA}$ 以上 $400\text{ \AA}$ 以下であることが好ましい。

[0163] 第1中間絶縁層88は、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、酸化アルミニウム（ Al_2O_3 ）、酸化ジルコニウム（ ZrO_2 ）、酸化タantal（ Ta_2O_3 ）のうちの少なくとも1種を含む。第1中間絶縁層88は、この形態では、 SiO_2 層からなる単層構造を有している。

[0164] 第1開口側電極87において第1ゲートトレンチ81から露出する露出部は、この形態では、第1主面3に対して第1ゲートトレンチ81の底壁63側に位置している。第1開口側電極87の露出部は、第1ゲートトレンチ81の底壁63に向かう湾曲状に形成されている。

[0165] 第1開口側電極87の露出部は、膜状に形成された第1キャップ絶縁層89によって被覆されている。第1キャップ絶縁層89は、第1ゲートトレンチ81内において第1絶縁層82（第1開口側絶縁層85）に連なっている。第1キャップ絶縁層89は、酸化シリコン（ SiO_2 ）を含んでいてもよい。

。

- [0166] 各第1 FET構造58は、p型の第1チャネル領域91（第1チャネル）を更に含む。第1チャネル領域91は、ボディ領域55において第1絶縁層82（第1開口側絶縁層85）を挟んで第1電極83（第1開口側電極87）に対向する領域に形成される。
- [0167] 第1チャネル領域91は、第1トレンチゲート構造60の第1側壁61または第2側壁62、もしくは、第1側壁61および第2側壁62に沿って形成されている。第1チャネル領域91は、この形態では、第1トレンチゲート構造60の第1側壁61および第2側壁62に沿って形成されている。
- [0168] 各第1 FET構造58は、ボディ領域55の表層部に形成された n^+ 型の第1ソース領域92をさらに含む。第1ソース領域92は、ボディ領域55内においてドリフト領域54との間で第1チャネル領域91を画定する。第1ソース領域92の n 型不純物濃度は、ドリフト領域54の n 型不純物濃度を超えている。第1ソース領域92の n 型不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。
- [0169] 各第1 FET構造58は、この形態では、複数の第1ソース領域92を含む。複数の第1ソース領域92は、ボディ領域55の表層部において第1トレンチゲート構造60に沿って間隔を空けて形成されている。複数の第1ソース領域92は、より具体的には、第1トレンチゲート構造60の第1側壁61または第2側壁62、もしくは、第1側壁61及び第2側壁62に沿って形成されている。複数の第1ソース領域92は、この形態では、第1トレンチゲート構造60の第1側壁61および第2側壁62に沿って間隔を空けて形成されている。
- [0170] 複数の第1ソース領域92の底部は、ボディ領域55の底部に対して第1主面3側の領域に位置している。これにより、複数の第1ソース領域92は、第1絶縁層82（第1開口側絶縁層85）を挟んで第1電極83（第1開口側電極87）に対向している。このようにして、第1 MISFET 56の第1チャネル領域91が、ボディ領域55において複数の第1ソース領域9

2 およびドリフト領域 5 4 に挟まれた領域に形成される。

[0171] 各第 1 F E T 構造 5 8 は、ボディ領域 5 5 の表層部に形成された p⁺型の第 1 コンタクト領域 9 3 を更に含む。第 1 コンタクト領域 9 3 の p 型不純物濃度は、ボディ領域 5 5 の p 型不純物濃度を超えている。第 1 コンタクト領域 9 3 の p 型不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

[0172] 各第 1 F E T 構造 5 8 は、この形態では、複数の第 1 コンタクト領域 9 3 を含む。複数の第 1 コンタクト領域 9 3 は、ボディ領域 5 5 の表層部において第 1 トレンチゲート構造 6 0 に沿って間隔を空けて形成されている。複数の第 1 コンタクト領域 9 3 は、より具体的には、第 1 トレンチゲート構造 6 0 の第 1 側壁 6 1 または第 2 側壁 6 2、もしくは、第 1 側壁 6 1 および第 2 側壁 6 2 に沿って形成されている。

[0173] 複数の第 1 コンタクト領域 9 3 は、この形態では、第 1 トレンチゲート構造 6 0 の第 1 側壁 6 1 及び第 2 側壁 6 2 に沿って間隔を空けて形成されている。複数の第 1 コンタクト領域 9 3 は、より具体的には、複数の第 1 ソース領域 9 2 に対して交互の配列となる態様でボディ領域 5 5 の表層部に形成されている。複数の第 1 コンタクト領域 9 3 の底部は、ボディ領域 5 5 の底部に対して第 1 主面 3 側の領域に位置している。

[0174] 図 9 および図 1 1 を参照して、第 2 トレンチゲート構造 7 0 は、第 2 ゲートトレンチ 1 0 1、第 2 絶縁層 1 0 2 および第 2 電極 1 0 3 を含む。第 2 ゲートトレンチ 1 0 1 は、第 1 主面 3 を第 2 主面 4 側に向けて掘り下げることによって形成されている。

[0175] 第 2 ゲートトレンチ 1 0 1 は、第 2 トレンチゲート構造 7 0 の第 1 側壁 7 1、第 2 側壁 7 2 および底壁 7 3 を区画している。以下では、第 2 トレンチゲート構造 7 0 の第 1 側壁 7 1、第 2 側壁 7 2 および底壁 7 3 を、第 2 ゲートトレンチ 1 0 1 の第 1 側壁 7 1、第 2 側壁 7 2 および底壁 7 3 ともいう。

[0176] 第 2 絶縁層 1 0 2 は、第 2 ゲートトレンチ 1 0 1 の内壁に沿い膜状に形成されている。第 2 絶縁層 1 0 2 は、第 2 ゲートトレンチ 1 0 1 内において凹

状の空間を区画している。第2絶縁層102において第2ゲートトレンチ101の底壁73を被覆する部分は、第2ゲートトレンチ101の底壁73に倣って形成されている。これにより、第2絶縁層102は、第2ゲートトレンチ101内においてU字状に窪んだU字空間を区画している。

[0177] 第2絶縁層102は、酸化シリコン(SiO_2)、窒化シリコン(SiN)、酸化アルミニウム(Al_2O_3)、酸化ジルコニウム(ZrO_2)及び酸化タantal(Ta_2O_3)のうちの少なくとも1種を含む。

[0178] 第2絶縁層102は、半導体層2側からこの順に積層された SiN 層および SiO_2 層を含む積層構造を有していてもよい。第2絶縁層102は、半導体層2側からこの順に積層された SiO_2 層および SiN 層を含む積層構造を有していてもよい。第2絶縁層102は、 SiO_2 層または SiN 層からなる単層構造を有していてもよい。第2絶縁層102は、この形態では、 SiO_2 層からなる単層構造を有している。

[0179] 第2絶縁層102は、第2ゲートトレンチ101の底壁73側から第1主面3側に向けてこの順に形成された第2底側絶縁層104および第2開口側絶縁層105を含む。

[0180] 第2底側絶縁層104は、第2ゲートトレンチ101の底壁73側の内壁を被覆している。第2底側絶縁層104は、より具体的には、ボディ領域55の底部に対して第2ゲートトレンチ101の底壁73側の内壁を被覆している。第2底側絶縁層104は、第2ゲートトレンチ101の底壁73側においてU字空間を区画している。第2底側絶縁層104は、U字空間を区画する平滑な内壁面を有している。第2底側絶縁層104は、ドリフト領域54に接している。第2底側絶縁層104の一部は、ボディ領域55に接していてもよい。

[0181] 第2開口側絶縁層105は、第2ゲートトレンチ101の開口側内壁を被覆している。第2開口側絶縁層105は、より具体的には、ボディ領域55の底部に対して第2ゲートトレンチ101の開口側の領域において第2ゲートトレンチ101の第1側壁71及び第2側壁72を被覆している。第2開

口側絶縁層105は、ボディ領域55に接している。第2開口側絶縁層105の一部は、ドリフト領域54に接していてもよい。

[0182] 第2底側絶縁層104は、第4厚さ T_4 を有している。第2開口側絶縁層105は、第4厚さ T_4 未満の第5厚さ T_5 ($T_5 < T_4$)を有している。第4厚さ T_4 は、第2底側絶縁層104において第2ゲートトレンチ101の内壁の法線方向に沿う厚さである。第5厚さ T_5 は、第2開口側絶縁層105において第2ゲートトレンチ101の内壁の法線方向に沿う厚さである。

[0183] 第2ゲートトレンチ101の第2幅 WT_2 に対する第4厚さ T_4 の第2比 T_4/WT_2 は、0.1以上0.4以下であってもよい。例えば、第2比 T_4/WT_2 は、0.1以上0.15以下、0.15以上0.2以下、0.2以上0.25以下、0.25以上0.3以下、0.3以上0.35以下、または、0.35以上0.4以下であってもよい。第2比 T_4/WT_2 は、0.25以上0.35以下であることが好ましい。

[0184] 第2比 T_4/WT_2 は、第1比 T_1/WT_1 以下 ($T_4/WT_2 \leq T_1/WT_1$) であってもよい。第2比 T_4/WT_2 は、第1比 T_1/WT_1 以上 ($T_4/WT_2 \geq T_1/WT_1$) であってもよい。また、第2比 T_4/WT_2 は、第1比 T_1/WT_1 と等しくてもよい ($T_4/WT_2 = T_1/WT_1$)。

[0185] 第2底側絶縁層104の第4厚さ T_4 は、1500 Å以上4000 Å以下であってもよい。第4厚さ T_4 は、1500 Å以上2000 Å以下、2000 Å以上2500 Å以下、2500 Å以上3000 Å以下、3000 Å以上3500 Å以下、または、3500 Å以上4000 Å以下であってもよい。第4厚さ T_4 は、1800 Å以上3500 Å以下であることが好ましい。

[0186] 第4厚さ T_4 は、第2ゲートトレンチ101の第2幅 WT_2 に応じて、4000 Å以上12000 Å以下であってもよい。第4厚さ T_4 は、4000 Å以上5000 Å以下、5000 Å以上6000 Å以下、6000 Å以上7000 Å以下、7000 Å以上8000 Å以下、8000 Å以上9000 Å

以下、 9000Å 以上 10000Å 以下、 10000Å 以上 11000Å 以下、又は、 11000Å 以上 12000Å 以下であってもよい。この場合、第2底側絶縁層104の厚化により半導体装置1の耐圧を高めることができる。

[0187] 第4厚さ T_4 は、第1厚さ T_1 以下($T_4 \leq T_1$)であってもよい。第4厚さ T_4 は、第1厚さ T_1 以上($T_4 \geq T_1$)であってもよい。第4厚さ T_4 は、第1厚さ T_1 と等しくてもよい($T_4 = T_1$)。

[0188] 第2開口側絶縁層105の第5厚さ T_5 は、第2底側絶縁層104の第4厚さ T_4 未満($T_5 < T_4$)である。第5厚さ T_5 は、第4厚さ T_4 の $1/100$ 以上 $1/10$ 以下であってもよい。 100Å 以上 500Å 以下であってもよい。第5厚さ T_5 は、 100Å 以上 200Å 以下、 200Å 以上 300Å 以下、 300Å 以上 400Å 以下、または、 400Å 以上 500Å 以下であってもよい。第5厚さ T_5 は、 200Å 以上 400Å 以下であることが好ましい。

[0189] 第5厚さ T_5 は、第2厚さ T_2 以下($T_5 \leq T_2$)であってもよい。第5厚さ T_5 は、第2厚さ T_2 以上($T_5 \geq T_2$)であってもよい。第5厚さ T_5 は、第2厚さ T_2 と等しくてもよい($T_5 = T_2$)。

[0190] 第2底側絶縁層104は、第2ゲートトレンチ101の第1側壁71および第2側壁72を被覆する部分から第2ゲートトレンチ101の底壁73を被覆する部分に向けて第4厚さ T_4 が減少する態様で形成されている。

[0191] 第2底側絶縁層104において第2ゲートトレンチ101の底壁73を被覆する部分の厚さは、第2底側絶縁層104において第2ゲートトレンチ101の第1側壁71および第2側壁72を被覆する部分の厚さよりも小さい。第2底側絶縁層104によって区画されたU字空間の底壁側の開口幅は、第4厚さ T_4 の減少分だけ拡張されている。これにより、U字空間の先細りが抑制されている。このようなU字空間は、たとえば、第2底側絶縁層104の内壁に対するエッチング法（たとえばウェットエッチング法）によって形成される。

- [0192] 第2電極103は、第2絶縁層102を挟んで第2ゲートトレンチ101に埋め込まれている。第2電極103にはオン信号V_{on}およびオフ信号V_{off}を含む所定の第2ゲート制御信号（第2制御信号）が印加される。
- [0193] 第2電極103は、この形態では、第2底側電極106、第2開口側電極107および第2中間絶縁層108を含む絶縁分離型のスプリット電極構造を有している。第2底側電極106は、この形態では、第1底側電極86に電氣的に接続されている。第2開口側電極107は、第1開口側電極87から電氣的に絶縁されている。
- [0194] 第2底側電極106は、第2絶縁層102を挟んで第2ゲートトレンチ101の底壁73側に埋設されている。第2底側電極106は、より具体的には、第2底側絶縁層104を挟んで第2ゲートトレンチ101の底壁73側に埋設されている。第2底側電極106は、第2底側絶縁層104を挟んでドリフト領域54に対向している。第2底側電極106の一部は、第2底側絶縁層104を挟んでボディ領域55に対向していてもよい。
- [0195] 第2底側電極106は、第2上端部106A、第2下端部106B及び第2壁部106Cを含む。第2上端部106Aは、第2ゲートトレンチ101の開口側に位置している。第2下端部106Bは、第2ゲートトレンチ101の底壁73側に位置している。第2壁部106Cは、第2上端部106Aおよび第2下端部106Bを接続し、第2ゲートトレンチ101の内壁に沿って壁状に延びている。
- [0196] 第2上端部106Aは、第2底側絶縁層104から露出している。第2上端部106Aは、第2底側絶縁層104に対して第1主面3側に突出している。これにより、第2底側電極106は、第2ゲートトレンチ101の開口側において、第2底側絶縁層104および第2開口側絶縁層105との間で、断面視において逆凹状のリセスを区画している。第2上端部106Aの幅は、第2壁部106Cの幅未満である。
- [0197] 第2下端部106Bは、第2ゲートトレンチ101の底壁73に向かう凸湾曲状に形成されている。第2下端部106Bは、より具体的には、第2底

側絶縁層 104 によって区画された U 字空間の底壁に倣って形成されており、第 2 ゲートトレンチ 101 の底壁 73 に向かう滑らかな凸湾曲状に形成されている。

[0198] このような構造によれば、第 2 底側電極 106 に対する局所的な電界集中を抑制できるので、ブレイクダウン電圧の低下を抑制できる。特に、第 2 底側絶縁層 104 の拡張された U 字空間に第 2 底側電極 106 を埋設することにより、第 2 底側電極 106 が第 2 上端部 106A から第 2 下端部 106B に向けて先細り形状になることを適切に抑制できる。これにより、第 2 底側電極 106 の第 2 下端部 106B に対する局所的な電界集中を適切に抑制できる。

[0199] 第 2 底側電極 106 は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも 1 種を含んでもよい。第 2 底側電極 106 は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、n 型不純物または p 型不純物を含んでもよい。導電性ポリシリコンは、n 型不純物を含むことが好ましい。

[0200] 第 2 開口側電極 107 は、第 2 絶縁層 102 を挟んで第 2 ゲートトレンチ 101 の開口側に埋設されている。第 2 開口側電極 107 は、より具体的には、第 2 開口側絶縁層 105 を挟んで第 2 ゲートトレンチ 101 の開口側に区画された逆凹状のリセスに埋設されている。第 2 開口側電極 107 は、第 2 開口側絶縁層 105 を挟んでボディ領域 55 に対向している。第 2 開口側電極 107 の一部は、第 2 開口側絶縁層 105 を挟んでドリフト領域 54 に対向していてもよい。

[0201] 第 2 開口側電極 107 は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも 1 種を含んでもよい。第 2 開口側電極 107 は、第 2 底側電極 106 と同一種の導電材料を含むことが好ましい。第 2 開口側電極 107 は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、n 型不純物または p 型不純物を含んでもよい。導電性ポリシリコンは、n 型不純物を含むことが好

ましい。

[0202] 第2中間絶縁層108は、第2底側電極106および第2開口側電極107の間に介在し、第2底側電極106および第2開口側電極107を電氣的に絶縁している。第2中間絶縁層108は、より具体的には、第2底側電極106および第2開口側電極107の間の領域において第2底側絶縁層104から露出する第2底側電極106を被覆している。第2中間絶縁層108は、第2底側電極106の第2上端部106A（より具体的には突出部）を被覆している。第2中間絶縁層108は、第2絶縁層102（第2底側絶縁層104）に連なっている。

[0203] 第2中間絶縁層108は、第6厚さT6を有している。第6厚さT6は、第2底側絶縁層104の第4厚さT4未満（ $T6 < T4$ ）である。第6厚さT6は、第4厚さT4の $1/100$ 以上 $1/10$ 以下であってもよい。第6厚さT6は、 $100\text{ \AA}$ 以上 $500\text{ \AA}$ 以下であってもよい。第6厚さT6は、 $100\text{ \AA}$ 以上 $200\text{ \AA}$ 以下、 $200\text{ \AA}$ 以上 $300\text{ \AA}$ 以下、 $300\text{ \AA}$ 以上 $400\text{ \AA}$ 以下、または、 $400\text{ \AA}$ 以上 $500\text{ \AA}$ 以下であってもよい。第6厚さT6は、 $200\text{ \AA}$ 以上 $400\text{ \AA}$ 以下であることが好ましい。

[0204] 第6厚さT6は、第3厚さT3以下（ $T6 \leq T3$ ）であってもよい。第6厚さT6は、第3厚さT3以上（ $T6 \geq T3$ ）であってもよい。第6厚さT6は、第3厚さT3と等しくてもよい（ $T6 = T3$ ）。

[0205] 第2中間絶縁層108は、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、酸化アルミニウム（ Al_2O_3 ）、酸化ジルコニウム（ ZrO_2 ）および酸化タンタル（ Ta_2O_3 ）のうちの少なくとも1種を含む。なお、第2中間絶縁層108は、この形態では、 SiO_2 層からなる単層構造を有している。

[0206] 第2開口側電極107において第2ゲートトレンチ101から露出する露出部は、この形態では、第1主面3に対して第2ゲートトレンチ101の底壁73側に位置している。第2開口側電極107の露出部は、第2ゲートトレンチ101の底壁73に向かう湾曲状に形成されている。

[0207] 第2開口側電極107の露出部は、膜状に形成された第2キャップ絶縁層

109によって被覆されている。第2キャップ絶縁層109は、第2ゲートトレンチ101内において第2絶縁層102（第2開口側絶縁層105）に連なっている。第2キャップ絶縁層109は、酸化シリコン（ SiO_2 ）を含んでいてもよい。

[0208] 各第2FET構造68は、p型の第2チャネル領域111（第2チャネル）をさらに含む。第2チャネル領域111は、より具体的には、ボディ領域55において第2絶縁層102（第2開口側絶縁層105）を挟んで第2電極103（第2開口側電極107）に対向する領域に形成される。

[0209] 第2チャネル領域111は、より具体的には、第2トレンチゲート構造70の第1側壁71または第2側壁72、もしくは、第1側壁71および第2側壁72に沿って形成されている。第2チャネル領域111は、この形態では、第2トレンチゲート構造70の第1側壁71および第2側壁72に沿って形成されている。

[0210] 各第2FET構造68は、ボディ領域55の表層部に形成された n^+ 型の第2ソース領域112をさらに含む。第2ソース領域112は、ボディ領域55内においてドリフト領域54との間で第2チャネル領域111を画定する。

[0211] 第2ソース領域112の n 型不純物濃度は、ドリフト領域54の n 型不純物濃度を超えている。第2ソース領域112の n 型不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。第2ソース領域112の n 型不純物濃度は、第1ソース領域92の n 型不純物濃度と等しいことが好ましい。

[0212] 各第2FET構造68は、この形態では、複数の第2ソース領域112を含む。複数の第2ソース領域112は、ボディ領域55の表層部において第2トレンチゲート構造70に沿って間隔を空けて形成されている。複数の第2ソース領域112は、具体的には、第2トレンチゲート構造70の第1側壁71または第2側壁72、もしくは、第1側壁71および第2側壁72に沿って形成されている。複数の第2ソース領域112は、この形態では、第

2 トレンチゲート構造 70 の第 1 側壁 71 および第 2 側壁 72 に沿って間隔を空けて形成されている。

[0213] 各第 2 ソース領域 112 は、この形態では、第 1 方向 X に沿って各第 1 ソース領域 92 と対向している。また、各第 2 ソース領域 112 は、各第 1 ソース領域 92 と一体を成している。図 7 および図 8 では、第 1 ソース領域 92 および第 2 ソース領域 112 を境界線によって区別して示しているが、第 1 ソース領域 92 および第 2 ソース領域 112 の間の領域には、実際には明確な境界線はない。

[0214] 各第 2 ソース領域 112 は、第 1 方向 X に沿って各第 1 ソース領域 92 の一部または全部と対向しないように、各第 1 ソース領域 92 から第 2 方向 Y にずれて形成されていてもよい。つまり、複数の第 1 ソース領域 92 および複数の第 2 ソース領域 112 は、平面視において千鳥状に配列されていてもよい。

[0215] 複数の第 2 ソース領域 112 の底部は、ボディ領域 55 の底部に対して第 1 主面 3 側の領域に位置している。これによって、複数の第 2 ソース領域 112 は、第 2 絶縁層 102（第 2 開口側絶縁層 105）を挟んで第 2 電極 103（第 2 開口側電極 107）に対向している。このようにして、第 2 MISFET 57 の第 2 チャネル領域 111 が、ボディ領域 55 において複数の第 2 ソース領域 112 およびドリフト領域 54 に挟まれた領域に形成される。

[0216] 各第 2 FET 構造 68 は、ボディ領域 55 の表層部に形成された p⁺型の第 2 コンタクト領域 113 を更に含む。第 2 コンタクト領域 113 の p 型不純物濃度は、ボディ領域 55 の p 型不純物濃度を超えている。第 2 コンタクト領域 113 の p 型不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。第 2 コンタクト領域 113 の p 型不純物濃度は、第 1 コンタクト領域 93 の p 型不純物濃度と等しいことが好ましい。

[0217] 各第 2 FET 構造 68 は、この形態では、複数の第 2 コンタクト領域 113 を含む。複数の第 2 コンタクト領域 113 は、ボディ領域 55 の表層部に

において第2トレンチゲート構造70に沿って間隔を空けて形成されている。複数の第2コンタクト領域113は、より具体的には、第2トレンチゲート構造70の第1側壁71または第2側壁72、もしくは、第1側壁71および第2側壁72に沿って形成されている。複数の第2コンタクト領域113の底部は、ボディ領域55の底部に対して第1主面3側の領域に位置している。

[0218] 複数の第2コンタクト領域113は、この形態では、第2トレンチゲート構造70の第1側壁71および第2側壁72に沿って間隔を空けて形成されている。複数の第2コンタクト領域113は、より具体的には、複数の第2ソース領域112に対して交互の配列となる態様でボディ領域55の表層部に形成されている。

[0219] 図7および図8を参照して、各第2コンタクト領域113は、この形態では、第1方向Xに沿って各第1コンタクト領域93と対向している。各第2コンタクト領域113は、各第1コンタクト領域93と一体を成している。

[0220] 図7では、第1ソース領域92および第2ソース領域112と区別するため、第1コンタクト領域93および第2コンタクト領域113を纏めて「p⁺」の記号で示している。また、図8では、第1コンタクト領域93および第2コンタクト領域113を境界線によって区別して示しているが、第1コンタクト領域93および第2コンタクト領域113の間の領域には、実際には明確な境界線はない。

[0221] 各第2コンタクト領域113は、第1方向Xに沿って各第1コンタクト領域93の一部または全部と対向しないように、各第1コンタクト領域93から第2方向Yにずれて形成されていてもよい。つまり、複数の第1コンタクト領域93および複数の第2コンタクト領域113は、平面視において千鳥状に配列されていてもよい。

[0222] 図7および図8を参照して、半導体層2の第1主面3において第1トレンチゲート構造60の一端部および第2トレンチゲート構造70の一端部の間の領域からは、この形態では、ボディ領域55が露出している。第1ソース

領域 9 2、第 1 コンタクト領域 9 3、第 2 ソース領域 1 1 2 および第 2 コンタクト領域 1 1 3 は、第 1 主面 3 において第 1 トレンチゲート構造 6 0 の一端部および第 2 トレンチゲート構造 7 0 の一端部に挟まれた領域に形成されていない。

[0223] 同様に、図示はしないが、半導体層 2 の第 1 主面 3 において第 1 トレンチゲート構造 6 0 の他端部及び第 2 トレンチゲート構造 7 0 の他端部の間の領域からは、この形態では、ボディ領域 5 5 が露出している。第 1 ソース領域 9 2、第 1 コンタクト領域 9 3、第 2 ソース領域 1 1 2 および第 2 コンタクト領域 1 1 3 は、第 1 トレンチゲート構造 6 0 の他端部および第 2 トレンチゲート構造 7 0 の他端部に挟まれた領域に形成されていない。

[0224] 図 5 ～図 8 を参照し、半導体層 2 の第 1 主面 3 には、複数（ここは 2 つ）のトレンチコンタクト構造 1 2 0 が形成されている。複数のトレンチコンタクト構造 1 2 0 は、一方側のトレンチコンタクト構造 1 2 0 および他方側のトレンチコンタクト構造 1 2 0 を含む。

[0225] 一方側のトレンチコンタクト構造 1 2 0 は、第 1 トレンチゲート構造 6 0 の一端部および第 2 トレンチゲート構造 7 0 の一端部側の領域に位置する。他方側のトレンチコンタクト構造 1 2 0 は、第 1 トレンチゲート構造 6 0 の他端部および第 2 トレンチゲート構造 7 0 の他端部側の領域に位置する。

[0226] 他方側のトレンチコンタクト構造 1 2 0 は、一方側のトレンチコンタクト構造 1 2 0 とほぼ同様の構造を有している。以下では、一方側のトレンチコンタクト構造 1 2 0 側の構造を例にとって説明し、他方側のトレンチコンタクト構造 1 2 0 側の構造についての具体的な説明は、省略される。

[0227] トレンチコンタクト構造 1 2 0 は、第 1 トレンチゲート構造 6 0 の一端部および第 2 トレンチゲート構造 7 0 の一端部に接続されている。トレンチコンタクト構造 1 2 0 は、この形態では、平面視において第 1 方向 X に沿って帯状に延びている。

[0228] トレンチコンタクト構造 1 2 0 の幅 WTC は、 $0.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。幅 WTC は、トレンチコンタクト構造 1 2 0 が延びる方向

(第1方向X)に直交する方向(第2方向Y)の幅である。

[0229] 幅WTCは、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下、または、 $4.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。幅WTCは、 $0.8\mu\text{m}$ 以上 $1.2\mu\text{m}$ 以下であることが好ましい。

[0230] 幅WTCは、第1トレンチゲート構造60の第1幅WT1と等しいことが好ましい(WTC=WT1)。幅WTCは、第2トレンチゲート構造70の第2幅WT2と等しいことが好ましい(WTC=WT2)。

[0231] トレンチコンタクト構造120は、ボディ領域55を貫通し、ドリフト領域54に達している。トレンチコンタクト構造120の深さDTCは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。深さDTCは、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $8\mu\text{m}$ 以下、または、 $8\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。深さDTCは、 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下であることが好ましい。

[0232] 深さDTCは、第1トレンチゲート構造60の第1深さDT1と等しいことが好ましい(DTC=DT1)。深さDTCは、第2トレンチゲート構造70の第2深さDT2と等しいことが好ましい(DTC=DT2)。

[0233] トレンチコンタクト構造120は、一方側の第1側壁121と、他方側の第2側壁122と、第1側壁121および第2側壁122を接続する底壁123とを含む。以下では、第1側壁121、第2側壁122および底壁123を纏めて「内壁」ということがある。第1側壁121は、第1トレンチゲート構造60および第2トレンチゲート構造70に接続された接続面である。

[0234] 第1側壁121、第2側壁122および底壁123は、ドリフト領域54内に位置している。第1側壁121および第2側壁122は、法線方向Zに沿って延びている。第1側壁121および第2側壁122は、第1主面3に対して垂直に形成されていてもよい。

- [0235] 半導体層2内において第1側壁121が第1主面3との間で成す角度（テーパ角）の絶対値は、 90° を超えて 95° 以下（例えば 91° 程度）であってもよい。半導体層2内において第2側壁122が第1主面3との間で成す角度（テーパ角）の絶対値は、 90° を超えて 95° 以下（たとえば 91° 程度）であってもよい。トレンチコンタクト構造120は、断面視において半導体層2の第1主面3側から底壁123側に向けて幅WTCが狭まる先細り形状（テーパ形状）に形成されていてもよい。
- [0236] 底壁123は、ドリフト領域54の底部に対して第1主面3側の領域に位置している。底壁123は、ドリフト領域54の底部に向かう凸湾曲状に形成されている。底壁123は、ドリフト領域54の底部に対して $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の間隔ITCを空けて第1主面3側の領域に位置している。間隔ITCは、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $8\mu\text{m}$ 以下、または、 $8\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。間隔ITCは、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。
- [0237] 間隔ITCは、第1トレンチゲート構造60の第1間隔IT1と等しいことが好ましい（ $\text{ITC} = \text{IT1}$ ）。間隔ITCは、第2トレンチゲート構造70の第2間隔IT2と等しいことが好ましい（ $\text{ITC} = \text{IT2}$ ）。
- [0238] トレンチコンタクト構造120は、コンタクトトレンチ131、コンタクト絶縁層132およびコンタクト電極133を含む。コンタクトトレンチ131は、半導体層2の第1主面3を第2主面4側に向けて掘り下げることによって形成されている。
- [0239] コンタクトトレンチ131は、トレンチコンタクト構造120の第1側壁121、第2側壁122および底壁123を区画している。以下では、トレンチコンタクト構造120の第1側壁121、第2側壁122および底壁123を、コンタクトトレンチ131の第1側壁121、第2側壁122および底壁123ともいう。
- [0240] コンタクトトレンチ131の第1側壁121は、第1ゲートトレンチ81の第1側壁61および第2側壁62に連通している。コンタクトトレンチ1

31の第1側壁121は、第2ゲートトレンチ101の第1側壁71および第2側壁72に連通している。コンタクトトレンチ131は、第1ゲートトレンチ81および第2ゲートトレンチ101との間で1つのトレンチを形成している。

[0241] コンタクト絶縁層132は、コンタクトトレンチ131の内壁に沿って膜状に形成されている。コンタクト絶縁層132は、コンタクトトレンチ131内において凹状の空間を区画している。コンタクト絶縁層132においてコンタクトトレンチ131の底壁123を被覆する部分は、コンタクトトレンチ131の底壁123に倣って形成されている。

[0242] コンタクト絶縁層132は、第1底側絶縁層84（第2底側絶縁層104）と同様の態様で、コンタクトトレンチ131内においてU字状に窪んだU字空間を区画している。つまり、コンタクト絶縁層132は、コンタクトトレンチ131の底壁123側の領域が拡張され、先細りが抑制されたU字空間を区画している。このようなU字空間は、例えば、コンタクト絶縁層132の内壁に対するエッチング法（たとえばウエットエッチング法）によって形成される。

[0243] コンタクト絶縁層132は、第7厚さT7を有している。第7厚さT7は、1500Å以上4000Å以下であってもよい。第7厚さT7は、1500Å以上2000Å以下、2000Å以上2500Å以下、2500Å以上3000Å以下、3000Å以上3500Å以下、または、3500Å以上4000Å以下であってもよい。第7厚さT7は、1800Å以上3500Å以下であることが好ましい。

[0244] 第7厚さT7は、トレンチコンタクト構造120の幅WTCに応じて4000Å以上12000Å以下であってもよい。第7厚さT7は、4000Å以上5000Å以下、5000Å以上6000Å以下、6000Å以上7000Å以下、7000Å以上8000Å以下、8000Å以上9000Å以下、9000Å以上10000Å以下、10000Å以上11000Å以下、又は、11000Å以上12000Å以下であってもよい。この場合、コ

ンタクト絶縁層 132 の厚化により半導体装置 1 の耐圧を高めることができる。

[0245] 第 7 厚さ T_7 は、第 1 底側絶縁層 84 の第 1 厚さ T_1 と等しい ($T_7 = T_1$) ことが好ましい。第 7 厚さ T_7 は、第 2 底側絶縁層 104 の第 4 厚さ T_4 と等しい ($T_7 = T_4$) ことが好ましい。

[0246] コンタクト絶縁層 132 は、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、酸化ジルコニウム (ZrO_2) 及び酸化タンタル (Ta_2O_3) のうちの少なくとも 1 種を含む。

[0247] コンタクト絶縁層 132 は、半導体層 2 側からこの順に積層された SiN 層および SiO_2 層を含む積層構造を有していてもよい。コンタクト絶縁層 132 は、半導体層 2 側からこの順に積層された SiO_2 層および SiN 層を含む積層構造を有していてもよい。コンタクト絶縁層 132 は、 SiO_2 層または SiN 層からなる単層構造を有していてもよい。コンタクト絶縁層 132 は、この形態では、 SiO_2 層からなる単層構造を有している。コンタクト絶縁層 132 は、第 1 絶縁層 82 (第 2 絶縁層 102) と同一の絶縁材料からなることが好ましい。

[0248] コンタクト絶縁層 132 は、第 1 ゲートトレンチ 81 およびコンタクトトレンチ 131 の間の連通部において第 1 絶縁層 82 と一体を成している。コンタクト絶縁層 132 は、第 2 ゲートトレンチ 101 およびコンタクトトレンチ 131 の間の連通部において第 2 絶縁層 102 と一体を成している。

[0249] コンタクト絶縁層 132 は、この形態では、第 1 ゲートトレンチ 81 の一端部および第 2 ゲートトレンチ 101 の一端部に引き出された引き出し絶縁層 132A を有している。引き出し絶縁層 132A は、連通部を横切って第 1 ゲートトレンチ 81 の一端部の内壁を被覆している。引き出し絶縁層 132A は、連通部を横切って第 2 ゲートトレンチ 101 の一端部の内壁を被覆している。

[0250] 引き出し絶縁層 132A は、第 1 ゲートトレンチ 81 内で、第 1 底側絶縁層 84 及び第 1 開口側絶縁層 85 と一体を成している。引き出し絶縁層 13

2 Aは、第1ゲートトレンチ81の一端部の内壁において、第1底側絶縁層84と共にU字空間を区画している。

[0251] 引き出し絶縁層132 Aは、第2ゲートトレンチ101内において第2底側絶縁層104および第2開口側絶縁層105と一体を成している。引き出し絶縁層132 Aは、第2ゲートトレンチ101の一端部の内壁において、第2底側絶縁層104と共にU字空間を区画している。

[0252] コンタクト電極133は、コンタクト絶縁層132を挟んでコンタクトトレンチ131に埋め込まれている。コンタクト電極133は、第1電極83および第2電極103とは異なり、一体物としてコンタクトトレンチ131に埋め込まれている。コンタクト電極133は、コンタクトトレンチ131から露出する上端部、コンタクト絶縁層132に接する下端部を有している。

[0253] コンタクト電極133の下端部は、第1底側電極86（第2底側電極106）と同様の態様で、コンタクトトレンチ131の底壁123に向かう凸湾曲状に形成されている。コンタクト電極133の下端部は、より具体的には、コンタクト絶縁層132によって区画されたU字空間の底壁に倣って形成されており、底壁123に向かう滑らかな凸湾曲状に形成されている。

[0254] このような構造によれば、コンタクト電極133に対する局所的な電界集中を抑制できるので、ブレイクダウン電圧の低下を抑制できる。特に、コンタクト絶縁層132の拡張されたU字空間にコンタクト電極133を埋設することにより、コンタクト電極133が上端部から下端部に向けて先細り形状になることを適切に抑制できる。これにより、コンタクト絶縁層132の下端部に対する局所的な電界集中を適切に抑制できる。

[0255] コンタクト電極133は、第1ゲートトレンチ81およびコンタクトトレンチ131の間の接続部において第1底側電極86に電氣的に接続されている。コンタクト電極133は、第2ゲートトレンチ101およびコンタクトトレンチ131の間の接続部において第2底側電極106に電氣的に接続されている。これにより、第2底側電極106は、第1底側電極86に電氣的

に接続されている。

- [0256] コンタクト電極 133 は、より具体的には、第 1 ゲートトレンチ 81 の一端部および第 2 ゲートトレンチ 101 の一端部に引き出された引き出し電極 133A を有している。引き出し電極 133A は、第 1 ゲートトレンチ 81 およびコンタクトトレンチ 131 の間の連通部を横切って第 1 ゲートトレンチ 81 内に位置している。引き出し電極 133A は、さらに、第 2 ゲートトレンチ 101 およびコンタクトトレンチ 131 の間の連通部を横切って第 2 ゲートトレンチ 101 内に位置している。
- [0257] 引き出し電極 133A は、第 1 ゲートトレンチ 81 内においてコンタクト絶縁層 132 によって区画された U 字空間に埋め込まれている。引き出し電極 133A は、第 1 ゲートトレンチ 81 内において第 1 底側電極 86 と一体を成している。これにより、コンタクト電極 133 は、第 1 底側電極 86 に電氣的に接続されている。
- [0258] 第 1 ゲートトレンチ 81 内においてコンタクト電極 133 および第 1 開口側電極 87 の間には、第 1 中間絶縁層 88 が介在している。これにより、コンタクト電極 133 は、第 1 ゲートトレンチ 81 内において第 1 開口側電極 87 から電氣的に絶縁されている。
- [0259] 引き出し電極 133A は、第 2 ゲートトレンチ 101 内においてコンタクト絶縁層 132 によって区画された U 字空間に埋め込まれている。引き出し電極 133A は、第 2 ゲートトレンチ 101 内において第 2 底側電極 106 と一体を成している。これにより、コンタクト電極 133 は、第 2 底側電極 106 に電氣的に接続されている。
- [0260] 第 2 ゲートトレンチ 101 内において、コンタクト電極 133 と第 2 開口側電極 107 との間には、第 2 中間絶縁層 108 が介在している。これにより、コンタクト電極 133 は、第 2 ゲートトレンチ 101 内において、第 2 開口側電極 107 から電氣的に絶縁されている。
- [0261] コンタクト電極 133 は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも 1 種を含んで

いてもよい。コンタクト電極 133 は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、 n 型不純物または p 型不純物を含んでいてもよい。導電性ポリシリコンは、 n 型不純物を含むことが好ましい。コンタクト電極 133 は、第 1 底側電極 86 および第 2 底側電極 106 と同一の導電材料を含むことが好ましい。

[0262] コンタクト電極 133 において、コンタクトトレンチ 131 から露出する露出部は、この形態では、第 1 主面 3 に対してコンタクトトレンチ 131 の底壁 123 側に位置している。コンタクト電極 133 の露出部は、コンタクトトレンチ 131 の底壁 123 に向かう湾曲状に形成されている。

[0263] コンタクト電極 133 の露出部は、膜状に形成された第 3 キャップ絶縁層 139 により被覆されている。第 3 キャップ絶縁層 139 は、コンタクトトレンチ 131 内においてコンタクト絶縁層 132 に連なっている。第 3 キャップ絶縁層 139 は、酸化シリコン (SiO_2) を含んでいてもよい。

[0264] 図 5 ～図 11 を参照して、半導体層 2 の第 1 主面 3 の上には、主面絶縁層 141 が形成されている。主面絶縁層 141 は、第 1 主面 3 を選択的に被覆している。主面絶縁層 141 は、第 1 絶縁層 82、第 2 絶縁層 102 及びコンタクト絶縁層 132 に連なっている。主面絶縁層 141 は、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、酸化ジルコニウム (ZrO_2) および酸化タンタル (Ta_2O_3) のうちの少なくとも 1 種を含む。

[0265] 主面絶縁層 141 は、半導体層 2 側からこの順に積層された SiN 層および SiO_2 層を含む積層構造を有していてもよい。主面絶縁層 141 は、半導体層 2 側からこの順に積層された SiO_2 層および SiN 層を含む積層構造を有していてもよい。主面絶縁層 141 は、 SiO_2 層または SiN 層からなる単層構造を有していてもよい。主面絶縁層 141 は、この形態では、 SiO_2 層からなる単層構造を有している。主面絶縁層 141 は、第 1 絶縁層 82、第 2 絶縁層 102 およびコンタクト絶縁層 132 と同一の絶縁材料からなることが好ましい。

- [0266] 主面絶縁層 141 の上部には、層間絶縁層 142 が形成されている。層間絶縁層 142 は、主面絶縁層 141 の厚さを超える厚さを有していてもよい。層間絶縁層 142 は、主面絶縁層 141 のほぼ全域を被覆している。層間絶縁層 142 は、例えば、酸化シリコン (SiO_2)、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、酸化ジルコニウム (ZrO_2) および酸化タンタル (Ta_2O_3) のうちの少なくとも 1 種を含む。
- [0267] 層間絶縁層 142 は、ここでは、酸化シリコンの一例としての USG (Undoped Silica Glass) 層を含む。層間絶縁層 142 は、USG 層からなる単層構造を有していてもよい。層間絶縁層 142 は、平坦化された主面を有していてもよい。層間絶縁層 142 の主面は、CMP (Chemical Mechanical Polishing) 法により研削された研削面であってもよい。
- [0268] 層間絶縁層 142 は、酸化シリコンの一例として PSG (Phosphor Silicate Glass) および／または BPSG (Boron Phosphor Silicate Glass) を含んでいてもよい。層間絶縁層 142 は、半導体層 2 側からこの順に積層された PSG 層および BPSG 層を含む積層構造を有していてもよい。層間絶縁層 142 は、第 1 主面 3 側からこの順に積層された BPSG 層および PSG 層を含む積層構造を有していてもよい。
- [0269] 図 5 および図 6 を参照して、出力領域 6 において層間絶縁層 142 には、第 1 プラグ電極 143、第 2 プラグ電極 144、第 3 プラグ電極 145 および第 4 プラグ電極 146 が埋め込まれている。この形態では、複数の第 1 プラグ電極 143、複数の第 2 プラグ電極 144、複数の第 3 プラグ電極 145 および複数の第 4 プラグ電極 146 が、層間絶縁層 142 に埋め込まれている。第 1 プラグ電極 143、第 2 プラグ電極 144、第 3 プラグ電極 145 および第 4 プラグ電極 146 は、タングステンをそれぞれ含んでいてもよい。
- [0270] 複数の第 1 プラグ電極 143 は、層間絶縁層 142 において第 1 トレンチゲート構造 60 の第 1 開口側電極 87 を被覆する部分にそれぞれ埋め込まれている。複数の第 1 プラグ電極 143 は、この形態では、第 1 トレンチゲー

ト構造 60 の一端部側の領域で、層間絶縁層 142 を貫通し、1 対 1 対応の関係で複数の第 1 開口側電極 87 に接続されている。

[0271] むろん、1 つの第 1 開口側電極 87 に対して複数の第 1 プラグ電極 143 が接続されていてもよい。図示は省略されるが、複数の第 1 プラグ電極 143 は、一端部側の領域と同様の態様で、層間絶縁層 142 において第 1 トレンチゲート構造 60 の他端部側の領域を被覆する部分にも埋め込まれている。

[0272] 複数の第 1 プラグ電極 143 は、この形態では、第 1 方向 X に沿って一列に間隔を空けて配列されている。各第 1 プラグ電極 143 は、平面視において三角形状、四角形状、五角形状、六角形状等の多角形状、もしくは、円形状または楕円形状に形成されていてもよい。各第 1 プラグ電極 143 は、ここでは、平面視において四角形状に形成されている。

[0273] 複数の第 2 プラグ電極 144 は、層間絶縁層 142 において第 2 トレンチゲート構造 70 の第 2 開口側電極 107 を被覆する部分にそれぞれ埋め込まれている。複数の第 2 プラグ電極 144 は、この形態では、第 2 トレンチゲート構造 70 の一端部側の領域において層間絶縁層 142 を貫通し、1 対 1 対応の関係で複数の第 2 開口側電極 107 に接続されている。

[0274] むろん、1 つの第 2 開口側電極 107 に対して複数の第 2 プラグ電極 144 が接続されていてもよい。図示は省略されるが、複数の第 2 プラグ電極 144 は、一端部側の領域と同様の態様で、層間絶縁層 142 において第 2 トレンチゲート構造 70 の他端部側の領域を被覆する部分にも埋め込まれている。

[0275] 複数の第 2 プラグ電極 144 は、この形態では、第 1 方向 X に沿って一列に間隔を空けて配列されている。各第 2 プラグ電極 144 は、平面視において三角形状、四角形状、五角形状、六角形状等の多角形状、もしくは、円形状または楕円形状に形成されていてもよい。各第 2 プラグ電極 144 は、ここでは、平面視において四角形状に形成されている。

[0276] 複数の第 3 プラグ電極 145 は、層間絶縁層 142 においてコンタクト電

極 1 3 3 を被覆する部分にそれぞれ埋め込まれている。複数の第 3 プラグ電極 1 4 5 は、層間絶縁層 1 4 2 を貫通し、コンタクト電極 1 3 3 に接続されている。

[0277] 図示は省略するが、複数の第 3 プラグ電極 1 4 5 は、一端部側の領域と同様の態様で、層間絶縁層 1 4 2 において他方側のトレンチコンタクト構造 1 2 0 のコンタクト電極 1 3 3 を被覆する部分にも埋め込まれている。

[0278] 複数の第 3 プラグ電極 1 4 5 は、この形態では、第 1 方向 X に沿って一列に間隔を空けて配列されている。各第 3 プラグ電極 1 4 5 は、平面視において三角形状、四角形状、五角形状、六角形状等の多角形状、もしくは、円形状または楕円形状に形成されていてもよい。各第 3 プラグ電極 1 4 5 は、ここでは、平面視において四角形状に形成されている。

[0279] 複数の第 4 プラグ電極 1 4 6 は、層間絶縁層 1 4 2 において複数のセル領域 7 5 を被覆する部分にそれぞれ埋め込まれている。各第 4 プラグ電極 1 4 6 は、層間絶縁層 1 4 2 を貫通し、各セル領域 7 5 にそれぞれ接続されている。各第 4 プラグ電極 1 4 6 は、より具体的には、各セル領域 7 5 において、第 1 ソース領域 9 2、第 1 コンタクト領域 9 3、第 2 ソース領域 1 1 2 および第 2 コンタクト領域 1 1 3 に電氣的に接続されている。

[0280] 各第 4 プラグ電極 1 4 6 は、平面視において各セル領域 7 5 に沿って延びる帯状に形成されている。各第 4 プラグ電極 1 4 6 の第 2 方向 Y の長さは、各セル領域 7 5 の第 2 方向 Y の長さ未満であってもよい。

[0281] むろん、各セル領域 7 5 には、複数の第 4 プラグ電極 1 4 6 が接続されていてもよい。この場合、複数の第 4 プラグ電極 1 4 6 は、各セル領域 7 5 に沿って間隔を空けて形成される。さらに、各第 4 プラグ電極 1 4 6 は、平面視において三角形状、四角形状、五角形状、六角形状等の多角形状、もしくは、円形状または楕円形状に形成されていてもよい。

[0282] 出力領域 6 において層間絶縁層 1 4 2 の上には、前述のソース電極 1 2 およびゲート制御配線 1 7 が形成されている。ソース電極 1 2 は、層間絶縁層 1 4 2 の上において複数の第 4 プラグ電極 1 4 6 に一括して電氣的に接続さ

れている。ソース電極 1 2 には、基準電圧（たとえばグランド電圧）が印加される。基準電圧は、複数の第 4 プラグ電極 1 4 6 を介して第 1 ソース領域 9 2、第 1 コンタクト領域 9 3、第 2 ソース領域 1 1 2 および第 2 コンタクト領域 1 1 3 に伝達される。

[0283] ゲート制御配線 1 7 のうちの第 1 ゲート制御配線 1 7 A は、層間絶縁層 1 4 2 の上において複数の第 1 プラグ電極 1 4 3 に電氣的に接続されている。第 1 ゲート制御配線 1 7 A には、コントロール I C 1 0 からのゲート制御信号が入力される。ゲート制御信号は、第 1 ゲート制御配線 1 7 A および複数の第 1 プラグ電極 1 4 3 を介して第 1 開口側電極 8 7 に伝達される。

[0284] ゲート制御配線 1 7 のうちの第 2 ゲート制御配線 1 7 B は、層間絶縁層 1 4 2 の上において複数の第 2 プラグ電極 1 4 4 に電氣的に接続されている。第 2 ゲート制御配線 1 7 B には、コントロール I C 1 0 からのゲート制御信号が入力される。ゲート制御信号は、第 2 ゲート制御配線 1 7 B および複数の第 2 プラグ電極 1 4 4 を介して第 2 開口側電極 1 0 7 に伝達される。

[0285] ゲート制御配線 1 7 のうちの第 3 ゲート制御配線 1 7 C は、層間絶縁層 1 4 2 の上において複数の第 3 プラグ電極 1 4 5 に電氣的に接続されている。第 3 ゲート制御配線 1 7 C には、コントロール I C 1 0 からのゲート制御信号が入力される。ゲート制御信号は、第 3 ゲート制御配線 1 7 C および複数の第 3 プラグ電極 1 4 5 を介してコンタクト電極 1 3 3 に伝達される。つまり、コントロール I C 1 0 からのゲート制御信号は、コンタクト電極 1 3 3 を介して第 1 底側電極 8 6 および第 2 底側電極 1 0 6 に伝達される。

[0286] 第 1 M I S F E T 5 6（第 1 トレンチゲート構造 6 0）及び第 2 M I S F E T 5 7（第 2 トレンチゲート構造 7 0）が共にオフ状態に制御される場合、第 1 チャネル領域 9 1 および第 2 チャネル領域 1 1 1 は共にオフ状態に制御される。

[0287] 第 1 M I S F E T 5 6 および第 2 M I S F E T 5 7 が共にオン状態に制御される場合、第 1 チャネル領域 9 1 および第 2 チャネル領域 1 1 1 は共にオン状態に制御される（F u l l - O N 制御）。

- [0288] 第1 M I S F E T 5 6 がオン状態に制御される一方で、第2 M I S F E T 5 7 がオフ状態に制御される場合、第1 チャネル領域 9 1 はオン状態に制御され、第2 チャネル領域 1 1 1 はオフ状態に制御される（第1 H a l f - O N 制御）。
- [0289] 第1 M I S F E T 5 6 がオフ状態に制御される一方で、第2 M I S F E T 5 7 がオン状態に制御される場合、第1 チャネル領域 9 1 はオフ状態に制御され、第2 チャネル領域 1 1 1 はオン状態に制御される（第2 H a l f - O N 制御）。
- [0290] このようにして、パワー M I S F E T 9 では、1つの出力領域 6 に形成された第1 M I S F E T 5 6 および第2 M I S F E T 5 7 を利用して、F u l l - O N 制御、第1 H a l f - O N 制御および第2 H a l f - O N 制御を含む複数種の制御が実現される。
- [0291] 第1 M I S F E T 5 6 を駆動させるとき（つまり、ゲートのオン制御時）、第1 底側電極 8 6 にオン信号 V o n が印加され、第1 開口側電極 8 7 にオン信号 V o n が印加されてもよい。この場合、第1 底側電極 8 6 および第1 開口側電極 8 7 は、ゲート電極として機能する。
- [0292] これにより、第1 底側電極 8 6 および第1 開口側電極 8 7 の間の電圧降下を抑制できるので、第1 底側電極 8 6 及び第1 開口側電極 8 7 の間の電界集中を抑制できる。また、半導体層 2 のオン抵抗を低下させることができるので、消費電力低減を図ることができる。
- [0293] 第1 M I S F E T 5 6 を駆動させるとき（つまり、ゲートのオン制御時）、第1 底側電極 8 6 にオフ信号 V o f f （たとえば基準電圧）が印加され、第1 開口側電極 8 7 にオン信号 V o n が印加されてもよい。この場合、第1 底側電極 8 6 がフィールド電極として機能する一方で、第1 開口側電極 8 7 がゲート電極として機能する。これにより、寄生容量を低下させることができるから、スイッチング速度の向上を図ることができる。
- [0294] 第2 M I S F E T 5 7 を駆動させるとき（つまり、ゲートのオン制御時）、第2 底側電極 1 0 6 にオン信号 V o n が印加され、第2 開口側電極 1 0 7

にオン信号 V_{on} が印加されてもよい。この場合、第2底側電極106および第2開口側電極107は、ゲート電極として機能する。

[0295] これにより、第2底側電極106および第2開口側電極107の間の電圧降下を抑制できるから、第2底側電極106及び第2開口側電極107の間の電界集中を抑制できる。また、半導体層2のオン抵抗を低下させることができるから、消費電力の低減を図ることができる。

[0296] 第2MISFET57を駆動させるとき（つまり、ゲートのオン制御時）、第2底側電極106にオフ信号 V_{off} （基準電圧）が印加され、第2開口側電極107にオン信号 V_{on} が印加されてもよい。この場合、第2底側電極106がフィールド電極として機能する一方で、第2開口側電極107がゲート電極として機能する。これにより、寄生容量を低下させることができるから、スイッチング速度の向上を図ることができる。

[0297] 図7および図8を参照して、第1チャネル領域91は、各セル領域75において第1チャネル面積 S_1 で形成されている。第1チャネル面積 S_1 は、各セル領域75に形成された複数の第1ソース領域92のトータル平面面積によって定義される。

[0298] 第1チャネル領域91は、各セル領域75において第1チャネル割合 R_1 （第1割合）で形成されている。第1チャネル割合 R_1 は、各セル領域75の平面面積を100%としたとき、各セル領域75において第1チャネル面積 S_1 が占める割合である。

[0299] 第1チャネル割合 R_1 は、0%以上50%以下の範囲で調整される。第1チャネル割合 R_1 は、0%以上5%以下、5%以上10%以下、10%以上15%以下、15%以上20%以下、20%以上25%以下、25%以上30%以下、30%以上35%以下、35%以上40%以下、40%以上45%以下、または、45%以上50%以下であってもよい。第1チャネル割合 R_1 は、10%以上35%以下であることが好ましい。

[0300] 第1チャネル割合 R_1 が50%の場合、第1トレンチゲート構造60の第1側壁61および第2側壁62のほぼ全域に第1ソース領域92が形成され

る。この場合、第1トレンチゲート構造60の第1側壁61および第2側壁62に第1コンタクト領域93は形成されない。第1チャンネル割合R1は、50%未満であることが好ましい。

[0301] 第1チャンネル割合R1が0%の場合、第1トレンチゲート構造60の第1側壁61および第2側壁62に第1ソース領域92は形成されない。この場合、第1トレンチゲート構造60の第1側壁61および第2側壁62にボディ領域55および／または第1コンタクト領域93だけが形成される。第1チャンネル割合R1は、0%を超えることが好ましい。この形態では、第1チャンネル割合R1が25%である例が示されている。

[0302] 第2チャンネル領域111は、各セル領域75において第2チャンネル面積S2で形成されている。第2チャンネル面積S2は、各セル領域75に形成された複数の第2ソース領域112のトータル平面面積によって定義される。

[0303] 第2チャンネル領域111は、各セル領域75において、第2チャンネル割合R2（第2割合）で形成されている。第2チャンネル割合R2は、各セル領域75の平面面積を100%としたとき、各セル領域75において第2チャンネル面積S2が占める割合である。

[0304] 第2チャンネル割合R2は、0%以上50%以下の範囲で調整される。第2チャンネル割合R2は、0%以上5%以下、5%以上10%以下、10%以上15%以下、15%以上20%以下、20%以上25%以下、25%以上30%以下、30%以上35%以下、35%以上40%以下、40%以上45%以下、または、45%以上50%以下であってもよい。第2チャンネル割合R2は、10%以上35%以下であることが好ましい。

[0305] 第2チャンネル割合R2が50%の場合、第2トレンチゲート構造70の第1側壁71および第2側壁72のほぼ全域に第2ソース領域112が形成される。この場合、第2トレンチゲート構造70の第1側壁71および第2側壁72に第2コンタクト領域113は形成されない。第2チャンネル割合R2は、50%未満であることが好ましい。

[0306] 第2チャンネル割合R2が0%の場合、第2トレンチゲート構造70の第1

側壁 7 1 および第 2 側壁 7 2 に第 2 ソース領域 1 1 2 は形成されない。この場合、第 2 トレンチゲート構造 7 0 の第 1 側壁 7 1 および第 2 側壁 7 2 にボディ領域 5 5 および／または第 2 コンタクト領域 1 1 3 だけが形成される。第 2 チャネル割合 R_2 は、0 % を超えることが好ましい。この形態では、第 2 チャネル割合 R_2 が 25 % である例が示されている。

[0307] このように、第 1 チャネル領域 9 1 および第 2 チャネル領域 1 1 1 は、各セル領域 7 5 において 0 % 以上 100 % 以下（好ましくは 0 % を超えて 100 % 未満）の総チャネル割合 R_T ($R_T = R_1 + R_2$) で形成される。

[0308] 各セル領域 7 5 における総チャネル割合 R_T は、この形態では 50 % である。この形態では、全ての総チャネル割合 R_T が等しい値に設定されている。そのため、出力領域 6 内（単位面積）における平均チャネル割合 R_{AV} は 50 % となる。平均チャネル割合 R_{AV} は、全ての総チャネル割合 R_T の和を、総チャネル割合 R_T の総数で除したものである。

[0309] 以下、図 1 2 A および図 1 2 B に、平均チャネル割合 R_{AV} を調整した場合の形態例を示す。図 1 2 A は、図 7 に対応する領域の断面斜視図であって、第 2 形態例に係るチャネル構造を含む形態を示す断面斜視図である。図 1 2 B は、図 7 に対応する領域の断面斜視図であって、第 3 形態例に係るチャネル構造を含む形態を示す断面斜視図である。

[0310] 図 1 2 A では、平均チャネル割合 R_{AV} が約 66 % に調整された場合の形態例が示されている。各セル領域 7 5 の総チャネル割合 R_T は、約 66 % である。図 1 2 B では、平均チャネル割合 R_{AV} が 33 % に調整された場合の形態例が示されている。各セル領域 7 5 の総チャネル割合 R_T は、33 % である。

[0311] 総チャネル割合 R_T は、セル領域 7 5 毎に調整されてもよい。つまり、異なる値をそれぞれ有する複数の総チャネル割合 R_T がセル領域 7 5 毎に適用されてもよい。総チャネル割合 R_T は、半導体層 2 の温度上昇に関係している。たとえば、総チャネル割合 R_T を増加させると、半導体層 2 の温度が上昇し易くなる。一方で、総チャネル割合 R_T を減少させると、半導体層 2 の

温度が上昇し難くなる。

[0312] これを利用して、総チャネル割合 R_T は、半導体層 2 の温度分布に応じて調整されてもよい。たとえば、半導体層 2 において温度が高まり易い領域の総チャネル割合 R_T を比較的小さくし、半導体層 2 において温度が高まり難い領域の総チャネル割合 R_T を比較的大きくしてもよい。

[0313] 半導体層 2 において温度が高まり易い領域として、出力領域 6 の中央部を例示できる。半導体層 2 において温度が高まり難い領域として、出力領域 6 の周縁部を例示できる。むろん、半導体層 2 の温度分布に応じて総チャネル割合 R_T を調整しながら、平均チャネル割合 R_{AV} が調整されてもよい。

[0314] 20%以上40%以下（たとえば25%）の総チャネル割合 R_T を有するセル領域 75 を、温度が高まり易い領域（たとえば中央部）に複数集約させてもよい。60%以上80%以下（たとえば75%）の総チャネル割合 R_T を有するセル領域 75 を、温度が高まり難い領域（たとえば周縁部）に複数集約させてもよい。40%を超えて60%未満（たとえば50%）の総チャネル割合 R_T を有するセル領域 75 を、温度が高まり易い領域および温度が高まり難い領域の間の領域に複数集約させてもよい。

[0315] さらに、20%以上40%以下の総チャネル割合 R_T 、40%以上60%以下の総チャネル割合 R_T および60%以上80%以下の総チャネル割合 R_T が、規則的な配列で、複数のセル領域 75 に適用されてもよい。

[0316] 一例として、25% (low) → 50% (middle) → 75% (high) の順に繰り返す3種の総チャネル割合 R_T が、複数のセル領域 75 に適用されてもよい。この場合、平均チャネル割合 R_{AV} は、50%に調整されてもよい。このような構造の場合、比較的簡単な設計で、半導体層 2 の温度分布に偏りが形成されるのを抑制できる。このような構造を適用した具体的な形態は、次の実施形態に示される。

[0317] 図13は、アクティブクランプ耐量 E_{ac} および面積抵抗率 $R_{on} \cdot A$ の関係を実測によって調べたグラフである。図13のグラフは、第1MISFET 56 および第2MISFET 57 を同時にオン状態およびオフ状態に制

御した場合の特性を示している。

[0318] 図13において、縦軸はアクティブクランプ耐量 E_{ac} [mJ/mm^2] を示し、横軸は面積抵抗率 $R_{on} \cdot A$ [$\text{m}\Omega \cdot \text{mm}^2$] を示している。アクティブクランプ耐量 E_{ac} は、図3において述べた通り、逆起電力に対する耐量である。面積抵抗率 $R_{on} \cdot A$ は、通常動作時における半導体層2内のオン抵抗を表している。

[0319] 図13には、第1プロット点P1、第2プロット点P2、第3プロット点P3および第4プロット点P4が示されている。第1プロット点P1、第2プロット点P2、第3プロット点P3および第4プロット点P4は、平均チャネル割合 R_{AV} (つまり、各セル領域75に占める総チャネル割合 R_T) が66%、50%、33%および25%に調整された場合の特性をそれぞれ示している。

[0320] 平均チャネル割合 R_{AV} を増加させた場合、通常動作時に面積抵抗率 $R_{on} \cdot A$ が低下し、アクティブクランプ動作時にアクティブクランプ耐量 E_{ac} が低下した。これとは反対に、平均チャネル割合 R_{AV} を低下させた場合、通常動作時に面積抵抗率 $R_{on} \cdot A$ が増加し、アクティブクランプ動作時にアクティブクランプ耐量 E_{ac} が向上した。

[0321] 面積抵抗率 $R_{on} \cdot A$ を鑑みると、平均チャネル割合 R_{AV} は33%以上(より具体的には33%以上100%未満)であることが好ましい。アクティブクランプ耐量 E_{ac} を鑑みると、平均チャネル割合 R_{AV} は33%未満(より具体的には0%を超えて33%未満)であることが好ましい。

[0322] 平均チャネル割合 R_{AV} の増加に起因して面積抵抗率 $R_{on} \cdot A$ が低下したのは、電流経路が増加したためである。また、平均チャネル割合 R_{AV} の増加に起因してアクティブクランプ耐量 E_{ac} が低下したのは、逆起電力に起因する急激な温度上昇が引き起こされたためである。

[0323] とりわけ、平均チャネル割合 R_{AV} (総チャネル割合 R_T) が比較的大きい場合には、互いに隣り合う第1トレンチゲート構造60および第2トレンチゲート構造70の間の領域において局所的かつ急激な温度上昇が発生する

可能性が高まる。アクティブクランプ耐量 E_{ac} は、この種の温度上昇に起因して低下したと考えられる。

[0324] 一方、平均チャネル割合 RAV の低下に起因して面積抵抗率 $R_{on} \cdot A$ が増加した理由は、電流経路が縮小したためである。平均チャネル割合 RAV の低下に起因してアクティブクランプ耐量 E_{ac} が向上したのは、平均チャネル割合 RAV （総チャネル割合 RT ）が比較的小さくなり、局所的かつ急激な温度上昇が抑制されたためと考えられる。

[0325] 図13のグラフの結果から、平均チャネル割合 RAV （総チャネル割合 RT ）に基づく調整法にはトレードオフの関係が存在するため、当該トレードオフの関係から切り離して優れた面積抵抗率 $R_{on} \cdot A$ および優れたアクティブクランプ耐量 E_{ac} を両立することは困難であることが分かる。

[0326] 一方、図13のグラフの結果から、パワーMISFET9において、通常動作時に第1プロット点P1（ $RAV = 66\%$ ）に近づく動作をさせ、アクティブクランプ動作時に第4プロット点P4（ $RAV = 25\%$ ）に近づく動作をさせることにより、優れた面積抵抗率 $R_{on} \cdot A$ 及び優れたアクティブクランプ耐量 E_{ac} を両立できることが分かる。そこで、この形態では、以下の制御が実施される。

[0327] 図14Aは、図1に示す半導体装置1の第1制御例に係る通常動作を説明するための断面斜視図である。図14Bは、図1に示す半導体装置1の第1制御例に係るアクティブクランプ動作を説明するための断面斜視図である。図14Aおよび図14Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0328] 図14Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力され、第3ゲート制御配線17Cに第3オン信号 V_{on3} が入力される。

[0329] 第1オン信号 V_{on1} 、第2オン信号 V_{on2} および第3オン信号 V_{on3} は、コントロールIC10からそれぞれ入力される。第1オン信号 V_{on1}

1、第2オン信号 V_{on2} 及び第3オン信号 V_{on3} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} 、第2オン信号 V_{on2} および第3オン信号 V_{on3} は、それぞれ等しい電圧を有しているもよい。

[0330] この場合、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106がそれぞれオン状態になる。つまり、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106は、ゲート電極としてそれぞれ機能する。

[0331] これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図14Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0332] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率 R_U は、100%である。通常動作時の特性チャネル割合 R_C は、50%である。チャネル利用率 R_U は、第1チャネル領域91および第2チャネル領域111のうちオン状態に制御されている第1チャネル領域91および第2チャネル領域111の割合である。

[0333] なお、特性チャネル割合 R_C は、平均チャネル割合 R_{AV} にチャネル利用率 R_U を乗じた値（ $R_C = R_{AV} \times R_U$ ）である。パワーMISFET9の特性（面積抵抗率 $R_{on} \cdot A$ およびアクティブクランプ耐量 E_{ac} ）は、特性チャネル割合 R_C に基づいて定められる。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第2プロット点P2で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0334] 一方、図14Bを参照して、パワーMISFET9のアクティブクランプ動作時では、第1ゲート制御配線17Aにオフ信号 V_{off} が入力され、第2ゲート制御配線17Bに第1クランプオン信号 V_{Con1} が入力され、第3ゲート制御配線17Cに第2クランプオン信号 V_{Con2} が入力される。

- [0335] オフ信号 V_{off} 、第1クランプオン信号 V_{Con1} および第2クランプオン信号 V_{Con2} は、コントロール $IC10$ からそれぞれ入力される。オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（たとえば基準電圧）を有している。第1クランプオン信号 V_{Con1} および第2クランプオン信号 V_{Con2} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1クランプオン信号 V_{Con1} および第2クランプオン信号 V_{Con2} は、それぞれ等しい電圧を有していてもよい。第1クランプオン信号 V_{Con1} および第2クランプオン信号 V_{Con2} は、通常動作時の電圧以下または未満の電圧を有していてもよい。
- [0336] この場合、第1開口側電極87がオフ状態となり、第1底側電極86、第2底側電極106及び第2開口側電極107がそれぞれオン状態になる。これにより、第1チャネル領域91がオフ状態に制御されると共に第2チャネル領域111がオン状態に制御される。図14Bでは、オフ状態の第1チャネル領域91が塗りつぶしハッチングにより示され、オン状態の第2チャネル領域111がドット状のハッチングにより示されている。
- [0337] その結果、第1MISFET56がオフ状態に制御される一方、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これによりアクティブクランプ動作時のチャネル利用率 R_U が、零を超えて通常動作時のチャネル利用率 R_U 未満となる。
- [0338] アクティブクランプ動作時のチャネル利用率 R_U は、50%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、25%である。これにより、アクティブクランプ耐量 E_{ac} は、図13のグラフにおいて第4プロット点P4で示されたアクティブクランプ耐量 E_{ac} に近づく。
- [0339] 第1制御例では、アクティブクランプ動作時において第2Half-ON制御が適用された例について説明した。しかし、アクティブクランプ動作時において第1Half-ON制御が適用されてもよい。
- [0340] 図15Aは、図1に示す半導体装置1の第2制御例に係る通常動作を説明するための断面斜視図である。図15Bは、図1に示す半導体装置1の第2

制御例に係るアクティブクランプ動作を説明するための断面斜視図である。

図15Aおよび図15Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0341] 図15Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力され、第3ゲート制御配線17Cにオフ信号 V_{off} が入力される。

[0342] 第1オン信号 V_{on1} 、第2オン信号 V_{on2} およびオフ信号 V_{off} は、コントロールIC10からそれぞれ入力される。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、それぞれ等しい電圧を有していてもよい。オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（たとえば基準電圧）を有している。

[0343] この場合、第1開口側電極87及び第2開口側電極107がそれぞれオン状態になり、第1底側電極86および第2底側電極106がそれぞれオフ状態になる。つまり、第1開口側電極87および第2開口側電極107がゲート電極として機能する一方で、第1底側電極86および第2底側電極106がフィールド電極として機能する。

[0344] これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図15Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0345] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率 R_U は、100%である。通常動作時の特性チャネル割合 R_C は、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第2プロット点P2で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0346] 一方、図15Bを参照して、パワーMISFET9のアクティブクランプ

動作時では、第1ゲート制御配線17Aに第1オフ信号 V_{off1} が入力され、第2ゲート制御配線17Bにクランプオン信号 V_{Con} が入力され、第3ゲート制御配線17Cに第2オフ信号 V_{off2} が入力される。

[0347] 第1オフ信号 V_{off1} 、クランプオン信号 V_{Con} 及び第2オフ信号 V_{off2} は、コントロールIC10からそれぞれ入力される。第1オフ信号 V_{off1} は、ゲート閾値電圧 V_{th} 未満の電圧（例えば基準電圧）を有している。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。第2オフ信号 V_{off2} は、ゲート閾値電圧 V_{th} 未満の電圧値（たとえば基準電圧）を有している。

[0348] この場合、第1開口側電極87、第1底側電極86及び第2底側電極106がそれぞれオフ状態となり、第2開口側電極107がオン状態になる。これにより、第1チャネル領域91がオフ状態に制御されると共に第2チャネル領域111がオン状態に制御される。図15Bでは、オフ状態の第1チャネル領域91が塗りつぶしハッチングにより示され、オン状態の第2チャネル領域111がドット状のハッチングにより示されている。

[0349] その結果、第1MISFET56がオフ状態に制御される一方、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これによりアクティブクランプ動作時のチャネル利用率 R_U が、零を超えて通常動作時のチャネル利用率 R_U 未満となる。

[0350] アクティブクランプ動作時のチャネル利用率 R_U は、50%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、25%である。これにより、アクティブクランプ耐量 E_{ac} は、図13のグラフにおいて第4プロット点P4で示されたアクティブクランプ耐量 E_{ac} に近づく。

[0351] 第2制御例では、アクティブクランプ動作時において第2Half-ON制御が適用された例について説明した。しかし、アクティブクランプ動作時において第1Half-ON制御が適用されてもよい。

[0352] 以上、半導体装置1は、半導体層2に形成されたIPD (Intelligent Po

wer Device) を含む。IPDは、パワーMISFET9、および、パワーMISFET9を制御するコントロールIC10を含む。パワーMISFET9は、より具体的には、第1MISFET56および第2MISFET57を含む。コントロールIC10は、第1MISFET56および第2MISFET57を個別に制御する。

[0353] コントロールIC10は、より具体的には、通常動作時に第1MISFET56および第2MISFET57をオン状態に制御し、アクティブクランプ動作時に第1MISFET56をオフ状態に制御すると共に第2MISFET57をオン状態に制御する。

[0354] したがって、通常動作時には、第1MISFET56および第2MISFET57を利用して電流を流すことができる。これにより、面積抵抗率 $R_{on} \cdot A$ （オン抵抗）の低減を図ることができる。

[0355] 一方、アクティブクランプ動作時には、第1MISFET56を停止させた状態で第2MISFET57を利用して電流を流すことができるから、第2MISFET57によって逆起電力を消費（吸収）できる。これにより、逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量 E_{ac} の向上を図ることができる。

[0356] 半導体装置1は、より具体的には、第1FET構造58を含む第1MISFET56、および、第2FET構造68を含む第2MISFET57を有している。第1FET構造58は、第1トレンチゲート構造60および第1チャンネル領域91を含む。第2FET構造68は、第2トレンチゲート構造70および第2チャンネル領域111を含む。

[0357] この場合、コントロールIC10は、通常動作時及びアクティブクランプ動作時の間で異なる特性チャンネル割合 R_C （チャンネルの面積）が適用されるように、第1MISFET56及び第2MISFET57を制御する。コントロールIC10は、より具体的には、アクティブクランプ動作時のチャンネル利用率 R_U が、零を超えて通常動作時のチャンネル利用率 R_U 未満となるように第1MISFET56及び第2MISFET57を制御する。

[0358] 従って、通常動作時には、特性チャネル割合 R_C が相対的に増加する。これにより、電流経路が相対的に増加するから、面積抵抗率 $R_{on} \cdot A$ （オン抵抗）の低減を図ることができる。一方、アクティブクランプ動作時には、特性チャネル割合 R_C が相対的に減少する。これにより、逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量 E_{ac} の向上を図ることができる。

[0359] よって、図 13 に示されるトレードオフの関係から切り離して、優れた面積抵抗率 $R_{on} \cdot A$ および優れたアクティブクランプ耐量 E_{ac} の両立を図ることができる半導体装置 1 を提供できる。

[0360] <第 2 実施形態>

図 16 は、図 7 に対応する領域の断面斜視図であって、本発明の第 2 実施形態に係る半導体装置 151 を示す斜視図である。以下では、半導体装置 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0361] 半導体装置 1 では、1 個の第 1 FET 構造 58 および 1 個の第 2 FET 構造 68 が交互に配列される態様で、複数の第 1 FET 構造 58 および複数の第 2 FET 構造 68 が形成されている。一方、半導体装置 151 では、複数（この形態では 2 個）の第 1 FET 構造 58 の群および複数（この形態では 2 個）の第 2 FET 構造 68 の群が交互に配列される態様で、複数の第 1 FET 構造 58 および複数の第 2 FET 構造 68 が形成されている。

[0362] また、半導体装置 1 では、第 2 チャネル割合 R_2 （第 2 チャネル面積 S_2 ）が、第 1 チャネル割合 R_1 （第 1 チャネル面積 S_1 ）と等しい。これに対して、半導体装置 151 では、第 2 チャネル割合 R_2 が、第 1 チャネル割合 R_1 とは異なっている（ $R_1 \neq R_2$ ）。第 2 チャネル割合 R_2 は、より具体的には、第 1 チャネル割合 R_1 未満（ $R_2 < R_1$ ）である。以下、半導体装置 151 の構造について具体的に説明する。

[0363] 図 16 を参照して、複数のセル領域 75 は、この形態では、互いに隣り合う 2 個の第 1 FET 構造 58 の間の領域、互いに隣り合う 1 個の第 1 FET

構造 5 8 および 1 個の第 2 F E T 構造 6 8 の間の領域、ならびに、互いに隣り合う 2 個の第 2 F E T 構造 6 8 の間の領域にそれぞれ区画されている。

[0364] 複数のセル領域 7 5 には、この形態では、互いに異なる値を有する 3 種の総チャネル割合 R T が適用されている。3 種の総チャネル割合 R T は、第 1 総チャネル割合 R T 1、第 2 総チャネル割合 R T 2 および第 3 総チャネル割合 R T 3 を含む。

[0365] 第 1 総チャネル割合 R T 1 は、互いに隣り合う 2 個の第 1 F E T 構造 5 8 の間の領域に適用されている。互いに隣り合う 2 個の第 1 F E T 構造 5 8 の間の領域には、構造上、第 2 チャネル領域 1 1 1 は形成されない。

[0366] 第 1 総チャネル割合 R T 1 は、互いに隣り合う 2 個の第 1 F E T 構造 5 8 の第 1 チャネル割合 R 1 の合計値である。第 1 総チャネル割合 R T 1 は、一例として 6 0 % 以上 8 0 % 以下に調整されていてもよい。第 1 総チャネル割合 R T 1 は、この形態では、7 5 % に調整されている。第 1 総チャネル割合 R T 1 において、一方側の第 1 チャネル割合 R 1 および他方側の第 1 チャネル割合 R 1 は、それぞれ 3 7 . 5 % である。

[0367] 第 2 総チャネル割合 R T 2 は、互いに隣り合う 1 個の第 1 F E T 構造 5 8 および 1 個の第 2 F E T 構造 6 8 の間の領域に適用されている。互いに隣り合う 1 個の第 1 F E T 構造 5 8 および 1 個の第 2 F E T 構造 6 8 の間の領域には、その構造上、第 1 チャネル領域 9 1 および第 2 チャネル領域 1 1 1 が形成される。

[0368] 第 2 総チャネル割合 R T 2 は、第 1 チャネル割合 R 1 および第 2 チャネル割合 R 2 の合計値である。第 2 総チャネル割合 R T 2 は、一例として 4 0 % を超えて 6 0 % 未満に調整されていてもよい。第 2 総チャネル割合 R T 2 は、この形態では、5 0 % に調整されている。第 2 総チャネル割合 R T 2 において、第 1 チャネル割合 R 1 は 2 5 % であり、第 2 チャネル割合 R 2 は 2 5 % である。

[0369] 第 3 総チャネル割合 R T 3 は、互いに隣り合う 2 個の第 2 F E T 構造 6 8 の間の領域に適用されている。互いに隣り合う 2 個の第 2 F E T 構造 6 8 の

間の領域には、構造上、第1チャネル領域91は形成されない。

[0370] 第3総チャネル割合 R_{T3} は、互いに隣り合う2個の第2FET構造68の第2チャネル割合 R_2 の合計値である。第3総チャネル割合 R_{T3} は、一例として20%以上40%以下に調整されていてもよい。第3総チャネル割合 R_{T3} は、この形態では、25%に調整されている。第3総チャネル割合 R_{T3} において、一方側の第2チャネル割合 R_2 および他方側の第2チャネル割合 R_2 は、それぞれ12.5%である。

[0371] 第1チャネル領域91は、全チャネルのうちの50% ($1/2$) を超える割合を占めている。この形態では、第1チャネル領域91は全チャネルのうちの62.5%を占め、第2チャネル領域111は全チャネルのうちの37.5%を占めている。つまり、第2チャネル割合 R_2 は、第1チャネル割合 R_1 未満 ($R_2 < R_1$) である。平均チャネル割合 R_{AV} は、この形態では、50%である。半導体装置151における他の構造は、半導体装置1と同様である。この形態では、以下に説明される制御が実施される。

[0372] 図17Aは、図1に示す半導体装置151の第1制御例に係る通常動作を説明するための断面斜視図である。図17Bは、図1に示す半導体装置151の第1制御例に係るアクティブクランプ動作を説明するための断面斜視図である。図17Aおよび図17Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0373] 図17Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力され、第3ゲート制御配線17Cに第3オン信号 V_{on3} が入力される。

[0374] 第1オン信号 V_{on1} 、第2オン信号 V_{on2} および第3オン信号 V_{on3} は、コントロールIC10からそれぞれ入力される。第1オン信号 V_{on1} 、第2オン信号 V_{on2} 及び第3オン信号 V_{on3} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} 、第2オン信号 V_{on2} および第3オン信号 V_{on3} は、それぞれ等しい電圧を有してい

てもよい。

[0375] この場合、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106がそれぞれオン状態になる。つまり、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106は、ゲート電極としてそれぞれ機能する。

[0376] これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図17Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0377] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率RUは、100%である。通常動作時の特性チャネル割合RCは、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第2プロット点P2で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0378] 一方、図17Bを参照して、パワーMISFET9のアクティブクランプ動作時では、第1ゲート制御配線17Aにオフ信号Voffが入力され、第2ゲート制御配線17Bに第1クランプオン信号VCon1が入力され、第3ゲート制御配線17Cに第2クランプオン信号VCon2が入力される。

[0379] オフ信号Voff、第1クランプオン信号VCon1および第2クランプオン信号VCon2は、コントロールIC10からそれぞれ入力される。オフ信号Voffは、ゲート閾値電圧Vth未満の電圧（たとえば基準電圧）を有している。第1クランプオン信号VCon1および第2クランプオン信号VCon2は、ゲート閾値電圧Vth以上の電圧をそれぞれ有している。第1クランプオン信号VCon1および第2クランプオン信号VCon2は、それぞれ等しい電圧を有していてもよい。第1クランプオン信号VCon1および第2クランプオン信号VCon2は、通常動作時の電圧以下または未満の電圧をそれぞれ有していてもよい。

[0380] この場合、第1開口側電極87がオフ状態となり、第2開口側電極107

、第1底側電極86及び第2底側電極106がそれぞれオン状態になる。これにより、第1チャンネル領域91がオフ状態に制御されると共に第2チャンネル領域111がオン状態に制御される。図17Bでは、オフ状態の第1チャンネル領域91が塗りつぶしハッチングにより示され、オン状態の第2チャンネル領域111がドット状のハッチングにより示されている。

[0381] その結果、第1MISFET56がオフ状態に制御される一方で、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これにより、アクティブクランプ動作時のチャンネル利用率 R_U が、零を超えて通常動作時のチャンネル利用率 R_U 未満になる。アクティブクランプ動作時のチャンネル利用率 R_U は、より具体的には、第2チャンネル割合 R_2 を超える第1チャンネル割合 R_1 （ $R_2 < R_1$ ）を有する第1チャンネル領域91がオフ状態に制御されるため、通常動作時のチャンネル利用率 R_U の $1/2$ 未満になる。

[0382] アクティブクランプ動作時のチャンネル利用率 R_U は、37.5%である。また、アクティブクランプ動作時の特性チャンネル割合 R_C は、18.75%である。これにより、アクティブクランプ耐量 E_{ac} は、図13のグラフにおいて第4プロット点P4で示されたアクティブクランプ耐量 E_{ac} に近づくか、または、当該アクティブクランプ耐量 E_{ac} を超える。

[0383] 図18Aは、図16に示す半導体装置151の第2制御例に係る通常動作を説明するための断面斜視図である。図18Bは、図16に示す半導体装置151の第2制御例に係るアクティブクランプ動作を説明するための断面斜視図である。図18A、図18Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0384] 図18Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力され、第3ゲート制御配線17Cにオフ信号 V_{off} が入力される。

[0385] 第1オン信号 V_{on1} 、第2オン信号 V_{on2} およびオフ信号 V_{off} は、コントロールIC10からそれぞれ入力される。第1オン信号 V_{on1} お

よび第2オン信号 V_{on2} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、それぞれ等しい電圧を有していてもよい。オフ信号 V_{off} は、基準電圧であってもよい。

[0386] この場合、第1開口側電極87及び第2開口側電極107がそれぞれオン状態になり、第1底側電極86および第2底側電極106がそれぞれオフ状態になる。つまり、第1開口側電極87および第2開口側電極107がゲート電極として機能する一方で、第1底側電極86および第2底側電極106がフィールド電極として機能する。

[0387] これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図18Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0388] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率 R_U は、100%である。通常動作時の特性チャネル割合 R_C は、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第2プロット点P2で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0389] 一方、図18Bを参照して、パワーMISFET9のアクティブクランプ動作時には、第1ゲート制御配線17Aに第1オフ信号 V_{off1} が入力され、第2ゲート制御配線17Bにクランプオン信号 V_{Con} が入力され、第3ゲート制御配線17Cに第2オフ信号 V_{off2} が入力される。

[0390] 第1オフ信号 V_{off1} 、クランプオン信号 V_{Con} 及び第2オフ信号 V_{off2} は、コントロールIC10からそれぞれ入力される。第1オフ信号 V_{off1} は、ゲート閾値電圧 V_{th} 未満の電圧（例えば基準電圧）を有している。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。第2オフ信号 V_{off2} は、基準電圧であっ

てもよい。

[0391] この場合、第1開口側電極87、第1底側電極86及び第2底側電極106がそれぞれオフ状態となり、第2開口側電極107がオン状態になる。これにより、第1チャンネル領域91がオフ状態に制御されると共に第2チャンネル領域111がオン状態に制御される。図18Bでは、オフ状態の第1チャンネル領域91が塗りつぶしハッチングにより示され、オン状態の第2チャンネル領域111がドット状のハッチングにより示されている。

[0392] その結果、第1MISFET56がオフ状態に制御される一方で、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これにより、アクティブクランプ動作時のチャンネル利用率 R_U が、零を超えて通常動作時のチャンネル利用率 R_U 未満になる。アクティブクランプ動作時のチャンネル利用率 R_U は、より具体的には、第2チャンネル割合 R_2 を超える第1チャンネル割合 R_1 （ $R_2 < R_1$ ）を有する第1チャンネル領域91がオフ状態に制御されるため、通常動作時のチャンネル利用率 R_U の $1/2$ 未満になる。

[0393] アクティブクランプ動作時のチャンネル利用率 R_U は、37.5%である。また、アクティブクランプ動作時の特性チャンネル割合 R_C は、18.75%である。これにより、アクティブクランプ耐量 E_{ac} は、図13のグラフにおいて第4プロット点P4で示されたアクティブクランプ耐量 E_{ac} に近づくか、または、当該アクティブクランプ耐量 E_{ac} を超える。

[0394] 図19Aは、図16に示す半導体装置151の第3制御例に係る通常動作を説明するための断面斜視図である。図19Bは、図16に示す半導体装置151の第3制御例に係るアクティブクランプ動作を説明するための断面斜視図である。図19A、図19Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0395] 図19Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aにオン信号 V_{on} が入力され、第2ゲート制御配線17Bに第1オフ信号 V_{off1} が入力され、第3ゲート制御配線17Cに第2オフ信号 V_{off2} が入力される。

- [0396] オン信号 V_{on} 、第1オフ信号 V_{off1} および第2オフ信号 V_{off2} は、コントロール IC10 からそれぞれ入力される。オン信号 V_{on} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。第1オフ信号 V_{off1} および第2オフ信号 V_{off2} は、ゲート閾値電圧 V_{th} 未満の電圧（たとえば基準電圧）をそれぞれ有していてもよい。
- [0397] この場合、第1開口側電極87がオン状態になり、第1底側電極86、第2底側電極106および第2開口側電極107がそれぞれオフ状態になる。つまり、第1開口側電極87がゲート電極として機能する一方で、第1底側電極86および第2底側電極106がフィールド電極として機能する。
- [0398] これにより、第1チャネル領域91がオン状態に制御されると共に第2チャネル領域111がオフ状態に制御される。図19Aでは、オン状態の第1チャネル領域91がドット状のハッチングによって示され、オフ状態の第2チャネル領域111が塗りつぶしハッチングによって示されている。
- [0399] その結果、第1MISFET56がオン状態に制御される一方で、第2MISFET57がオフ状態に制御される（第1Half-ON制御）。これにより、通常動作時の特性チャネル割合 RC は、第1チャネル割合 $R1$ 未満の第2チャネル割合 $R2$ ($R2 < R1$) を有する第2チャネル領域111がオフ状態に制御されるから、平均チャネル割合 RAV 未満になる。
- [0400] 通常動作時のチャネル利用率 RU は、62.5%である。また、通常動作時の特性チャネル割合 RC は、31.25%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第3プロット点P3で示された面積抵抗率 $R_{on} \cdot A$ に近づく。
- [0401] 一方、図19Bを参照して、パワーMISFET9のアクティブクランプ動作時では、第1ゲート制御配線17Aに第1オフ信号 V_{off1} が入力され、第2ゲート制御配線17Bにクランプオン信号 V_{Con} が入力され、第3ゲート制御配線17Cに第2オフ信号 V_{off2} が入力される。
- [0402] 第1オフ信号 V_{off1} 、クランプオン信号 V_{Con} 及び第2オフ信号 V_{off2} は、コントロール IC10 からそれぞれ入力される。第1オフ信号

V_{off1} は、ゲート閾値電圧 V_{th} 未満の電圧（例えば基準電圧）を有している。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。第2オフ信号 V_{off2} は、基準電圧であってもよい。

[0403] この場合、第2開口側電極107がオン状態になり、第1底側電極86、第1開口側電極87および第2底側電極106がそれぞれオフ状態になる。つまり、第2開口側電極107がゲート電極として機能する一方で、第1底側電極86および第2底側電極106がフィールド電極として機能する。

[0404] これにより、第1チャネル領域91がオフ状態に制御されると共に第2チャネル領域111がオン状態に制御される。図19Bでは、オフ状態の第1チャネル領域91が塗りつぶしハッチングによって示され、オン状態の第2チャネル領域111がドット状のハッチングによって示されている。

[0405] その結果、第1MISFET56がオフ状態に制御される一方で、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これにより、アクティブクランプ動作時のチャネル利用率 R_U は、第2チャネル割合 R_2 を超える第1チャネル割合 R_1 （ $R_2 < R_1$ ）を有する第1チャネル領域91がオフ状態に制御されるから、零を超えて通常動作時のチャネル利用率 R_U 未満となる。

[0406] アクティブクランプ動作時のチャネル利用率 R_U は、37.5%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、18.75%である。これにより、アクティブクランプ耐量 E_{ac} は、図13のグラフにおいて第2プロット点P2で示されたアクティブクランプ耐量 E_{ac} に近づくか、または、当該アクティブクランプ耐量 E_{ac} を超える。

[0407] 第3制御例では、通常動作時及びアクティブクランプ動作時において、第3ゲート制御配線17Cにオフ信号 V_{off} が入力されている。しかし、通常動作時及びアクティブクランプ動作時において、第3ゲート制御配線17Cにオン信号 V_{on} を入力してもよい。

- [0408] 以上、半導体装置 151 によっても半導体装置 1 に対して述べた効果と同様の効果を奏することができる。とりわけ、半導体装置 151 によれば、第 2 チャネル割合 R_2 が、第 1 チャネル割合 R_1 とは異なっている ($R_1 \neq R_2$)。第 2 チャネル割合 R_2 は、より具体的には、第 1 チャネル割合 R_1 未満である ($R_1 > R_2$)。
- [0409] コントロール IC10 は、このような構造において、アクティブクランプ動作時におけるチャネル利用率 R_U が、零を超えて通常動作時におけるチャネル利用率 R_U 未満となるように第 1 MISFET 56 および第 2 MISFET 57 を制御する。コントロール IC10 は、より具体的には、アクティブクランプ動作時において第 1 チャネル領域 91 をオフ状態に制御し、第 2 チャネル領域 111 をオン状態に制御する。これにより、アクティブクランプ耐量 E_{ac} の向上効果を高めることができる。
- [0410] また、半導体装置 151 によれば、第 3 制御例で示されたように、通常動作時に第 1 Half-ON 制御を適用し、アクティブクランプ動作時に第 2 Half-ON 制御を適用できる。また、半導体装置 151 によれば、通常動作時に第 2 Half-ON 制御を適用し、アクティブクランプ動作時に第 1 Half-ON 制御を適用することもできる。
- [0411] したがって、半導体装置 151 によれば、制御法を変更するだけで、同一の平均チャネル割合 R_{AV} を有していながら、種々の面積抵抗率 $R_{on} \cdot A$ およびアクティブクランプ耐量 E_{ac} を実現できる。
- [0412] また、半導体装置 151 では、複数（この形態では 2 個）の第 1 FET 構造 58 の群および複数（この形態では 2 個）の第 2 FET 構造 68 の群が交互に配列される態様で、複数の第 1 FET 構造 58 および複数の第 2 FET 構造 68 が形成されている。
- [0413] 複数の第 1 FET 構造 58 が互いに隣り合う構造では、互いに隣り合う複数の第 1 FET 構造 58 の間の領域において第 2 チャネル領域 111 に接続させることなく第 1 チャネル領域 91 を形成できる。したがって、第 1 チャネル領域 91 を適切に形成できるから、第 1 チャネル割合 R_1 を適切に調整

できる。

[0414] 同様に、複数の第2 F E T 構造 6 8 が互いに隣り合う構造では、互いに隣り合う複数の第2 F E T 構造 6 8 の間の領域において第1 チャネル領域 9 1 に接続させることなく第2 チャネル領域 1 1 1 を形成できる。したがって、第2 チャネル領域 1 1 1 を適切に形成できるから、第2 チャネル割合 R 2 を適切に調整できる。これにより、平均チャネル割合 R A V および特性チャネル割合 R C を適切に調整できる。

[0415] <第3実施形態>

図 2 0 は、本発明の第3実施形態に係る半導体装置 1 6 1 を1つの方向から見た斜視図である。図 2 1 は、図 2 0 に示す領域XXIの断面斜視図である。図 2 2 は、図 2 1 からソース電極 1 2 およびゲート制御配線 1 7 を取り除いた断面斜視図である。図 2 3 は、図 2 2 から層間絶縁層 1 4 2 を取り除いた断面斜視図である。以下では、半導体装置 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0416] 半導体装置 1 では、ゲート制御配線 1 7 が、第1 ゲート制御配線 1 7 A、第2 ゲート制御配線 1 7 B および第3 ゲート制御配線 1 7 C を含む。これに対して、半導体装置 1 6 1 では、ゲート制御配線 1 7 は、第3 ゲート制御配線 1 7 C を有さず、第1 ゲート制御配線 1 7 A および第2 ゲート制御配線 1 7 B だけを含む。

[0417] また、半導体装置 1 では、第2 底側電極 1 0 6 が、第1 底側電極 8 6 に電氣的に接続されている。これに対して、半導体装置 1 6 1 では、第2 底側電極 1 0 6 が第1 底側電極 8 6 から電氣的に絶縁されている。

[0418] 半導体装置 1 6 1 は、より具体的には、第1 トレンチゲート構造 6 0 および第2 トレンチゲート構造 7 0 を互いに電氣的に絶縁させる態様で、第1 トレンチゲート構造 6 0 および第2 トレンチゲート構造 7 0 にそれぞれ接続された複数のトレンチコンタクト構造 1 2 0 を含む。

[0419] 第1 F E T 構造 5 8 の他端部および第2 F E T 構造 6 8 の他端部側の領域の構造は、第1 F E T 構造 5 8 の一端部および第2 F E T 構造 6 8 の一端部

側の領域の構造と同様である。以下では、第1 FET構造58の一端部および第2 FET構造68の一端部側の領域の構造を例にとって説明し、第1 FET構造58の他端部および第2 FET構造68の他端部側の領域の構造についての説明は省略する。

[0420] 図20～図23を参照して、複数のトレンチコンタクト構造120は、複数の第1トレンチコンタクト構造162及び複数の第2トレンチコンタクト構造163を含む。複数の第1トレンチコンタクト構造162は、複数の第2トレンチゲート構造70から間隔を空けて、対応する複数の第1トレンチゲート構造60の一端部にそれぞれ接続されている。第1トレンチコンタクト構造162は、この形態では、対応する第1トレンチゲート構造60に対して1対1対応の関係で接続されている。

[0421] 複数の第2トレンチコンタクト構造163は、複数の第1トレンチゲート構造60から間隔を空けて、対応する複数の第2トレンチゲート構造70の一端部にそれぞれ接続されている。第2トレンチコンタクト構造163は、この形態では、対応する第2トレンチゲート構造70に対して1対1対応の関係で接続されている。

[0422] 各第1トレンチコンタクト構造162は、第1コンタクトトレンチ164、第1コンタクト絶縁層165および第1コンタクト電極166を含む。第1コンタクトトレンチ164、第1コンタクト絶縁層165及び第1コンタクト電極166は、前述のコンタクトトレンチ131、コンタクト絶縁層132及びコンタクト電極133にそれぞれ対応する。

[0423] 第1コンタクトトレンチ164は、第1ゲートトレンチ81の一端部に連通している。第1方向Xに関して、第1コンタクトトレンチ164の幅 W_{TC1} は、第1ゲートトレンチ81の第1幅 W_{T1} に等しい($W_{TC1} = W_{T1}$)。また、第1コンタクトトレンチ164は、第1ゲートトレンチ81との間で第2方向Yに沿って延びる1つのトレンチを形成している。

[0424] 第1コンタクト絶縁層165は、第1ゲートトレンチ81および第1コンタクトトレンチ164の間の連通部において第1絶縁層82と一体を成して

いる。第1コンタクト絶縁層165は、より具体的には、第1ゲートトレンチ81内に引き出された引き出し絶縁層165Aを含む。引き出し絶縁層165Aは、前述の引き出し絶縁層132Aに対応している。つまり、第1コンタクト絶縁層165は、連通部を横切って第1ゲートトレンチ81内において第1底側絶縁層84および第1開口側絶縁層85と一体を成している。

[0425] 第1コンタクト電極166は、第1ゲートトレンチ81および第1コンタクトトレンチ164の間の連通部において第1底側電極86と一体を成している。第1コンタクト電極166は、より具体的には、第1ゲートトレンチ81内に引き出された引き出し電極166Aを含む。引き出し電極166Aは、前述の引き出し電極133Aに対応している。

[0426] つまり、第1コンタクト電極166は、連通部を横切って第1ゲートトレンチ81内において第1底側電極86に電氣的に接続されている。第1ゲートトレンチ81内において第1コンタクト電極166および第1開口側電極87の間には、第1中間絶縁層88が介在している。

[0427] 各第2トレンチコンタクト構造163は、第2コンタクトトレンチ167、第2コンタクト絶縁層168および第2コンタクト電極169を含む。第2コンタクトトレンチ167、第2コンタクト絶縁層168及び第2コンタクト電極169は、前述のコンタクトトレンチ131、コンタクト絶縁層132及びコンタクト電極133にそれぞれ対応する。

[0428] 第2コンタクトトレンチ167は、第2ゲートトレンチ101の一端部に連通する。第1方向Xに関して、第2コンタクトトレンチ167の幅 $WTC2$ は、第2ゲートトレンチ101の第2幅 $WT2$ に等しい($WTC2=WT2$)。また、第2コンタクトトレンチ167は、第2ゲートトレンチ101との間で第2方向Yに沿って延びる1つのトレンチを形成している。

[0429] 第2コンタクト絶縁層168は、第2ゲートトレンチ101及び第2コンタクトトレンチ167の間の連通部において第2絶縁層102と一体を成している。第2コンタクト絶縁層168は、具体的には、第2ゲートトレンチ101内に引き出された引き出し絶縁層168Aを含む。引き出し絶縁層1

68Aは、前述の引き出し絶縁層132Aに対応している。つまり、第2コンタクト絶縁層168は、連通部を横切って第2ゲートトレンチ101内において第2底側絶縁層104及び第2開口側絶縁層105と一体を成している。

[0430] 第2コンタクト電極169は、第2ゲートトレンチ101及び第2コンタクトトレンチ167の間の連通部において第2底側電極106と一体を成している。第2コンタクト電極169は、具体的には、第2ゲートトレンチ101内に引き出された引き出し電極169Aを含む。引き出し電極169Aは、前述の引き出し電極133Aに対応している。

[0431] つまり、第2コンタクト電極169は、連通部を横切って第2ゲートトレンチ101内において第2底側電極106に電氣的に接続されている。第2ゲートトレンチ101内において第2コンタクト電極169および第2開口側電極107の間には、第2中間絶縁層108が介在している。

[0432] なお、第2コンタクト電極169は、第1コンタクト電極166から電氣的に絶縁されている。これにより、第2底側電極106は、第1底側電極86から電氣的に絶縁されている。つまり、第1底側電極86および第2底側電極106は、互いに独立して制御可能に構成されている。

[0433] 複数の第3プラグ電極145は、この形態では、複数の第3プラグ電極145Aおよび複数の第3プラグ電極145Bを含む。複数の第3プラグ電極145Aは、層間絶縁層142において第1トレンチコンタクト構造162の第1コンタクト電極166を被覆する部分にそれぞれ埋め込まれている。複数の第3プラグ電極145Aは、層間絶縁層142を貫通し、第1コンタクト電極166に接続されている。

[0434] 複数の第3プラグ電極145Bは、層間絶縁層142において第2トレンチコンタクト構造163の第2コンタクト電極169を被覆する部分にそれぞれ埋め込まれている。複数の第3プラグ電極145Bは、層間絶縁層142を貫通し、第2コンタクト電極169に接続されている。

[0435] ゲート制御配線17のうちの第1ゲート制御配線17Aは、第1底側電極

８６および第１開口側電極８７に電氣的に接続されている。第１ゲート制御配線１７Ａは、より具体的には、層間絶縁層１４２の上において複数の第１プラグ電極１４３および複数の第３プラグ電極１４５Ａに電氣的に接続されている。第１ゲート制御配線１７Ａの配線パターンは任意である。

[0436] 第１ゲート制御配線１７Ａには、コントロールＩＣ１０からのゲート制御信号が入力される。ゲート制御信号は、複数の第１プラグ電極１４３および複数の第３プラグ電極１４５Ａを介して第１底側電極８６および第１開口側電極８７に伝達される。

[0437] したがって、第１底側電極８６および第１開口側電極８７は、この形態では、同時に同電圧に制御される。これにより、第１底側電極８６および第１開口側電極８７の間に電位差が形成されることを適切に抑制できるから、第１中間絶縁層８８に対する電界集中を適切に抑制できる。その結果、第１トレンチゲート構造６０の耐圧を高めることができる。

[0438] ゲート制御配線１７のうちの第２ゲート制御配線１７Ｂは、第２底側電極１０６および第２開口側電極１０７に電氣的に接続されている。第２ゲート制御配線１７Ｂは、より具体的には、層間絶縁層１４２の上において複数の第２プラグ電極１４４および複数の第３プラグ電極１４５Ｂに電氣的に接続されている。第２ゲート制御配線１７Ｂの配線パターンは任意である。

[0439] 第２ゲート制御配線１７Ｂには、コントロールＩＣ１０からのゲート制御信号が入力される。ゲート制御信号は、複数の第１プラグ電極１４３および複数の第３プラグ電極１４５Ｂを介して第２底側電極１０６および第２開口側電極１０７に伝達される。

[0440] したがって、第２底側電極１０６および第２開口側電極１０７は、この形態では、同時に同電圧に制御される。これにより、第２底側電極１０６および第２開口側電極１０７の間に電位差が形成されることを適切に抑制できるから、第２中間絶縁層１０８に対する電界集中を適切に抑制できる。その結果、第２トレンチゲート構造７０の耐圧を高めることができる。

[0441] 図２４Ａは、図２３に示す半導体装置１６１の通常動作を説明するための

断面斜視図である。図24Bは、図23に示す半導体装置161のアクティブクランプ動作を説明するための断面斜視図である。図24Aおよび図24Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0442] 図24Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力される。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、コントロールIC10からそれぞれ入力される。

[0443] 第1オン信号 V_{on1} および第2オン信号 V_{on2} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、それぞれ等しい電圧を有していてもよい。

[0444] この場合、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106がそれぞれオン状態になる。つまり、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106は、ゲート電極としてそれぞれ機能する。

[0445] これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図24Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0446] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率 RU は、100%である。通常動作時の特性チャネル割合 RC は、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第2プロット点P2で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0447] 一方、図24Bを参照して、パワーMISFET9のアクティブクランプ動作時では、第1ゲート制御配線17Aにオフ信号 V_{off} が入力され、第2ゲート制御配線17Bにクランプオン信号 V_{Con} が入力される。

[0448] オフ信号 V_{off} およびクランプオン信号 V_{Con} は、コントロールIC

10からそれぞれ入力される。オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（たとえば基準電圧）を有している。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。

[0449] この場合、第1底側電極86および第1開口側電極87がそれぞれオフ状態となり、第2底側電極106および第2開口側電極107がそれぞれオン状態になる。これにより、第1チャネル領域91がオフ状態に制御されると共に第2チャネル領域111がオン状態に制御される。図24Bでは、オフ状態の第1チャネル領域91が塗りつぶしハッチングによって示され、オン状態の第2チャネル領域111がドット状のハッチングによって示されている。

[0450] その結果、第1MISFET56がオフ状態に制御される一方、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これによりアクティブクランプ動作時のチャネル利用率 R_U が、零を超えて通常動作時のチャネル利用率 R_U 未満になる。

[0451] アクティブクランプ動作時のチャネル利用率 R_U は、50%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、25%である。これにより、アクティブクランプ耐量 E_{ac} は、図13のグラフにおいて第4プロット点P4で示されたアクティブクランプ耐量 E_{ac} に近づく。

[0452] この制御例では、アクティブクランプ動作時において第2Half-ON制御が適用された例について説明した。しかし、アクティブクランプ動作時において第1Half-ON制御が適用されてもよい。

[0453] 以上、半導体装置161によっても半導体装置1に対して述べた効果と同様の効果を奏することができる。とりわけ、半導体装置161によれば、第2底側電極106が第1底側電極86から電氣的に絶縁されており、第2開口側電極107が第1開口側電極87から電氣的に絶縁されている。

[0454] コントロールIC10は、このような構造において、第1MISFET56の第1底側電極86及び第1開口側電極87を同時に同電圧に制御する。

これにより、通常動作時及びアクティブクランプ動作時において第1底側電極86及び第1開口側電極87の間に電位差が形成されることを適切に抑制できる。その結果、第1中間絶縁層88に対する電界集中を適切に抑制できるから第1トレンチゲート構造60の耐圧を高めることができる。

[0455] また、コントロールIC10は、第2MISFET57の第2底側電極106および第2開口側電極107を同時に同電圧に制御する。これにより、通常動作時およびアクティブクランプ動作時において第2底側電極106および第2開口側電極107の間に電位差が形成されることを適切に抑制できる。その結果、第2中間絶縁層108に対する電界集中を適切に抑制できるから、第2トレンチゲート構造70の耐圧を高めることができる。

[0456] <第4実施形態>

図25は、図21に対応する領域の断面斜視図であって、本発明の第4実施形態に係る半導体装置171を示す断面斜視図である。図26は、図25から半導体層2の上の構造を取り除いた断面斜視図である。以下では、半導体装置161に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0457] 以下では、第1FET構造58の一端部および第2FET構造68の一端部側の領域の構造を例にとって説明し、第1FET構造58の他端部および第2FET構造68の他端部側の領域の構造についての説明は省略する。

[0458] 半導体装置161では、1個の第1FET構造58および1個の第2FET構造68が交互に配列される態様で、複数の第1FET構造58および複数の第2FET構造68が形成されている。これに対して、半導体装置171では、複数（この形態では2個）の第1FET構造58の群および複数（この形態では2個）の第2FET構造68の群が交互に配列される態様で、複数の第1FET構造58および複数の第2FET構造68が形成されている。

[0459] また、半導体装置161では、複数の第1トレンチコンタクト構造162が1対1対応の関係で対応する第1トレンチゲート構造60に接続されてい

る。これに対して、半導体装置 171 では、複数の第 1 トレンチコンタクト構造 162 が、互いに隣り合う複数（この形態では 2 個）の第 1 トレンチゲート構造 60 の群にそれぞれ接続されている。複数の第 1 トレンチコンタクト構造 162 は、平面視においてアーチ状に形成されている。

[0460] また、半導体装置 161 では、複数の第 2 トレンチコンタクト構造 163 が 1 対 1 対応の関係で対応する第 2 トレンチゲート構造 70 に接続されている。これに対して、半導体装置 171 では、複数の第 2 トレンチコンタクト構造 163 が、互いに隣り合う複数（この形態では 2 個）の第 2 トレンチゲート構造 70 の群にそれぞれ接続されている。複数の第 2 トレンチコンタクト構造 163 は、平面視においてアーチ状に形成されている。以下では、半導体装置 171 の構造について具体的に説明する。

[0461] 図 25 および図 26 を参照して、複数のセル領域 75 は、この形態では、互いに隣り合う 2 個の第 1 FET 構造 58 の間の領域、互いに隣り合う 1 個の第 1 FET 構造 58 および 1 個の第 2 FET 構造 68 の間の領域、ならびに、互いに隣り合う 2 個の第 2 FET 構造 68 の間の領域にそれぞれ区画されている。

[0462] 複数のセル領域 75 には、ここでは、3 種の総チャネル割合 RT が適用されている。3 種の総チャネル割合 RT は、第 1 総チャネル割合 $RT1$ 、第 2 総チャネル割合 $RT2$ および第 3 総チャネル割合 $RT3$ を含む。

[0463] 第 1 総チャネル割合 $RT1$ は、互いに隣り合う 2 個の第 1 FET 構造 58 の間の領域に適用されている。なお、互いに隣り合う 2 個の第 1 FET 構造 58 の間の領域には、その構造上、第 2 チャネル領域 111 は形成されない。

[0464] 第 1 総チャネル割合 $RT1$ は、互いに隣り合う 2 個の第 1 FET 構造 58 の第 1 チャネル割合 $R1$ の合計値である。第 1 総チャネル割合 $RT1$ は、0%以上 100%以下（好ましくは 0%を超えて 100%未満）に調整されていてもよい。第 1 総チャネル割合 $RT1$ は、ここでは、50%に調整されている。第 1 総チャネル割合 $RT1$ において、一方側の第 1 チャネル割合 $R1$

および他方側の第1チャネル割合 R_1 は、それぞれ25%である。

[0465] 第2総チャネル割合 R_{T2} は、互いに隣り合う1個の第1FET構造58および1個の第2FET構造68の間の領域に適用されている。互いに隣り合う1個の第1FET構造58および1個の第2FET構造68の間の領域には、その構造上、第1チャネル領域91および第2チャネル領域111が形成される。

[0466] 第2総チャネル割合 R_{T2} は、第1チャネル割合 R_1 および第2チャネル割合 R_2 の合計値である。第2総チャネル割合 R_{T2} は、0%以上100%以下（好ましくは0%を超えて100%未満）に調整されていてもよい。第2総チャネル割合 R_{T2} は、この形態では、50%に調整されている。第2総チャネル割合 R_{T2} において、第1チャネル割合 R_1 は25%であり、第2チャネル割合 R_2 は25%である。

[0467] 第3総チャネル割合 R_{T3} は、互いに隣り合う2個の第2FET構造68の間の領域に適用されている。なお、互いに隣り合う2個の第2FET構造68の間の領域には、その構造上、第1チャネル領域91は形成されない。

[0468] 第3総チャネル割合 R_{T3} は、互いに隣り合う2個の第2FET構造68の第2チャネル割合 R_2 の合計値である。第3総チャネル割合 R_{T3} は、0%以上100%以下（好ましくは0%を超えて100%未満）に調整されていてもよい。第3総チャネル割合 R_{T3} は、ここでは、50%に調整されている。第3総チャネル割合 R_{T3} において、一方側の第2チャネル割合 R_2 および他方側の第2チャネル割合 R_2 は、それぞれ25%である。

[0469] 第1チャネル領域91は全チャネルのうちの1/2（50%）を占め、第2チャネル領域111は全チャネルのうちの1/2（50%）を占めている。平均チャネル割合 R_{AV} は、この形態では、50%である。

[0470] 各第1トレンチコンタクト構造162において第1コンタクトトレンチ164は、互いに隣り合う複数の第1ゲートトレンチ81の一端部に連通している。第1コンタクト絶縁層165は、各第1ゲートトレンチ81および第1コンタクトトレンチ164の間の連通部において第1絶縁層82と一体を

成している。

[0471] 第1コンタクト絶縁層165は、より具体的には、各第1ゲートトレンチ81内に引き出された引き出し絶縁層165Aを含み、連通部を横切って各第1ゲートトレンチ81内において第1底側絶縁層84および第1開口側絶縁層85と一体を成している。

[0472] 第1コンタクト電極166は、各第1ゲートトレンチ81および第1コンタクトトレンチ164の間の連通部において第1底側電極86と一体を成している。第1コンタクト電極166は、より具体的には、各第1ゲートトレンチ81内に引き出された引き出し電極166Aを含み、連通部を横切って各第1ゲートトレンチ81内において第1底側電極86に電氣的に接続されている。各第1ゲートトレンチ81内において第1コンタクト電極166および第1開口側電極87の間には、第1中間絶縁層88が介在している。

[0473] 各第2トレンチゲート構造70において第2コンタクトトレンチ167は、互いに隣り合う複数の第2ゲートトレンチ101の一端部に連通している。第2コンタクト絶縁層168は、各第2ゲートトレンチ101および第2コンタクトトレンチ167の間の連通部において第2絶縁層102と一体を成している。

[0474] 第2コンタクト絶縁層168は、より具体的には、各第2ゲートトレンチ101内に引き出された引き出し絶縁層168Aを含み、連通部を横切って各第2ゲートトレンチ101内において第2底側絶縁層104および第2開口側絶縁層105と一体を成している。

[0475] 第2コンタクト電極169は、各第2ゲートトレンチ101および第2コンタクトトレンチ167の間の連通部において第2底側電極106と一体を成している。第2コンタクト電極169は、より具体的には、各第2ゲートトレンチ101内に引き出された引き出し電極169Aを含み、連通部を横切って各第2ゲートトレンチ101内において第2底側電極106に電氣的に接続されている。各第2ゲートトレンチ101内において第2コンタクト電極169および第2開口側電極107の間には、第2中間絶縁層108が

介在している。

[0476] 図27Aは、図25に示す半導体装置171の通常動作を説明するための断面斜視図である。図27Bは、図25に示す半導体装置171のアクティブクランプ動作を説明するための断面斜視図である。図27Aおよび図27Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0477] 図27Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力される。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、コントロールIC10からそれぞれ入力される。

[0478] 第1オン信号 V_{on1} および第2オン信号 V_{on2} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、それぞれ等しい電圧を有していてもよい。

[0479] この場合、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106がそれぞれオン状態になる。つまり、第1開口側電極87、第2開口側電極107、第1底側電極86および第2底側電極106は、ゲート電極としてそれぞれ機能する。

[0480] これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図27Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0481] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率 RU は、100%である。通常動作時の特性チャネル割合 RC は、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第2プロット点P2で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0482] 一方、図27Bを参照して、パワーMISFET9のアクティブクランプ動作時では、第1ゲート制御配線17Aにオフ信号 V_{off} が入力され、第

2 ゲート制御配線 17B にクランプオン信号 V_{Con} が入力される。

[0483] オフ信号 V_{off} およびクランプオン信号 V_{Con} は、コントロール IC 10 からそれぞれ入力される。オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（たとえば基準電圧）である。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。

[0484] この場合、第1底側電極 86 および第1開口側電極 87 がそれぞれオフ状態となり、第2底側電極 106 および第2開口側電極 107 がそれぞれオン状態になる。これにより、第1チャネル領域 91 がオフ状態に制御されると共に第2チャネル領域 111 がオン状態に制御される。図 27B では、オフ状態の第1チャネル領域 91 が塗りつぶしハッチングによって示され、オン状態の第2チャネル領域 111 がドット状のハッチングによって示されている。

[0485] その結果、第1MISFET 56 がオフ状態に制御される一方、第2MISFET 57 がオン状態に制御される（第2Half-ON制御）。これによりアクティブクランプ動作時のチャネル利用率 R_U が、零を超えて通常動作時のチャネル利用率 R_U 未満になる。

[0486] アクティブクランプ動作時のチャネル利用率 R_U は、50%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、25%である。これにより、アクティブクランプ耐量 E_{ac} は、図 13 のグラフにおいて第4プロット点 P4 で示されたアクティブクランプ耐量 E_{ac} に近づく。

[0487] この制御例では、アクティブクランプ動作時において第2Half-ON制御が適用された例について説明した。しかし、アクティブクランプ動作時において第1Half-ON制御が適用されてもよい。

[0488] 以上、半導体装置 171 によっても半導体装置 161 に対して述べた効果と同様の効果を奏することができる。また、半導体装置 171 では、複数（この形態では2個）の第1FET構造 58 の群および複数（この形態では2個）の第2FET構造 68 の群が交互に配列される態様で、複数の第1FET

T構造58および複数の第2FET構造68が形成されている。

[0489] 複数の第1FET構造58が互いに隣り合う構造では、互いに隣り合う複数の第1FET構造58の間の領域において第2チャンネル領域111に接続させることなく第1チャンネル領域91を形成できる。したがって、第1チャンネル領域91を適切に形成できるから、第1チャンネル割合R1を適切に調整できる。

[0490] 同様に、複数の第2FET構造68が互いに隣り合う構造では、互いに隣り合う複数の第2FET構造68の間の領域において第1チャンネル領域91に接続させることなく第2チャンネル領域111を形成できる。したがって、第2チャンネル領域111を適切に形成できるから、第2チャンネル割合R2を適切に調整できる。これにより、平均チャンネル割合RAVおよび特性チャンネル割合RCを適切に調整できる。

[0491] <第5実施形態>

図28は、図25に対応する領域の断面斜視図であって、本発明の第5実施形態に係る半導体装置181を示す断面斜視図である。以下では、半導体装置171に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0492] 複数のセル領域75には、この形態では、互いに異なる値を有する第1総チャンネル割合RT1、第2総チャンネル割合RT2および第3総チャンネル割合RT3が適用されている。

[0493] 第1総チャンネル割合RT1は、一例として60%以上80%以下に調整されていてもよい。第1総チャンネル割合RT1は、この形態では、75%に調整されている。第1総チャンネル割合RT1において、一方側の第1チャンネル割合R1および他方側の第1チャンネル割合R1は、それぞれ37.5%である。

[0494] 第2総チャンネル割合RT2は、一例として40%を超えて60%未満に調整されていてもよい。第2総チャンネル割合RT2は、この形態では、50%に調整されている。第2総チャンネル割合RT2において、第1チャンネル割合

R 1 は 2 5 % であり、第 2 チャンネル割合 R 2 は 2 5 % である。

[0495] 第 3 総チャンネル割合 R T 3 は、一例として 2 0 % 以上 4 0 % 以下に調整されている。第 3 総チャンネル割合 R T 3 は、この形態では、2 5 % に調整されている。第 3 総チャンネル割合 R T 3 において、一方側の第 2 チャンネル割合 R 2 および他方側の第 2 チャンネル割合 R 2 は、それぞれ 1 2 . 5 % である。

[0496] 第 1 チャンネル領域 9 1 は、全チャンネルのうちの 5 0 % (1 / 2) を超える割合を占めている。この形態では、第 1 チャンネル領域 9 1 は全チャンネルのうちの 6 2 . 5 % を占め、第 2 チャンネル領域 1 1 1 は全チャンネルのうちの 3 7 . 5 % を占めている。つまり、第 2 チャンネル割合 R 2 は、第 1 チャンネル割合 R 1 未満 (R 2 < R 1) である。平均チャンネル割合 R A V は、この形態では、5 0 % である。半導体装置 1 8 1 における他の構造は、半導体装置 1 7 1 と同様である。この形態では、以下に説明される制御が実施される。

[0497] 図 2 9 A は、図 2 8 に示す半導体装置 1 8 1 の第 1 制御例に係る通常動作を説明するための断面斜視図である。図 2 9 B は、図 2 8 に示す半導体装置 1 8 1 の第 1 制御例に係るアクティブクランプ動作を説明するための断面斜視図である。なお、図 2 9 A および図 2 9 B では、説明の便宜上、第 1 主面 3 の上の構造を省略し、ゲート制御配線 1 7 を簡略化している。

[0498] 図 2 9 A を参照して、パワー M I S F E T 9 の通常動作時では、第 1 ゲート制御配線 1 7 A に第 1 オン信号 V o n 1 が入力され、第 2 ゲート制御配線 1 7 B に第 2 オン信号 V o n 2 が入力される。第 1 オン信号 V o n 1 および第 2 オン信号 V o n 2 は、コントロール I C 1 0 からそれぞれ入力される。

[0499] 第 1 オン信号 V o n 1 および第 2 オン信号 V o n 2 は、ゲート閾値電圧 V t h 以上の電圧をそれぞれ有している。第 1 オン信号 V o n 1 および第 2 オン信号 V o n 2 は、それぞれ等しい電圧を有していてもよい。

[0500] この場合、第 1 開口側電極 8 7、第 2 開口側電極 1 0 7、第 1 底側電極 8 6 および第 2 底側電極 1 0 6 がそれぞれオン状態になる。つまり、第 1 開口側電極 8 7、第 2 開口側電極 1 0 7、第 1 底側電極 8 6 および第 2 底側電極

106は、ゲート電極としてそれぞれ機能する。

[0501] これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図29Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0502] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率RUは、100%である。通常動作時の特性チャネル割合RCは、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図13のグラフにおいて第2プロット点P2で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0503] 一方、図29Bを参照して、パワーMISFET9のアクティブクランプ動作時には、第1ゲート制御配線17Aにオフ信号Voffが入力され、第2ゲート制御配線17Bにクランプオン信号VConが入力される。

[0504] オフ信号Voffおよびクランプオン信号VConは、コントロールIC10からそれぞれ入力される。オフ信号Voffは、ゲート閾値電圧Vth未満の電圧（たとえば基準電圧）を有している。クランプオン信号VConは、ゲート閾値電圧Vth以上の電圧をそれぞれ有している。クランプオン信号VConは、通常動作時の電圧以下または未満の電圧を有していてもよい。

[0505] この場合、第1底側電極86および第1開口側電極87がそれぞれオフ状態となり、第2底側電極106および第2開口側電極107がそれぞれオン状態になる。これにより、第1チャネル領域91がオフ状態に制御されると共に第2チャネル領域111がオン状態に制御される。図29Bでは、オフ状態の第1チャネル領域91が塗りつぶしハッチングによって示され、オン状態の第2チャネル領域111がドット状のハッチングによって示されている。

[0506] その結果、第1MISFET56がオフ状態に制御される一方で、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これ

により、アクティブクランプ動作時のチャネル利用率 R_U が、零を超えて通常動作時のチャネル利用率 R_U 未満になる。アクティブクランプ動作時のチャネル利用率 R_U は、より具体的には、通常動作時のチャネル利用率 R_U の $1/2$ 未満になる。

[0507] アクティブクランプ動作時のチャネル利用率 R_U は、 37.5% である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、 18.75% である。これにより、アクティブクランプ耐量 E_{ac} は、図13のグラフにおいて第4プロット点 P_4 で示されたアクティブクランプ耐量 E_{ac} に近づくか、または、当該アクティブクランプ耐量 E_{ac} を超える。

[0508] 図30Aは、図28に示す半導体装置181の第2制御例に係る通常動作を説明するための断面斜視図である。図30Bは、図28に示す半導体装置181の第2制御例に係るアクティブクランプ動作を説明するための断面斜視図である。なお、図30Aおよび図30Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0509] 図30Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aにオン信号 V_{on} が入力され、第2ゲート制御配線17Bにオフ信号 V_{off} が入力される。オン信号 V_{on} およびオフ信号 V_{off} は、コントロールIC10からそれぞれ入力される。オン信号 V_{on} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。オン信号 V_{on} は、オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（例えば基準電圧）を有している。

[0510] この場合、第1底側電極86および第1開口側電極87がそれぞれオン状態になり、第2底側電極106および第2開口側電極107がそれぞれオフ状態になる。つまり、第1底側電極86および第1開口側電極87がゲート電極として機能する一方で、第2底側電極106および第2開口側電極107がフィールド電極として機能する。

[0511] これにより、第1チャネル領域91がオン状態に制御されると共に第2チャネル領域111がオフ状態に制御される。図30Aでは、オン状態の第1

チャネル領域 9 1 がドット状のハッチングによって示され、オン状態の第 2 チャネル領域 1 1 1 が塗りつぶしハッチングによって示されている。

[0512] その結果、第 1 M I S F E T 5 6 がオン状態に制御される一方で、第 2 M I S F E T 5 7 がオフ状態に制御される（第 1 H a l f - O N 制御）。これにより、通常動作時の特性チャネル割合 R C は、第 1 チャネル割合 R 1 未満の第 2 チャネル割合 R 2 ($R 2 < R 1$) を有する第 2 チャネル領域 1 1 1 がオフ状態に制御されるから、平均チャネル割合 R A V 未満になる。

[0513] 通常動作時のチャネル利用率 R U は、6 2 . 5 % である。また、通常動作時の特性チャネル割合 R C は、3 1 . 2 5 % である。これにより、面積抵抗率 $R_{on} \cdot A$ は、図 1 3 のグラフにおいて第 3 プロット点 P 3 で示された面積抵抗率 $R_{on} \cdot A$ に近づく。

[0514] 一方、図 3 0 B を参照して、パワー M I S F E T 9 のアクティブクランプ動作時には、第 1 ゲート制御配線 1 7 A にオフ信号 V o f f が入力され、第 2 ゲート制御配線 1 7 B にクランプオン信号 V C o n が入力される。オフ信号 V o f f およびクランプオン信号 V C o n は、コントロール I C 1 0 からそれぞれ入力される。

[0515] オフ信号 V o f f は、ゲート閾値電圧 V t h 未満の電圧（例えば基準電圧）を有している。クランプオン信号 V C o n は、ゲート閾値電圧 V t h 以上の電圧を有している。クランプオン信号 V C o n は、通常動作時の電圧以下または未満の電圧を有していてもよい。

[0516] この場合、第 1 底側電極 8 6 および第 1 開口側電極 8 7 がそれぞれオフ状態になり、第 2 底側電極 1 0 6 および第 2 開口側電極 1 0 7 がそれぞれオン状態になる。つまり、第 1 底側電極 8 6 および第 1 開口側電極 8 7 がフィールド電極として機能する一方で、第 2 底側電極 1 0 6 および第 2 開口側電極 1 0 7 がゲート電極として機能する。

[0517] これにより、第 1 チャネル領域 9 1 がオフ状態に制御されると共に第 2 チャネル領域 1 1 1 がオン状態に制御される。図 3 0 B では、オフ状態の第 1 チャネル領域 9 1 が塗りつぶしハッチングによって示され、オン状態の第 2

チャネル領域 1 1 1 がドット状のハッチングによって示されている。

[0518] その結果、第 1 M I S F E T 5 6 がオフ状態に制御される一方で、第 2 M I S F E T 5 7 がオン状態に制御される（第 2 H a l f - O N 制御）。アクティブクランプ動作時のチャネル利用率 R_U は、第 1 チャネル割合 R_1 未満の第 2 チャネル割合 R_2 ($R_2 < R_1$) を有する第 2 チャネル領域 1 1 1 がオン状態に制御されるから、零を超えて通常動作時のチャネル利用率 R_U 未満になる。

[0519] アクティブクランプ動作時のチャネル利用率 R_U は、37.5%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、18.75%である。これにより、アクティブクランプ耐量 E_{ac} は、図 13 のグラフにおいて第 2 プロット点 P_2 で示されたアクティブクランプ耐量 E_{ac} に近づくか、または、当該アクティブクランプ耐量 E_{ac} を超える。

[0520] 以上、半導体装置 181 によっても半導体装置 171 に対して述べた効果と同様の効果を奏することができる。とりわけ、半導体装置 181 によれば、第 2 チャネル割合 R_2 が第 1 チャネル割合 R_1 とは異なっている ($R_1 \neq R_2$)。第 2 チャネル割合 R_2 は、より具体的には、第 1 チャネル割合 R_1 未満である ($R_1 > R_2$)。

[0521] コントロール IC 10 は、このような構造において、アクティブクランプ動作時におけるチャネル利用率 R_U が、零を超えて通常動作時におけるチャネル利用率 R_U 未満となるように第 1 M I S F E T 5 6 および第 2 M I S F E T 5 7 を制御する。これにより、アクティブクランプ耐量 E_{ac} の向上効果を高めることができる。

[0522] また、半導体装置 181 によれば、第 2 制御例で示されたように、通常動作時に第 1 H a l f - O N 制御を適用し、アクティブクランプ動作時に第 2 H a l f - O N 制御を適用できる。また、半導体装置 181 によれば、通常動作時に第 2 H a l f - O N 制御を適用し、アクティブクランプ動作時に第 1 H a l f - O N 制御を適用することもできる。すなわち、半導体装置 181 によれば、制御法を変更するだけで、同一の平均チャネル割合 R_{AV} を有

していながら、種々の面積抵抗率 $R_{on} \cdot A$ およびアクティブクランプ耐量 E_{ac} を実現できる。

[0523] <第6実施形態>

図31は、図7に対応する領域の断面斜視図であって、本発明の第6実施形態に係る半導体装置191を示す断面斜視図である。以下では、半導体装置1に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0524] 半導体装置1では、第1トレンチゲート構造60において、第1絶縁層82が第1底側絶縁層84および第1開口側絶縁層85を含み、第1電極83が第1底側電極86、第1開口側電極87および第1中間絶縁層88を含む。

[0525] これに対し、半導体装置191では、第1絶縁層82が第1底側絶縁層84を含まず、第1電極83が第1底側電極86及び第1中間絶縁層88を含まない。つまり、半導体装置191では、第1絶縁層82が第1開口側絶縁層85に相当する第1ゲート絶縁層192を含み、第1電極83が第1開口側電極87に相当する第1ゲート電極193を含む。

[0526] また、半導体装置1では、第2トレンチゲート構造70において、第2絶縁層102が第2底側絶縁層104および第2開口側絶縁層105を含み、第2電極103が第2底側電極106、第2開口側電極107および第2中間絶縁層108を含む。

[0527] これに対して、半導体装置191では、第2絶縁層102が第2底側絶縁層104を含まず、第2電極103が第2底側電極106および第2中間絶縁層108を含まない。つまり、半導体装置191では、第2絶縁層102が第2開口側絶縁層105に相当する第2ゲート絶縁層194を含み、第2電極103が第2開口側電極107に相当する第2ゲート電極195を含む。

[0528] また、半導体装置1は、トレンチコンタクト構造120を有している。これに対して、半導体装置191は、トレンチコンタクト構造120を有して

いない。以下、半導体装置 191 の構造について具体的に説明する。

[0529] 第 1 トレンチゲート構造 60 において、第 1 ゲート絶縁層 192 は、第 1 ゲートトレンチ 81 の内壁に沿って膜状に形成されている。第 1 ゲート絶縁層 192 は、第 1 ゲートトレンチ 81 内において凹状の空間を区画している。

[0530] 第 1 ゲート絶縁層 192 において第 1 ゲートトレンチ 81 の底壁 63 を被覆する部分の厚さは、第 1 ゲート絶縁層 192 において第 1 ゲートトレンチ 81 の第 1 側壁 61 および第 2 側壁 62 を被覆する部分の厚さよりも大きくてもよい。むろん、第 1 ゲート絶縁層 192 は、一様な厚さを有していてもよい。

[0531] 第 1 ゲート電極 193 は、第 1 ゲート絶縁層 192 を挟んで第 1 ゲートトレンチ 81 に埋め込まれている。第 1 ゲート電極 193 は、より具体的には、第 1 ゲートトレンチ 81 において第 1 ゲート絶縁層 192 によって区画された凹状の空間に一体物として埋め込まれている。第 1 ゲート電極 193 にはオン信号 V_{on} およびオフ信号 V_{off} を含む第 1 ゲート制御信号（第 1 制御信号）が印加される。

[0532] 第 1 ゲート電極 193 は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも 1 種を含んでもよい。第 1 ゲート電極 193 は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、 n 型不純物または p 型不純物を含んでもよい。導電性ポリシリコンは、 n 型不純物を含むことが好ましい。

[0533] 第 2 トレンチゲート構造 70 において、第 2 ゲート絶縁層 194 は、第 2 ゲートトレンチ 101 の内壁に沿って膜状に形成されている。第 2 ゲート絶縁層 194 は、第 2 ゲートトレンチ 101 内において凹状の空間を区画している。

[0534] 第 2 ゲート絶縁層 194 において第 2 ゲートトレンチ 101 の底壁 73 を被覆する部分の厚さは、第 2 ゲート絶縁層 194 において第 2 ゲートトレンチ 101 の第 2 側壁 72 および第 2 側壁 72 を被覆する部分の厚さよりも大

きくてもよい。むろん、第2ゲート絶縁層194は、一様な厚さを有していてもよい。

[0535] 第2ゲート電極195は、第2ゲート絶縁層194を挟んで第2ゲートトレンチ101に埋め込まれている。第2ゲート電極195は、より具体的には、第2ゲートトレンチ101において第2ゲート絶縁層194によって区画された凹状の空間に一体物として埋め込まれている。第2ゲート電極195にはオン信号V_{on}およびオフ信号V_{off}を含む第2ゲート制御信号（第2制御信号）が印加される。

[0536] 第2ゲート電極195は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも1種を含んでもよい。第2ゲート電極195は、第1ゲート電極193と同一種の導電材料を含んでいることが好ましい。第2ゲート電極195は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、n型不純物またはp型不純物を含んでもよい。導電性ポリシリコンは、n型不純物を含むことが好ましい。

[0537] なお、具体的な図示は省略されるが、第1ゲート制御配線17Aは、第1ゲート電極193に電氣的に接続され、第2ゲート制御配線17Bは、第2ゲート電極195に電氣的に接続される。

[0538] 図32Aは、図31に示す半導体装置191の通常動作を説明するための断面斜視図である。図32Bは、図31に示す半導体装置191のアクティブクランプ動作を説明するための断面斜視図である。

[0539] 図32Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号V_{on1}が入力され、第2ゲート制御配線17Bに第2オン信号V_{on2}が入力される。第1オン信号V_{on1}および第2オン信号V_{on2}は、コントロールIC10からそれぞれ入力される。

[0540] 第1オン信号V_{on1}および第2オン信号V_{on2}は、ゲート閾値電圧V_{th}以上の電圧をそれぞれ有している。第1オン信号V_{on1}および第2オン信号V_{on2}は、それぞれ等しい電圧を有していてもよい。

- [0541] この場合、第1ゲート電極193および第2ゲート電極195がそれぞれオン状態になる。これにより、第1チャンネル領域91および第2チャンネル領域111は共にオン状態に制御される。図32Aでは、オン状態の第1チャンネル領域91および第2チャンネル領域111がドット状のハッチングによって示されている。
- [0542] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャンネル利用率 RU は、100%である。通常動作時の特性チャンネル割合 RC は、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、特性チャンネル割合 RC が50%未満である場合に比べて低下する。
- [0543] 一方、図32Bを参照して、パワーMISFET9のアクティブクランプ動作時には、第1ゲート制御配線17Aにオフ信号 V_{off} が入力され、第2ゲート制御配線17Bにクランプオン信号 V_{Con} が入力される。
- [0544] オフ信号 V_{off} およびクランプオン信号 V_{Con} は、コントロールIC10からそれぞれ入力される。オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（たとえば基準電圧）を有している。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。
- [0545] この場合、第1ゲート電極193がオフ状態となり、第2ゲート電極195がオン状態になる。これにより、第1チャンネル領域91がオフ状態に制御されると共に第2チャンネル領域111がオン状態に制御される。図32Bでは、オフ状態の第1チャンネル領域91が塗りつぶしハッチングによって示され、オン状態の第2チャンネル領域111がドット状のハッチングによって示されている。
- [0546] その結果、第1MISFET56がオフ状態に制御される一方、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これによりアクティブクランプ動作時のチャンネル利用率 RU が、零を超えて通常動作時のチャンネル利用率 RU 未満となる。

[0547] アクティブクランプ動作時のチャネル利用率 R_U は、50%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、25%である。これにより、アクティブクランプ耐量 E_{ac} は、特性チャネル割合 R_C が25%を超える場合に比べて向上する。

[0548] この制御例では、アクティブクランプ動作時において第2 Half-ON制御が適用された例について説明した。しかし、アクティブクランプ動作時において第1 Half-ON制御が適用されてもよい。

[0549] 以上、半導体装置191によっても半導体装置1に対して述べた効果と同様の効果を奏することができる。この形態では、第2チャネル割合 R_2 （第2チャネル面積 S_2 ）が、第1チャネル割合 R_1 （第1チャネル面積 S_1 ）と等しい例を示した。しかし、第2チャネル割合 R_2 は、第2実施形態（図16参照）の場合と同様に、第1チャネル割合 R_1 と異なってもよい（ $R_1 \neq R_2$ ）。第2チャネル割合 R_2 は、第1チャネル割合 R_1 未満（ $R_2 < R_1$ ）であってもよい。

[0550] <第7実施形態>

図33は、図31に対応する領域の断面斜視図であって、本発明の第7実施形態に係る半導体装置201を示す斜視図である。以下では、半導体装置191に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0551] 半導体装置191では、1個の第1 FET構造58および1個の第2 FET構造68が交互に配列される態様で、複数の第1 FET構造58および複数の第2 FET構造68が形成されている。これに対して、半導体装置201では、複数（この形態では2個）の第1 FET構造58の群および複数（この形態では2個）の第2 FET構造68の群が交互に配列される態様で、複数の第1 FET構造58および複数の第2 FET構造68が形成されている。

[0552] また、半導体装置191は、トレンチコンタクト構造120を有していない。これに対して、半導体装置201は、トレンチコンタクト構造120を

有している。半導体装置201は、より具体的には、第1トレンチゲート構造60および第2トレンチゲート構造70を互いに電氣的に絶縁させる態様で、第1トレンチゲート構造60および第2トレンチゲート構造70にそれぞれ接続された複数のトレンチコンタクト構造120を含む。

[0553] また、半導体装置191では、第2チャネル割合 R_2 （第2チャネル面積 S_2 ）が、第1チャネル割合 R_1 （第1チャネル面積 S_1 ）と等しい。これに対し、半導体装置201では、第2チャネル割合 R_2 が、第1チャネル割合 R_1 と異なっている（ $R_1 \neq R_2$ ）。第2チャネル割合 R_2 は、より具体的には、第1チャネル割合 R_1 未満（ $R_2 < R_1$ ）である。以下、半導体装置201の構造について具体的に説明する。

[0554] 図33を参照して、複数のセル領域75は、互いに隣り合う2個の第1FET構造58の間の領域、互いに隣り合う1個の第1FET構造58および1個の第2FET構造68の間の領域、ならびに、互いに隣り合う2個の第2FET構造68の間の領域にそれぞれ区画されている。

[0555] 複数のセル領域75には、この形態では、互いに異なる値を有する3種の総チャネル割合 R_T が適用されている。3種の総チャネル割合 R_T は、第1総チャネル割合 R_{T1} 、第2総チャネル割合 R_{T2} および第3総チャネル割合 R_{T3} を含む。

[0556] 第1総チャネル割合 R_{T1} は、互いに隣り合う2個の第1FET構造58の間の領域に適用されている。なお、互いに隣り合う2個の第1FET構造58の間の領域には、その構造上、第2チャネル領域111は形成されない。

[0557] 第1総チャネル割合 R_{T1} は、互いに隣り合う2個の第1FET構造58の第1チャネル割合 R_1 の合計値である。第1総チャネル割合 R_{T1} は、一例として60%以上80%以下に調整されていてもよい。第1総チャネル割合 R_{T1} は、この形態では、75%に調整されている。第1総チャネル割合 R_{T1} において、一方側の第1チャネル割合 R_1 および他方側の第1チャネル割合 R_1 は、それぞれ37.5%である。

- [0558] 第2総チャネル割合 RT_2 は、互いに隣り合う1個の第1FET構造58および1個の第2FET構造68の間の領域に適用されている。互いに隣り合う1個の第1FET構造58および1個の第2FET構造68の間の領域には、その構造上、第1チャネル領域91および第2チャネル領域111が形成される。
- [0559] 第2総チャネル割合 RT_2 は、第1チャネル割合 R_1 および第2チャネル割合 R_2 の合計値である。第2総チャネル割合 RT_2 は、一例として40%を超えて60%未満に調整されていてもよい。第2総チャネル割合 RT_2 は、この形態では、50%に調整されている。第2総チャネル割合 RT_2 において、第1チャネル割合 R_1 は25%であり、第2チャネル割合 R_2 は25%である。
- [0560] 第3総チャネル割合 RT_3 は、互いに隣り合う2個の第2FET構造68の間の領域に適用されている。なお、互いに隣り合う2個の第2FET構造68の間の領域には、その構造上、第1チャネル領域91は形成されない。
- [0561] 第3総チャネル割合 RT_3 は、互いに隣り合う2個の第2FET構造68の第2チャネル割合 R_2 の合計値である。第3総チャネル割合 RT_3 は、一例として20%以上40%以下に調整されていてもよい。第3総チャネル割合 RT_3 は、この形態では、25%に調整されている。第3総チャネル割合 RT_3 において、一方側の第2チャネル割合 R_2 および他方側の第2チャネル割合 R_2 は、それぞれ12.5%である。
- [0562] 第1チャネル領域91は、全チャネルのうちの50% ($1/2$) を超える割合を占めている。この形態では、第1チャネル領域91は全チャネルのうちの62.5%を占め、第2チャネル領域111は全チャネルのうちの37.5%を占めている。つまり、第2チャネル割合 R_2 は、第1チャネル割合 R_1 未満 ($R_2 < R_1$) である。平均チャネル割合 RAV は、この形態では、50%である。
- [0563] 複数のトレンチコンタクト構造120は、複数の第1トレンチコンタクト構造202および複数の第2トレンチコンタクト構造203を含む。複数の

第1トレンチコンタクト構造202は、複数の第2トレンチゲート構造70から間隔を空けて、対応する複数の第1トレンチゲート構造60の一端部にそれぞれ接続されている。複数の第1トレンチコンタクト構造202は、平面視においてアーチ状に形成されている。

[0564] 複数の第2トレンチコンタクト構造203は、複数の第1トレンチゲート構造60から間隔を空けて、対応する複数の第2トレンチゲート構造70の一端部にそれぞれ接続されている。複数の第2トレンチコンタクト構造203は、平面視においてアーチ状に形成されている。

[0565] 各第1トレンチコンタクト構造202は、第1コンタクトトレンチ204、第1コンタクト絶縁層205および第1コンタクト電極206を含む。第1コンタクトトレンチ204、第1コンタクト絶縁層205および第1コンタクト電極206は、この形態では、第1ゲートトレンチ81、第1ゲート絶縁層192および第1ゲート電極193に対応した構造をそれぞれ有している。

[0566] 各第1トレンチコンタクト構造202において第1コンタクトトレンチ204は、互いに隣り合う複数の第1ゲートトレンチ81の一端部に連通している。第1コンタクト絶縁層205は、各第1ゲートトレンチ81および第1コンタクトトレンチ204の間の連通部において第1ゲート絶縁層192と一体を成している。第1コンタクト電極206は、各第1ゲートトレンチ81および第1コンタクトトレンチ204の間の連通部において第1ゲート電極193と一体を成している。

[0567] 各第2トレンチコンタクト構造203は、第2コンタクトトレンチ207、第2コンタクト絶縁層208および第2コンタクト電極209を含む。第2コンタクトトレンチ207、第2コンタクト絶縁層208および第2コンタクト電極209は、この形態では、第2ゲートトレンチ101、第2ゲート絶縁層194および第2ゲート電極195に対応した構造をそれぞれ有している。

[0568] 各第2トレンチコンタクト構造203において第2コンタクトトレンチ2

07は、互いに隣り合う複数の第2ゲートトレンチ101の一端部に連通している。第2コンタクト絶縁層208は、各第2ゲートトレンチ101および第2コンタクトトレンチ207の間の連通部において第2ゲート絶縁層194と一体を成している。第2コンタクト電極209は、各第2ゲートトレンチ101および第2コンタクトトレンチ207の間の連通部において第2ゲート電極195と一体を成している。

[0569] 具体的な図示は省略されるが、第1ゲート制御配線17Aは第1ゲート電極193および第1コンタクト電極206に電氣的に接続され、第2ゲート制御配線17Bは第2ゲート電極195および第2コンタクト電極209に電氣的に接続される。

[0570] 図34Aは、図33に示す半導体装置201の通常動作を説明するための断面斜視図である。図34Bは、図33に示す半導体装置201のアクティブクランプ動作を説明するための断面斜視図である。図34Aおよび図34Bでは、説明の便宜上、第1主面3の上の構造を省略し、ゲート制御配線17を簡略化している。

[0571] 図34Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力される。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、コントロールIC10からそれぞれ入力される。

[0572] 第1オン信号 V_{on1} および第2オン信号 V_{on2} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、それぞれ等しい電圧を有していてもよい。

[0573] この場合、第1ゲート電極193および第2ゲート電極195がそれぞれオン状態になる。これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。図34Aでは、オン状態の第1チャネル領域91および第2チャネル領域111がドット状のハッチングによって示されている。

[0574] その結果、第1MISFET56および第2MISFET57の双方が駆

動される（Full-ON制御）。通常動作時のチャネル利用率 R_U は、100%である。通常動作時の特性チャネル割合 R_C は、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、特性チャネル割合 R_C が50%未満である場合に比べて低下する。

[0575] 一方、図34Bを参照して、パワーMISFET9のアクティブクランプ動作時には、第1ゲート制御配線17Aにオフ信号 V_{off} が入力され、第2ゲート制御配線17Bにクランプオン信号 V_{Con} が入力される。オフ信号 V_{off} およびクランプオン信号 V_{Con} は、コントロールIC10からそれぞれ入力される。

[0576] オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（例えば基準電圧）を有している。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。

[0577] この場合、第1ゲート電極193がオフ状態となり、第2ゲート電極195がオン状態になる。これにより、第1チャネル領域91がオフ状態に制御されると共に第2チャネル領域111がオン状態に制御される。図34Bでは、オフ状態の第1チャネル領域91が塗りつぶしハッチングによって示され、オン状態の第2チャネル領域111がドット状のハッチングによって示されている。

[0578] その結果、第1MISFET56がオフ状態に制御される一方で、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これにより、アクティブクランプ動作時のチャネル利用率 R_U が、零を超えて通常動作時のチャネル利用率 R_U 未満となる。アクティブクランプ動作時のチャネル利用率 R_U は、より具体的には、通常動作時のチャネル利用率 R_U の $1/2$ 未満になる。

[0579] アクティブクランプ動作時のチャネル利用率 R_U は、37.5%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、18.75%である。これにより、アクティブクランプ耐量 E_{ac} は、特性チャネル割合

RCが18.75%を超える場合に比べて向上する。

[0580] 以上、半導体装置201によっても半導体装置191に対して述べた効果と同様の効果を奏することができる。また、半導体装置201では、複数（この形態では2個）の第1FET構造58の群および複数（この形態では2個）の第2FET構造68の群が交互に配列される態様で、複数の第1FET構造58および複数の第2FET構造68が形成されている。

[0581] 複数の第1FET構造58が互いに隣り合う構造では、互いに隣り合う複数の第1FET構造58の間の領域において第2チャンネル領域111に接続させることなく第1チャンネル領域91を形成できる。したがって、第1チャンネル領域91を適切に形成できるから、第1チャンネル割合R1を適切に調整できる。

[0582] 同様に、複数の第2FET構造68が互いに隣り合う構造では、互いに隣り合う複数の第2FET構造68の間の領域において第1チャンネル領域91に接続させることなく第2チャンネル領域111を形成できる。したがって、第2チャンネル領域111を適切に形成できるから、第2チャンネル割合R2を適切に調整できる。これにより、平均チャンネル割合RAVおよび特性チャンネル割合RCを適切に調整できる。

[0583] <第8実施形態>

図35は、図7に対応する領域の断面斜視図であって、本発明の第8実施形態に係る半導体装置211を示す一部切り欠き断面斜視図である。以下では、半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0584] 半導体装置1は、トレンチゲート型の第1FET構造58およびトレンチゲート型の第2FET構造68を含む。これに対して、半導体装置211は、プレーナゲート型の第1FET構造58およびプレーナゲート型の第2FET構造68を含む。以下、半導体装置211の具体的な構造について説明する。

[0585] 図35を参照し、半導体層2の第1主面3の表層部には、複数のボディ領

域 5 5 が形成されている。複数のボディ領域 5 5 は、パワー M I S F E T 9 の基礎となる領域である。複数のボディ領域 5 5 は、第 1 方向 X に沿って間隔を空けて形成され、第 2 方向 Y に沿って帯状に延びている。複数のボディ領域 5 5 は、平面視において全体としてストライプ状に形成されている。

[0586] 各第 1 F E T 構造 5 8 は、各ボディ領域 5 5 の表層部に形成された第 1 ソース領域 9 2 を含む。第 1 ソース領域 9 2 は、第 2 方向 Y に沿って帯状に延びている。各第 2 F E T 構造 6 8 は、各ボディ領域 5 5 の表層部に形成された第 2 ソース領域 1 1 2 を含む。第 2 ソース領域 1 1 2 は、より具体的には、第 1 方向 X に沿って間隔を空けて形成され、第 2 方向 Y に沿って帯状に延びている。

[0587] 各第 1 F E T 構造 5 8 および各第 2 F E T 構造 6 8 は、各ボディ領域 5 5 の表層部に形成された p⁺型のコンタクト領域 2 1 2 を含む。コンタクト領域 2 1 2 は、第 1 F E T 構造 5 8 および第 2 F E T 構造 6 8 に共有されている。コンタクト領域 2 1 2 は、第 1 ソース領域 9 2 および第 2 ソース領域 1 1 2 の間の領域に形成されている。コンタクト領域 2 1 2 は、第 2 方向 Y に沿って帯状に延びている。

[0588] 第 1 F E T 構造 5 8 は、半導体層 2 の第 1 主面 3 の上に形成された第 1 プレーナゲート構造 2 1 3 を含む。第 1 プレーナゲート構造 2 1 3 は、第 2 方向 Y に沿って帯状に延び、ドリフト領域 5 4、ボディ領域 5 5 および第 1 ソース領域 9 2 に対向している。

[0589] 各第 1 プレーナゲート構造 2 1 3 は、より具体的には、第 1 ゲート絶縁層 2 1 4 および第 1 ゲート電極 2 1 5 を含む。第 1 ゲート絶縁層 2 1 4 は、第 1 主面 3 の上に形成されている。第 1 ゲート絶縁層 2 1 4 は、第 1 主面 3 の上においてドリフト領域 5 4、ボディ領域 5 5 および第 1 ソース領域 9 2 を被覆している。第 1 ゲート電極 2 1 5 は、第 1 ゲート絶縁層 2 1 4 を挟んでドリフト領域 5 4、ボディ領域 5 5 および第 1 ソース領域 9 2 に対向している。

[0590] 第 1 M I S F E T 5 6 の第 1 チャネル領域 9 1 は、この形態では、ボディ

領域 5 5 においてドリフト領域 5 4 および第 1 ソース領域 9 2 の間の領域に形成される。第 1 チャネル領域 9 1 は、第 1 ゲート絶縁層 2 1 4 を挟んで第 1 ゲート電極 2 1 5 に対向する。

[0591] 第 2 F E T 構造 6 8 は、半導体層 2 の第 2 主面 4 の上に形成された第 2 プレーナゲート構造 2 2 3 を含む。第 2 プレーナゲート構造 2 2 3 は、第 2 方向 Y に沿って帯状に延び、ドリフト領域 5 4、ボディ領域 5 5 および第 2 ソース領域 1 1 2 に対向している。

[0592] 各第 2 プレーナゲート構造 2 2 3 は、より具体的には、第 2 ゲート絶縁層 2 2 4 および第 2 ゲート電極 2 2 5 を含む。第 2 ゲート絶縁層 2 2 4 は、第 2 主面 4 の上に形成されている。第 2 ゲート絶縁層 2 2 4 は、第 2 主面 4 の上においてドリフト領域 5 4、ボディ領域 5 5 および第 2 ソース領域 1 1 2 を被覆している。第 2 ゲート電極 2 2 5 は、第 2 ゲート絶縁層 2 2 4 を挟んでドリフト領域 5 4、ボディ領域 5 5 および第 2 ソース領域 1 1 2 に対向している。

[0593] 第 2 M I S F E T 5 7 の第 2 チャネル領域 1 1 1 は、この形態では、ボディ領域 5 5 においてドリフト領域 5 4 および第 2 ソース領域 1 1 2 の間の領域に形成される。第 2 チャネル領域 1 1 1 は、第 2 ゲート絶縁層 2 2 4 を挟んで第 2 ゲート電極 2 2 5 に対向する。

[0594] 第 1 主面 3 の上には、層間絶縁層 1 4 2 が形成されている。層間絶縁層 1 4 2 には、複数のソース開口 2 3 0 が形成されている。各ソース開口 2 3 0 は、層間絶縁層 1 4 2 において互いに隣り合う第 1 プレーナゲート構造 2 1 3 および第 2 プレーナゲート構造 2 2 3 の間の領域を被覆する部分に形成されている。各ソース開口 2 3 0 は、第 1 ソース領域 9 2、第 2 ソース領域 1 1 2 およびコンタクト領域 2 1 2 を露出させている。

[0595] 具体的な図示は省略されるが、ソース電極 1 2 は、各ソース開口 2 3 0 に入り込むように層間絶縁層 1 4 2 の上に形成される。ソース電極 1 2 は、各ソース開口 2 3 0 内において第 1 ソース領域 9 2、第 2 ソース領域 1 1 2 およびコンタクト領域 2 1 2 に電氣的に接続される。また、具体的な図示は省

略されるが、第1ゲート制御配線17Aは第1ゲート電極193に電氣的に接続され、第2ゲート制御配線17Bは第2ゲート電極195に電氣的に接続される。

[0596] 図36Aは、図35に示す半導体装置211の通常動作を説明するための断面斜視図である。図36Bは、図35に示す半導体装置211のアクティブクランプ動作を説明するための断面斜視図である。

[0597] 図36Aを参照して、パワーMISFET9の通常動作時では、第1ゲート制御配線17Aに第1オン信号 V_{on1} が入力され、第2ゲート制御配線17Bに第2オン信号 V_{on2} が入力される。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、コントロールIC10からそれぞれ入力される。

[0598] 第1オン信号 V_{on1} および第2オン信号 V_{on2} は、ゲート閾値電圧 V_{th} 以上の電圧をそれぞれ有している。第1オン信号 V_{on1} および第2オン信号 V_{on2} は、それぞれ等しい電圧を有していてもよい。

[0599] この場合、第1ゲート電極193および第2ゲート電極195がそれぞれオン状態になる。これにより、第1チャネル領域91および第2チャネル領域111は共にオン状態に制御される。

[0600] その結果、第1MISFET56および第2MISFET57の双方が駆動される（Full-ON制御）。通常動作時のチャネル利用率 RU は、100%である。通常動作時の特性チャネル割合 RC は、50%である。これにより、面積抵抗率 $R_{on} \cdot A$ は、特性チャネル割合 RC が50%未満である場合に比べて低下する。

[0601] 一方、図36Bを参照して、パワーMISFET9のアクティブクランプ動作時では、第1ゲート制御配線17Aにオフ信号 V_{off} が入力され、第2ゲート制御配線17Bにクランプオン信号 V_{Con} が入力される。オフ信号 V_{off} およびクランプオン信号 V_{Con} は、コントロールIC10からそれぞれ入力される。

[0602] オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（例えば基準電圧）を有している。クランプオン信号 V_{Con} は、ゲート閾値電圧 V_{th} 以上

の電圧を有している。クランプオン信号 V_{Con} は、通常動作時の電圧以下または未満の電圧を有していてもよい。

[0603] この場合、第1ゲート電極193がオフ状態となり、第2ゲート電極195がオン状態になる。これにより、第1チャネル領域91がオフ状態に制御されると共に第2チャネル領域111がオン状態に制御される。

[0604] その結果、第1MISFET56がオフ状態に制御される一方で、第2MISFET57がオン状態に制御される（第2Half-ON制御）。これにより、アクティブクランプ動作時のチャネル利用率 R_U が、零を超えて通常動作時のチャネル利用率 R_U 未満になる。アクティブクランプ動作時のチャネル利用率 R_U は、50%である。また、アクティブクランプ動作時の特性チャネル割合 R_C は、25%である。これにより、アクティブクランプ耐量 E_{ac} は、特性チャネル割合 R_C が25%を超える場合に比べて向上する。

[0605] 以上、半導体装置211によっても半導体装置1に対して述べた効果と同様の効果を奏することができる。

[0606] <第9実施形態>

図37は、本発明の第9実施形態に係る半導体装置241を1つの方向から見た斜視図である。以下では、半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0607] 前述の第1実施形態では、半導体装置1がハイサイド側のスイッチングデバイスである形態例について説明した。しかし、半導体装置1は、ローサイド側のスイッチングデバイスとしても提供されることができる。ここでは、ローサイド側のスイッチングデバイスとして製造された半導体装置1の一形態例を、第9実施形態に係る半導体装置241として説明する。

[0608] 半導体装置241に組み込まれるパワーMISFET9の構造（制御例）としては、第1実施形態に係るパワーMISFET9の構造（制御例）に限らず、第2実施形態、第3実施形態、第4実施形態、第5実施形態、第6実施形態、第7実施形態および第8実施形態に示されたパワーMISFET9

の構造（制御例）のいずれか１つが適用される。半導体装置２４１のパワーＭＩＳＦＥＴ ９の構造（制御例）の説明については、第１～第８実施形態に係るパワーＭＩＳＦＥＴ ９の構造（制御例）の説明のいずれか１つが準用されるものとし、省略する。

[0609] 図３７を参照し、半導体装置２４１は、第１実施形態等と同様に、半導体層２を含む。半導体層２には、第１実施形態等と同様に、出力領域６および入力領域７が設定されている。出力領域６は、パワーＭＩＳＦＥＴ ９を含む。入力領域７は、コントロールＩＣ１０を含む。

[0610] 半導体層２の上には、複数（この形態では３つ）の電極１１，１２，１３が形成されている。図３７では、ハッチングによって複数の電極１１～１３が示されている。複数の電極１１～１３の個数、配置および平面形状は任意であり、図３７に示される形態に限定されない。

[0611] 複数の電極１１～１３の個数、配置および平面形状は、パワーＭＩＳＦＥＴ ９の仕様やコントロールＩＣ１０の仕様に応じて調整される。複数の電極１１～１３は、この形態では、ドレイン電極１１（出力電極）、ソース電極１２（基準電圧電極）および入力電極１３を含む。

[0612] ドレイン電極１１は、第１実施形態等と同様に、半導体層２の第２主面４の上に形成されている。ドレイン電極１１は、パワーＭＩＳＦＥＴ ９によって生成された電気信号を外部に伝達する。

[0613] ソース電極１２は、第１実施形態等と同様に、第１主面３において出力領域６の上に形成されている。ソース電極１２は、パワーＭＩＳＦＥＴ ９やコントロールＩＣ１０の各種機能回路に基準電圧（たとえばグランド電圧）を提供する。

[0614] 入力電極１３は、第１実施形態等と同様に、第１主面３において入力領域７の上に形成されている。入力電極１３は、コントロールＩＣ１０を駆動するための入力電圧を伝える。

[0615] 半導体層２の上には、第１実施形態等と同様に、制御配線の一例としてのゲート制御配線１７が形成されている。ゲート制御配線１７は、この形態で

は、第1ゲート制御配線17A、第2ゲート制御配線17Bおよび第3ゲート制御配線17Cを含む。ゲート制御配線17は、出力領域6および入力領域7に選択的に引き回されている。ゲート制御配線17は、出力領域6においてパワーMISFET9のゲートに電氣的に接続され、入力領域7においてコントロールIC10に電氣的に接続されている。

[0616] 図38は、図37に示す半導体装置241の電氣的構造を示すブロック回路図である。以下では、半導体装置241が車に搭載される場合を例にとって説明する。

[0617] 半導体装置241は、出力電極としてのドレイン電極11、基準電圧電極としてのソース電極12、入力電極13、ゲート制御配線17、パワーMISFET9およびコントロールIC10を含む。

[0618] ドレイン電極11は、パワーMISFET9のドレインに電氣的に接続されている。ドレイン電極11は、負荷に接続される。ソース電極12は、パワーMISFET9のソースに電氣的に接続されている。ソース電極12は、パワーMISFET9およびコントロールIC10に基準電圧を提供する。

[0619] 入力電極13は、MCU、DC/DCコンバータ、LDO等に接続されてもよい。入力電極13は、コントロールIC10に入力電圧を提供する。パワーMISFET9のゲートは、ゲート制御配線17を介してコントロールIC10（後述のゲート制御回路25）に接続されている。

[0620] コントロールIC10は、この形態では、電流・電圧制御回路23、保護回路24、ゲート制御回路25およびアクティブクランプ回路26を含む。

[0621] 電流・電圧制御回路23は、ソース電極12、入力電極13、保護回路24およびゲート制御回路25に接続されている。電流・電圧制御回路23は、入力電極13からの電気信号および保護回路24からの電気信号に応じて、種々の電圧を生成する。電流・電圧制御回路23は、この形態では、駆動電圧生成回路30、第1定電圧生成回路31、第2定電圧生成回路32および基準電圧・基準電流生成回路33を含む。

- [0622] 駆動電圧生成回路 30 は、ゲート制御回路 25 を駆動するための駆動電圧を生成する。駆動電圧生成回路 30 により生成された駆動電圧は、ゲート制御回路 25 に入力される。
- [0623] 第 1 定電圧生成回路 31 は、保護回路 24 を駆動するための第 1 定電圧を生成する。第 1 定電圧生成回路 31 は、ツェナーダイオードやレギュレータ回路を含んでいてもよい。第 1 定電圧は、保護回路 24（たとえば過電流保護回路 34）に入力される。
- [0624] 第 2 定電圧生成回路 32 は、保護回路 24 を駆動するための第 2 定電圧を生成する。第 2 定電圧生成回路 32 は、ツェナーダイオードやレギュレータ回路を含んでいてもよい。第 2 定電圧は、保護回路 24（たとえば過熱保護回路 36）に入力される。
- [0625] 基準電圧・基準電流生成回路 33 は、各種回路の基準電圧および基準電流を生成する。基準電圧及び基準電流は、各種回路に入力される。各種回路がコンパレータを含む場合、基準電圧及び基準電流は、当該コンパレータに入力されてもよい。
- [0626] 保護回路 24 は、電流・電圧制御回路 23、ゲート制御回路 25 およびパワー M I S F E T 9 のソースに接続されている。保護回路 24 は、過電流保護回路 34 および過熱保護回路 36 を含む。
- [0627] 過電流保護回路 34 は、過電流からパワー M I S F E T 9 を保護する。過電流保護回路 34 は、ゲート制御回路 25 に接続されている。過電流保護回路 34 は、電流モニタ回路を含んでいてもよい。過電流保護回路 34 によって生成された信号は、ゲート制御回路 25（より具体的には、後述する駆動信号出力回路 40）に入力される。
- [0628] 過熱保護回路 36 は、過度な温度上昇からパワー M I S F E T 9 を保護する。過熱保護回路 36 は、電流・電圧制御回路 23 に接続されている。過熱保護回路 36 は、半導体装置 241 の温度を監視する。過熱保護回路 36 は、感温ダイオードやサーミスタ等の感温デバイスを含んでいてもよい。過熱保護回路 36 によって生成された信号は、電流・電圧制御回路 23 に入力さ

れる。

- [0629] ゲート制御回路 25 は、パワー M I S F E T 9 のオン状態およびオフ状態を制御する。ゲート制御回路 25 は、電流・電圧制御回路 23、保護回路 24、パワー M I S F E T 9 のゲートに接続されている。
- [0630] ゲート制御回路 25 は、電流・電圧制御回路 23 からの電気信号および保護回路 24 からの電気信号に応じて、ゲート制御配線 17 の個数に応じた複数種のゲート制御信号を生成する。複数種のゲート制御信号は、ゲート制御配線 17 を介してパワー M I S F E T 9 のゲートに入力される。
- [0631] ゲート制御回路 25 は、より具体的には、発振回路 38、チャージポンプ回路 39 および駆動信号出力回路 40 を含む。発振回路 38 は、電流・電圧制御回路 23 からの電気信号に応じて発振し、所定の電気信号を生成する。発振回路 38 によって生成された電気信号は、チャージポンプ回路 39 に入力される。チャージポンプ回路 39 は、発振回路 38 からの電気信号を昇圧させる。チャージポンプ回路 39 によって昇圧された電気信号は、駆動信号出力回路 40 に入力される。
- [0632] 駆動信号出力回路 40 は、チャージポンプ回路 39 からの電気信号および保護回路 24（より具体的には、過電流保護回路 34）からの電気信号に応じて複数種のゲート制御信号を生成する。複数種のゲート制御信号は、ゲート制御配線 17 を介してパワー M I S F E T 9 のゲートに入力される。これにより、パワー M I S F E T 9 が駆動制御される。
- [0633] アクティブクランプ回路 26 は、逆起電力からパワー M I S F E T 9 を保護する。アクティブクランプ回路 26 は、ドレイン電極 11、パワー M I S F E T 9 のゲートに接続されている。
- [0634] 図 39 は、図 37 に示す半導体装置 241 の通常動作およびアクティブクランプ動作を説明するための回路図である。図 40 は、図 39 に示す回路図に適用される主要な電気信号の波形図である。
- [0635] ここでは、パワー M I S F E T 9 に誘導性負荷 L が接続された回路例を用いて、半導体装置 241 の通常動作およびアクティブクランプ動作を説明す

る。ソレノイド、モータ、トランス、リレー等の巻線（コイル）を利用したデバイスが、誘導性負荷 L として例示される。誘導性負荷 L は、 L 負荷とも称される。

[0636] 図39を参照して、パワーMISFET9のソースは、グランドに接続されている。パワーMISFET9のドレインは、誘導性負荷 L に電氣的に接続されている。パワーMISFET9のゲートおよびドレインは、アクティブクランプ回路26に接続されている。パワーMISFET9のゲートおよびソースは、抵抗 R に接続されている。アクティブクランプ回路26は、この回路例では、互いにバイアス接続された k 個（ k は自然数）のツェナーダイオード DZ を含む。

[0637] 図39および図40を参照し、オフ状態のパワーMISFET9のゲートにオン信号 V_{on} が入力されると、パワーMISFET9がオフ状態からオン状態に切り替わる（通常動作）。オン信号 V_{on} は、ゲート閾値電圧 V_{th} 以上（ $V_{th} \leq V_{on}$ ）の電圧を有している。パワーMISFET9は、所定のオン時間 T_{ON} だけ、オン状態に維持される。

[0638] パワーMISFET9がオン状態に切り替わると、ドレイン電流 I_D が、パワーMISFET9のドレインからソースに向けて流れ始める。ドレイン電流 I_D は、パワーMISFET9のオン時間 T_{ON} に比例して増加する。誘導性負荷 L は、ドレイン電流 I_D の増加に起因して誘導性エネルギーを蓄積させる。

[0639] パワーMISFET9のゲートにオフ信号 V_{off} が入力されると、パワーMISFET9がオン状態からオフ状態に切り替わる。オフ信号 V_{off} は、ゲート閾値電圧 V_{th} 未満の電圧（ $V_{off} < V_{th}$ ）を有している。オフ信号 V_{off} は、基準電圧（たとえばグランド電圧）であってもよい。パワーMISFET9がオフ状態に切り替わると、誘導性負荷 L の誘導性エネルギーが、逆起電力としてパワーMISFET9に印加される。

[0640] これにより、パワーMISFET9がアクティブクランプ状態になる（アクティブクランプ動作）。パワーMISFET9がアクティブクランプ状態

になると、ドレイン電圧 V_{DS} が、クランプ電圧 V_{DSSCL} まで急激に上昇する。

[0641] クランプ電圧 V_{DSSCL} が最大定格ドレイン電圧 V_{DSS} を超えた場合 ($V_{DSS} < V_{DSSCL}$)、パワーMISFET 9は破壊に至る。パワーMISFET 9は、クランプ電圧 V_{DSSCL} が最大定格ドレイン電圧 V_{DSS} 以下 ($V_{DSSCL} \leq V_{DSS}$) になるように設計される。

[0642] クランプ電圧 V_{DSSCL} が最大定格ドレイン電圧 V_{DSS} 以下の場合 ($V_{DSSCL} \leq V_{DSS}$)、逆方向電流 I_Z が、アクティブクランプ回路26に流れる。これにより、アクティブクランプ回路26の端子間に制限電圧 V_L が形成される。制限電圧 V_L は、この形態では、アクティブクランプ回路26におけるツェナーダイオードDZの端子間電圧 V_Z の総和 ($V_L = k \cdot V_Z$) である。

[0643] また、逆方向電流 I_Z は、抵抗Rを通過してグランドに至る。これにより、抵抗Rの端子間に端子間電圧 V_R が形成される。抵抗Rの端子間電圧 V_R ($= I_Z \times R$) は、ゲート閾値電圧 V_{th} 以上 ($V_{th} \leq V_R$) に調整される。端子間電圧 V_R は、クランプオン電圧 V_{CLP} としてパワーMISFET 9のゲート・ソース間に印加される。従って、パワーMISFET 9は、アクティブクランプ状態においてオン状態を維持する。クランプオン電圧 V_{CLP} (端子間電圧 V_R) は、オン信号 V_{on} 未満の電圧を有していてもよい。

[0644] これにより、誘導性負荷Lの誘導性エネルギーが、パワーMISFET 9で消費 (吸収) される。ドレイン電流 I_D は、アクティブクランプ時間 T_{AV} を経て、パワーMISFET 9のオフ直前のピーク値 I_{AV} からゼロに減少する。これにより、ゲート電圧 V_{GS} がグランド電圧になり、ドレイン電圧 V_{DS} が電源電圧 V_B になり、パワーMISFET 9がオン状態からオフ状態に切り替わる。

[0645] パワーMISFET 9のアクティブクランプ耐量 E_{ac} は、アクティブクランプ動作時における耐量によって定義される。アクティブクランプ耐量 E

a c は、より具体的には、パワー M I S F E T 9 のオン状態からオフ状態への遷移時において、誘導性負荷 L の誘導性エネルギーに起因して生じる逆起電力に対する耐量によって定義される。

[0646] アクティブクランプ耐量 E a c は、さらに具体的には、図 3 6 の回路例で明らかにされたように、クランプ電圧 V D S S C L に起因して生じるエネルギーに対する耐量によって定義される。

[0647] 以上、半導体装置 2 4 1 によっても半導体装置 1 に対して述べた効果と同様の効果を奏することができる。

[0648] 本発明の実施形態について述べたが、本発明は更に他の形態で実施することもできる。

[0649] 前述の各実施形態において、第 3 ゲート制御配線 1 7 C に電氣的に接続される第 1 底側電極 8 6 及び第 2 底側電極 1 0 6 がフィールド電極として機能する場合、第 3 ゲート制御配線 1 7 C は、コントロール I C に代えてソース電極 1 2 に電氣的に接続されてもよい。

[0650] この場合、第 3 ゲート制御配線 1 7 C は、ソース電極 1 2 から引き出されてもよい。従って、基準電圧（たとえばグランド電圧）は、ソース電極 1 2 から第 3 ゲート制御配線 1 7 C を介して第 1 底側電極 8 6 および第 2 底側電極 1 0 6 に伝達される。このような構造によっても、半導体装置 1 等に対して述べた効果と同様の効果を奏することができる。

[0651] 前述の各実施形態において、アクティブクランプ動作時のチャネル利用率 R U および通常動作時のチャネル利用率 R U を適切に制御できるのであれば、複数の第 1 F E T 構造 5 8 および複数の第 2 F E T 構造 6 8 の配列は任意である。

[0652] たとえば、複数の第 2 F E T 構造 6 8 は、複数の第 1 F E T 構造 5 8 を挟む態様で複数の第 1 F E T 構造 5 8 と交互に配列されていてもよい。複数の第 2 F E T 構造 6 8 は、2 個、3 個、4 個、5 個、6 個、7 個、8 個、9 個または 1 0 個の第 1 F E T 構造 5 8 を挟む態様で複数の第 1 F E T 構造 5 8 と交互に配列されていてもよい。

- [0653] 同様に、複数の第1 FET構造58は、複数の第2 FET構造68を挟む態様で、複数の第1 FET構造58と交互に配列されていてもよい。複数の第1 FET構造58は、2個、3個、4個、5個、6個、7個、8個、9個または10個の第2 FET構造68を挟む態様で、複数の第2 FET構造68と交互に配列されていてもよい。
- [0654] むろん、複数（2個以上）の第1 FET構造58の群および複数（2個以上）の第2 FET構造68の群が、互いに交互に配列されていてもよい。また、複数の第1 FET構造58の群および1個の第2 FET構造68が交互に配列される態様で、複数の第1 FET構造58および複数の第2 FET構造68が形成されていてもよい。また、1個の第1 FET構造58および複数の第2 FET構造68の群が交互に配列される態様で、複数の第1 FET構造58および複数の第2 FET構造68が形成されていてもよい。
- [0655] ただし、複数の第1 FET構造58および／または複数の第2 FET構造68が群となって配列される場合、半導体層2の温度分布に偏りが形成されやすくなる。したがって、4個以下の第1 FET構造58および／または4個以下の第2 FET構造68が群となって配列されることが好ましい。
- [0656] 前述の各実施形態において、アクティブクランプ動作時のチャネル利用率 R_U および通常動作時のチャネル利用率 R_U を適切に制御できるのであれば、各セル領域75における総チャネル割合 R_T の値は任意である。
- [0657] たとえば、前述の実施形態の幾つかにおいて、第1総チャネル割合 R_{T1} 、第2総チャネル割合 R_{T2} および第3総チャネル割合 R_{T3} を含む総チャネル割合 R_T が複数のセル領域75に適用された例を説明した。
- [0658] しかし、互いに異なる値を有する複数種（2種以上）の総チャネル割合 R_T が複数のセル領域75に適用されてもよい。たとえば、互いに異なる値を有する2種、3種、4種、5種または6種、もしくは、それ以上の総チャネル割合 R_T が複数のセル領域75に適用されてもよい。
- [0659] また、前述の各実施形態では、パワーMISFET9が、第1MISFET56および第2MISFET57を含む例について説明した。しかし、パ

ワーマイスFET 9は、互いに独立して制御可能な2個、3個、4個、5個または6個、もしくは、それ以上のMISFETを含んでもよい。複数（2個以上）のMISFETは、トレンチゲート構造に接続されるゲート制御配線17の個数を変更するだけで形成されることができる。

[0660] この場合、コントロールIC10は、アクティブクランプ動作時におけるチャネル利用率RUが、零を超えて通常動作時におけるチャネル利用率RU未満となるように複数（2個以上）のMISFETを制御する。

[0661] 前述の各実施形態において、ゲート制御配線17は、ドレイン電極11、ソース電極12、入力電極13、基準電圧電極14、ENABLE電極15およびSENSE電極16とは異なるレイヤに形成されていてもよいし、同一のレイヤに形成されていてもよい。また、ゲート制御配線17において、第1ゲート制御配線17A、第2ゲート制御配線17Bおよび第3ゲート制御配線17Cは、互いに異なるレイヤに形成されていてもよいし、同一のレイヤに形成されていてもよい。

[0662] 前述の各実施形態において、p型の半導体部分がn型の半導体部分とされ、n型の半導体部分がp型の半導体部分とされてもよい。この場合、前述の各実施形態の説明は、「n型」の部分が「p型」と読み替えられ、「p型」の部分が「n型」と読み替えられる。

[0663] 前述の各実施形態に係る半導体装置1、151、161、171、181、191、201、211、241は、図41および図42に示されるように、半導体パッケージに組み込まれてもよい。図41は、半導体パッケージ301を、封止樹脂307を透過して示す斜視図である。図42は、図41の平面図である。

[0664] 図41および図42を参照して、半導体パッケージ301は、この形態では、所謂SOP (Small Outline Package) である。半導体パッケージ301は、ダイパッド302、半導体チップ303、導電性接合材304、複数（この形態では8個）のリード電極305A～305H、複数（この形態では8個）の導線306A～306Hおよび封止樹脂307を含む。

- [0665] ダイパッド302は、直方体形状に形成された金属板からなる。ダイパッド302は、鉄、アルミニウムまたは銅を含んでいてもよい。半導体チップ303は、第1～第9実施形態に係る半導体装置1、151、161、171、181、191、201、211、241のいずれか1つからなる。半導体チップ303は、ここでは、第1実施形態に係る半導体装置1からなる。
- [0666] 半導体チップ303は、第2主面4をダイパッド302に対向させた姿勢で、ダイパッド302の上に配置されている。半導体チップ303のドレイン電極11は、導電性接合材304を介してダイパッド302に接続されている。導電性接合材304は、金属ペーストまたは半田であってもよい。
- [0667] 複数のリード電極305A～305Hは、第1リード電極305A、第2リード電極305B、第3リード電極305C、第4リード電極305D、第5リード電極305E、第6リード電極305F、第7リード電極305G及び第8リード電極305Hを含む。リード電極の個数は、半導体チップ303の機能に応じて選択され、図41および図42に示される個数に限定されない。
- [0668] 複数のリード電極305A～305Hは、鉄、アルミニウムまたは銅を含んでいてもよい。複数のリード電極305A～305Hは、ダイパッド302から間隔を空けてダイパッド302の周囲に配置されている。
- [0669] より具体的には、4つのリード電極305A～305Dは、ダイパッド302の一辺に沿って間隔を空けて配列されている。残りの4つのリード電極305E～305Hは、ダイパッド302においてリード電極305A～305Dが配列された辺に対向する辺に沿って間隔を空けて配列されている。
- [0670] 複数のリード電極305A～305Hは、配列方向に直交する方向に沿って延びる帯状にそれぞれ形成されている。複数のリード電極305A～305Hは、ダイパッド302に対向する一端部、および、その反対側の他端部を有している。複数のリード電極305A～305Hの一端部は、半導体チップ303に内部接続される。複数のリード電極305A～305Hの他端

部は、実装基板等の接続対象に外部接続される。

- [0671] 複数の導線306A～306Hは、第1導線306A、第2導線306B、第3導線306C、第4導線306D、第5導線306E、第6導線306F、第7導線306Gおよび第8導線306Hを含む。導線の個数は、半導体チップ303（半導体装置）の機能に応じて選択され、図41および図42に示される個数に限定されない。
- [0672] 第1導線306Aは、第1リード電極305Aの一端部及びソース電極12に電氣的に接続されている。第1導線306Aは、この形態では、金属クリップからなる。第1導線306Aは、鉄、金、アルミニウムまたは銅を含んでいてもよい。第1導線306Aは、パワーMISFET9で生じた熱を、外部に効率的に放散させる。むろん、第1導線306Aは、ボンディングワイヤからなってもよい。
- [0673] 第2導線306Bは、第2リード電極305Bの一端部および基準電圧電極14に電氣的に接続されている。第3導線306Cは、第3リード電極305Cの一端部およびENABLE電極15に電氣的に接続されている。第4導線306Dは、第4リード電極305Dの一端部およびSENSE電極16に電氣的に接続されている。
- [0674] 第5導線306Eは、第5リード電極305Eの一端部およびダイパッド302に電氣的に接続されている。第6導線306Fは、第6リード電極305Fの一端部およびダイパッド302に電氣的に接続されている。第7導線306Gは、第7リード電極305Gの一端部および入力電極13に電氣的に接続されている。第8導線306Hは、第8リード電極305Hの一端部およびダイパッド302に電氣的に接続されている。
- [0675] 第2～第8導線306B～306Hは、この形態では、ボンディングワイヤからなる。第2～第8導線306B～306Hは、金、アルミニウムまたは銅をそれぞれ含んでいてもよい。半導体チップ303および複数のリード電極305A～305Hに対する複数の導線306A～306Hの接続形態は任意であり、図41および図42に示される接続形態に限定されない。

- [0676] 封止樹脂 307 は、複数のリード電極 305A～305H の他端部が露出するように、半導体チップ 303、ダイパッド 302、複数のリード電極 305A～305H の一端部および複数の導線 306A～306H を封止している。封止樹脂 307 は、直方体形状に形成されている。封止樹脂 307 は、エポキシ樹脂を含んでいてもよい。
- [0677] 半導体パッケージ 301 の形態は SOP に制限されない。半導体パッケージ 301 として TO (Transistor Outline)、QFN (Quad Flat Pack Non Lead Package)、DFP (Dual Flat Package)、DIP (Dual In Line Package)、QFP (Quad Flat Package)、SIP (Single In Line Package) または SOJ (Small Outline J-leaded Package)、もしくは、これらに類する種々の形態が適用されてもよい。
- [0678] 半導体パッケージ 301 (半導体装置 1, 151, 161, 171, 181, 191, 201, 211, 241) は、図 43 に示されるように、回路モジュールに組み込まれてもよい。図 43 は、第 1 形態例に係る回路モジュール 311 の一部を示す平面図である。
- [0679] 図 43 を参照して、回路モジュール 311 は、実装基板 312、複数の配線 313、半導体パッケージ 301 (半導体装置 1, 151, 161, 171, 181, 191, 201, 211, 241)、および、導電性接合材 314 を含む。
- [0680] 実装基板 312 は、主面 315 を含む。複数の配線 313 は、実装基板 312 の主面 315 に形成されている。半導体パッケージ 301 (半導体装置 1, 151, 161, 171, 181, 191, 201, 211, 241) は、導電性接合材 314 を介して複数の配線 313 に電氣的に接続されるように実装基板 312 に実装されている。導電性接合材 314 は、金属ペーストまたは半田であってもよい。
- [0681] 前述の各実施形態では、半導体装置 1, 151, 161, 171, 181, 191, 201, 211, 241 がパワー MISFET 9 およびコントロール IC 10 を一体的に備えている例について説明した。

- [0682] しかし、パワーMISFET9だけを有する半導体装置1, 151, 161, 171, 181, 191, 201, 211, 241が採用されてもよい。また、パワーMISFET9だけを有する半導体装置1, 151, 161, 171, 181, 191, 201, 211, 241が、前述の半導体パッケージ301に組み込まれてもよい。
- [0683] パワーMISFET9だけを有する半導体パッケージ301（半導体装置1, 151, 161, 171, 181, 191, 201, 211, 241）は、図44に示されるように、回路モジュールに組み込まれてもよい。図44は、第2形態例に係る回路モジュール321の一部を示す平面図である。
- [0684] 図44を参照して、回路モジュール321は、実装基板322、複数の配線323、半導体パッケージ301（半導体装置1, 151, 161, 171, 181, 191, 201, 211, 241）、第1導電性接合材324、コントロールICデバイス325、および、第2導電性接合材326を含む。
- [0685] 実装基板322は、主面327を含む。複数の配線323は、実装基板322の主面327に形成されている。半導体パッケージ301は、実装基板322に実装されている。半導体パッケージ301は、第1導電性接合材324を介して複数の配線323に電氣的に接続されている。第1導電性接合材324は、金属ペースト又は半田であってもよい。
- [0686] コントロールICデバイス325は、コントロールIC10（図2や図3参照）を含む。コントロールICデバイス325は、実装基板322に実装されている。コントロールICデバイス325は、第2導電性接合材326を介して複数の配線323に電氣的に接続されている。コントロールICデバイス325は、さらに、複数の配線323を介して半導体パッケージ301に電氣的に接続されている。
- [0687] 半導体パッケージ301に対するコントロールICデバイス325の電氣的な接続態様は、先出の図2と同様である。コントロールICデバイス325は、半導体パッケージ301（半導体装置1, 151, 161, 171,

181, 191, 201, 211, 241) を外部から制御する。

[0688] このような構造によっても、前述の各実施形態において述べた効果を奏することができる。この形態では、コントロールIC10を含むワンチップのコントロールICデバイス325が実装基板322に実装された例について説明した。

[0689] しかし、コントロールICデバイス325に代えて、コントロールIC10と同様の機能を有する回路網が、実装基板322に実装されていてもよい。コントロールIC10と同様の機能を有する回路網は、複数のディスクリートデバイスや任意の機能を有するICチップを実装基板322に実装することによって構成されてもよい。

[0690] むろん、前述の各実施形態におけるコントロールIC10やコントロールIC10と同様の機能を有する回路網の構成は任意であり、全ての機能回路（すなわち、センサMISFET21、入力回路22、電流・電圧制御回路23、保護回路24、ゲート制御回路25、アクティブクランプ回路26、電流検出回路27、電源逆接続保護回路28および異常検出回路29）を含む必要は必ずしもなく、一部の機能回路は取り除かれてもよい。

[0691] この明細書は、第1～第9実施形態に示された特徴の如何なる組み合わせ形態をも制限しない。第1～第9実施形態は、それらの間で任意の態様および任意の形態において組み合わせられることができる。つまり、第1～第9実施形態に示された特徴が任意の態様および任意の形態で組み合わせられた形態が採用されてもよい。

[0692] その他、特許請求の範囲に記載された事項の範囲内において、種々の設計変更を施すことが可能である。

[0693] 引き続いて、アクティブクランプ動作時にパワーMISFET9の第1Half-ON制御（ないしは第2Half-ON制御）を行うための電氣的構造について、具体例を挙げながら詳細に説明する。

[0694] <第10実施形態>

図45は、本発明の第10実施形態に係る半導体装置（＝半導体装置1が

ハイサイドスイッチである場合（例えば図１～図４を参照）において、アクティブクランプ動作時にパワーＭＩＳＦＥＴの第１Ｈａｌｆ－ＯＮ制御を行うための電氣的構造）を示すブロック回路図である。

[0695] 本実施形態の半導体装置Ｘ１は、ドレイン電極１１（＝電源電極ＶＢＢ）と、ソース電極１２（＝出力電極ＯＵＴ）と、パワーＭＩＳＦＥＴ９と、ゲート制御回路２５と、アクティブクランプ回路２６とを有する。なお、既出の構成要素については、これまでと同一の符号を付している。

[0696] また、本図では、説明を簡単とするために、一部の構成要素のみを抽出して示したが、半導体装置Ｘ１には、基本的に、先出の半導体装置１（図２を参照）と同様の構成要素が含まれていると理解してよい。

[0697] パワーＭＩＳＦＥＴ９は、これまでに種々の実施形態を例示して、その構造を詳細に説明してきたゲート分割素子である。すなわち、パワーＭＩＳＦＥＴ９は、図４６で示すように、並列接続された第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７（＝それぞれ第１トランジスタ及び第２トランジスタに相当）として等価的に表すことができる。

[0698] 別の見方をすると、それぞれ独立して制御される第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７が、単一のゲート分割素子であるパワーＭＩＳＦＥＴ９として、一体的に形成されていると理解することもできる。

[0699] ゲート制御回路２５は、パワーＭＩＳＦＥＴ９のゲート制御（延いては、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのゲート制御）を行う。例えば、ゲート制御回路２５は、イネーブル信号ＥＮがハイレベルとされるイネーブル状態（＝第１動作状態に相当）において、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７をいずれもオンする一方、イネーブル信号ＥＮがローレベルとされるディセーブル状態（＝第２動作状態に相当）において、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７をいずれもオフするように、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのゲート信号Ｇ１及びＧ２を生成する。

[0700] また、ゲート制御回路２５は、アクティブクランプ回路２６から内部ノ-

ド電圧 V_x の入力を受け付けており、イネーブル状態 ($EN = H$) からディセーブル状態 ($EN = L$) への遷移後、アクティブクランプ回路 26 が動作する前 (= 出力電圧 V_{OUT} がクランプされる前) に、第 2 MISFET 57 のゲート・ソース間をショートする機能、つまり、 $G2 = V_{OUT}$ として第 2 MISFET 57 を完全に停止させることにより、パワー MISFET 9 の第 1 Half-ON 制御を実現する機能を備えている。

[0701] アクティブクランプ回路 26 は、第 1 MISFET 56 のドレイン・ゲート間に接続されており、ソース電極 12 の出力電圧 V_{OUT} が負電圧となったときに、第 1 MISFET 56 を強制的にオンさせる (フルオフさせない) ことで、第 1 MISFET 56 及び第 2 MISFET 57 それぞれのドレイン・ソース間電圧 ($= V_B - V_{OUT}$) を所定のクランプ電圧 V_{clip} 以下に制限する。なお、第 2 MISFET 57 は、アクティブクランプ動作に寄与しないので、そのドレイン・ゲート間には、アクティブクランプ回路 26 が接続されていない。

[0702] 図 47 は、図 45 におけるゲート制御回路 25 及びアクティブクランプ回路 26 の一構成例を示す回路図である。

[0703] まず、アクティブクランプ回路 26 の構成について具体的に説明する。本構成例のアクティブクランプ回路 26 は、 m 段 (例えば $m = 8$) のツェナダイオード列 261 と、 n 段 (例えば $n = 3$) のダイオード列 262 と、 N チャンネル型の MISFET 263 (= 第 3 トランジスタに相当) と、を含む。

[0704] ツェナダイオード列 261 のカソードと MISFET 263 のドレインは、第 1 MISFET 56 及び第 2 MISFET 57 それぞれのドレインと共に、ドレイン電極 11 (= 電源電圧 V_B が印加される電源電極 V_{BB} に相当) に接続されている。ツェナダイオード列 261 のアノードは、ダイオード列 262 のアノードに接続されている。ダイオード列 262 のカソードは、MISFET 263 のゲートに接続されている。MISFET 263 のソースは、第 1 MISFET 56 のゲート (= ゲート信号 $G1$ の印加端) に接続されている。MISFET 263 のバックゲートは、第 1 MISFET 56

及び第2 M I S F E T 5 7それぞれのソースと共に、ソース電極1 2（＝出力電圧V O U Tが印加される出力電極O U Tに相当）に接続されている。なお、ソース電極1 2には、先出の図4 5及び図4 6で示したように、コイルやソレノイドなどの誘導性負荷Lが接続され得る。

[0705] 次に、ゲート制御回路2 5の構成について具体的に説明する。本構成例のゲート制御回路2 5は、電流源2 5 1～2 5 4と、コントローラ2 5 5と、Nチャネル型のM I S F E T 2 5 6（＝第4トランジスタに相当）と、を含む。

[0706] 電流源2 5 1は、昇圧電圧V G（＝チャージポンプ出力）の印加端と第1 M I S F E T 5 6のゲートとの間に接続されており、ソース電流I H 1を生成する。

[0707] 電流源2 5 2は、昇圧電圧V Gの印加端と第2 M I S F E T 5 7のゲートとの間に接続されており、ソース電流I H 2を生成する。

[0708] 電流源2 5 3は、第1 M I S F E T 5 6のゲートと出力電圧V O U Tの印加端（＝ソース電極1 2）との間に接続されており、シンク電流I L 1を生成する。

[0709] 電流源2 5 4は、第2 M I S F E T 5 7のゲートと出力電圧V O U Tの印加端との間に接続されており、シンク電流I L 2を生成する。

[0710] コントローラ2 5 5は、イネーブル状態（E N＝H）において、電流源2 5 1及び2 5 2をオンし、電流源2 5 3及び2 5 4をオフする。このような電流制御により、第1 M I S F E T 5 6及び第2 M I S F E T 5 7それぞれのゲートには、ソース電流I H 1及びI H 2が流し込まれる。

[0711] 一方、コントローラ2 5 5は、ディセーブル状態（E N＝L）において、電流源2 5 1及び2 5 2をオフし、電流源2 5 3及び2 5 4をオンする。このような電流制御により、第1 M I S F E T 5 6及び第2 M I S F E T 5 7それぞれのゲートから、シンク電流I L 1及びI L 2が引き抜かれる。

[0712] M I S F E T 2 5 6は、第2 M I S F E T 5 7のゲート・ソース間に接続されており、アクティブクランプ回路2 6の内部ノード電圧V xに応じてオ

ン／オフされる。なお、内部ノード電圧 V_x としては、例えば、本図で示したように、M I S F E T 2 6 3 のゲート電圧を入力することが望ましい。ただし、内部ノード電圧 V_x は、これに限定されるものではなく、例えば、ダイオード列2 6 2 を形成する n 段のダイオードのうち、いずれかのアノード電圧を内部ノード電圧 V_x として用いても構わない。

[0713] また、半導体装置X 1 には、上記構成要素のほか、静電破壊保護素子として、ツェナダイオードZ D 1 ～Z D 3 と、ダイオードD 1 及びD 2 と、デプレッションNチャネル型のM I S F E T ・D N 1 が設けられている。それぞれの接続関係について簡単に述べる。

[0714] ツェナダイオードZ D 1 及びZ D 2 それぞれのカソードは、第1 M I S F E T 5 6 及び第2 M I S F E T 5 7 それぞれのゲートに接続されている。ツェナダイオードZ D 1 及びZ D 2 それぞれのアノードは、ダイオードD 1 及びD 2 それぞれのアノードに接続されている。ツェナダイオードZ D 3 のカソードとM I S F E T ・D N 1 のドレインは、M I S F E T 2 6 3 のゲートに接続されている。ダイオードD 1 及びD 2 それぞれのカソード、ツェナダイオードZ D 3 のアノード、並びに、M I S F E T ・D N 1 のソース、ゲート及びバックゲートは、出力電圧V O U T の印加端に接続されている。

[0715] 以下では、第1 M I S F E T 5 6 のゲート・ソース間電圧を V_{gs1} とし、M I S F E T 2 6 3 のゲート・ソース間電圧を V_{gs2} とし、M I S F E T 2 5 6 のゲート・ソース間電圧を V_{gs3} とし、ツェナダイオード列2 6 1 の降伏電圧を mV_Z とし、ダイオード列2 6 2 の順方向降下電圧を nV_F として、アクティブクランプ動作時におけるパワーM I S F E T 9 の第1 H a l f - O N 制御を説明する。

[0716] 図4 8 は、半導体装置X 1 において、アクティブクランプ動作時にパワーM I S F E T 9 の第1 H a l f - O N 制御が行われる様子を示すタイミングチャートであり、上から順に、イネーブル信号E N 、出力電圧V O U T （実線）、ゲート信号G 1 （一点鎖線）及びG 2 （破線）、並びに、出力電流I O U T が描写されている。なお、本図では、ソース電極1 2 （出力電極O U

T) に誘導性負荷Lが接続されているものとする。

[0717] 時刻 t_1 において、イネーブル信号ENがハイレベル (=パワーMISFET 9 をオンするときの論理レベル) に立ち上げられると、ゲート信号G1 及びG2がハイレベル ($\doteq V_G$) に立ち上がり、第1MISFET 56 及び第2MISFET 57 がいずれもオンする。その結果、出力電流IOUTが流れ始めるので、出力電圧VOUTが電源電圧VB近傍まで上昇する。この状態は、パワーMISFET 9 のFull-ON状態に相当する。

[0718] その後、時刻 t_2 において、イネーブル信号ENがローレベル (=パワーMISFET 9 をオフするときの論理レベル) に立ち下げられると、第1MISFET 56 及び第2MISFET 57 をいずれもオフするために、ゲート信号G1 及びG2がローレベル ($\doteq V_{OUT}$) に立ち下がる。

[0719] このとき、誘導性負荷Lは、パワーMISFET 9 のオン期間に蓄えたエネルギーを放出するまで出力電流IOUTを流し続ける。その結果、出力電圧VOUTは、接地電圧GNDよりも低い負電圧まで急低下する。

[0720] ただし、時刻 t_4 において、出力電圧VOUTが電源電圧VBよりも所定値 α ($=mV_Z + nV_F + V_{gs1} + V_{gs2}$) だけ低い下限電圧 $V_B - \alpha$ (例えば $V_B - 50V$) まで低下すると、アクティブクランプ回路26の働きにより、第1MISFET 56 がオンする (フルオフされない) ので、出力電流IOUTが第1MISFET 56 を介して放電される。従って、出力電圧VOUTは、下限電圧 $V_B - \alpha$ 以上に制限される。

[0721] つまり、アクティブクランプ回路26は、電源電圧VB基準で出力電圧VOUTを制限することにより、パワーMISFET 9 のドレイン・ソース間電圧 V_{ds} ($=V_B - V_{OUT}$) を所定のクランプ電圧 V_{clip} ($=\alpha$) 以下に制限する。このようなアクティブクランプ動作は、誘導性負荷Lに蓄えられたエネルギーが放出し尽くされて出力電流IOUTが流れなくなる時刻 t_5 まで継続される。

[0722] 一方、第2MISFET 57 に着目すると、イネーブル状態 ($EN=H$) からディセーブル状態 ($EN=L$) への遷移後、時刻 t_3 において、出力電

圧 V_{OUT} が電源電圧 V_B よりも所定値 β ($=mV_Z+nV_F+V_{gs3}$) だけ低いチャネル切替電圧 $V_B-\beta$ ($>V_B-\alpha$) まで低下すると、内部ノード電圧 V_x がゲート・ソース間電圧 V_{gs3} よりも高くなるので、 $MISFET_{256}$ がオンして、第2 $MISFET_{57}$ のゲート・ソース間がショート ($G2=V_{OUT}$) される。

[0723] すなわち、第2 $MISFET_{57}$ は、 $MISFET_{256}$ の働きにより、アクティブクランプ回路26が動作する前（時刻 t_4 以前）に完全に停止される。この状態は、パワー $MISFET_9$ の第1Half-ON状態に相当する。

[0724] このように、Full-ON状態から第1Half-ON状態への切替を行うことにより、アクティブクランプ動作時（＝時刻 $t_4 \sim t_5$ ）のチャネル利用率 R_U が、零を超えて通常動作時（＝時刻 $t_1 \sim t_2$ ）のチャネル利用率 R_U 未満となる。

[0725] 従って、通常動作時には、特性チャネル割合 R_C が相対的に増加する（例えば $R_C=50\%$ ）。これにより、電流経路が相対的に増加するから、面積抵抗率 $R_{on} \cdot A$ （オン抵抗）の低減を図ることができる。一方、アクティブクランプ動作時には、特性チャネル割合 R_C が相対的に減少する（例えば $R_C=25\%$ ）。これにより、誘導性負荷 L の逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量 E_{ac} の向上を図ることができる。

[0726] よって、図13に示されるトレードオフの関係から切り離して、優れた面積抵抗率 $R_{on} \cdot A$ および優れたアクティブクランプ耐量 E_{ac} の両立を図ることができる半導体装置1を提供することが可能となる。特に、LPD分野において、アクティブクランプ耐量 E_{ac} は、より大きな誘導性負荷 L を駆動するために重要な特性の一つとなる。

[0727] なお、図45～図48では、アクティブクランプ動作時において、第1Half-ON制御が適用された例について説明した。しかし、アクティブクランプ動作時において、第2Half-ON制御が適用されてもよい。その

場合には、第1 M I S F E T 5 6 と第2 M I S F E T 5 7 を相互に入れ替えて理解すればよい。

[0728] <第1 1 実施形態>

図4 9 は、本発明の第1 1 実施形態に係る半導体装置（＝半導体装置1 がローサイドスイッチである場合（例えば図3 7 ～図4 0 を参照）において、アクティブクランプ動作時にパワーM I S F E T の第1 H a l f - O N 制御を行うための電氣的構造）を示すブロック回路図である。

[0729] 本実施形態の半導体装置X 2 は、ドレイン電極1 1 （＝出力電極O U T ）と、ソース電極1 2 （＝接地電極G N D ）と、パワーM I S F E T 9 と、ゲート制御回路2 5 と、アクティブクランプ回路2 6 と、を有する。なお、既出の構成要素については、これまでと同一の符号を付している。

[0730] また、本図では、説明を簡単とするために、一部の構成要素のみを抽出して示したが、半導体装置X 2 には、基本的に、先出の半導体装置2 4 1 （図3 8 ）と同様の構成要素が含まれていると理解してよい。

[0731] パワーM I S F E T 9 は、これまでに種々の実施形態を例示して、その構造を詳細に説明してきたゲート分割素子である。すなわち、パワーM I S F E T 9 は、図5 0 で示すように、並列接続された第1 M I S F E T 5 6 及び第2 M I S F E T 5 7 （＝それぞれ第1 トランジスタ及び第2 トランジスタに相当）として等価的に表すことができる。

[0732] 別の見方をすると、それぞれ独立して制御される第1 M I S F E T 5 6 及び第2 M I S F E T 5 7 が、単一のゲート分割素子であるパワーM I S F E T 9 として、一体的に形成されていると理解することもできる。

[0733] ゲート制御回路2 5 は、パワーM I S F E T 9 のゲート制御（延いては、第1 M I S F E T 5 6 及び第2 M I S F E T 5 7 それぞれのゲート制御）を行う。例えば、ゲート制御回路2 5 は、入力電極1 3 に入力される外部制御信号I N がハイレベルとされるイネーブル状態（＝第1 動作状態に相当）において、第1 M I S F E T 5 6 及び第2 M I S F E T 5 7 をいずれもオンする一方、外部制御信号I N がローレベルとされるディセーブル状態（＝第2

動作状態に相当)において、第1MISFET56及び第2MISFET57をいずれもオフするように、第1MISFET56及び第2MISFET57それぞれのゲート信号G1及びG2を生成する。

[0734] なお、ローサイドスイッチとして用いられる半導体装置X2において、外部制御信号INは、パワーMISFET9のオン／オフ制御信号として機能するだけでなく、半導体装置X2の電源電圧としても用いられている。

[0735] また、ゲート制御回路25は、アクティブクランプ回路26から内部ノード電圧Vyの入力を受け付けており、イネーブル状態(IN=H)からディセーブル状態(IN=L)への遷移後、アクティブクランプ回路26が動作する前(=出力電圧VOUTがクランプされる前)に、第2MISFET57のゲート・ソース間をショートする機能、つまり、G2=GNDとして第2MISFET57を完全に停止させることにより、パワーMISFET9の第1Half-ON制御を実現する機能を備えている。

[0736] アクティブクランプ回路26は、第1MISFET56のドレイン・ゲート間に接続されており、ドレイン電極11の出力電圧VOUTが過電圧となったときに、第1MISFET56を強制的にオンさせる(フルオフさせない)ことで、第1MISFET56及び第2MISFET57それぞれのドレイン・ソース間電圧(=VOUT-GND)を所定のクランプ電圧Vclip以下に制限する。なお、第2MISFET57は、アクティブクランプ動作に寄与しないので、そのドレイン・ゲート間には、アクティブクランプ回路26が接続されていない。

[0737] 図51は、図49におけるゲート制御回路25及びアクティブクランプ回路26の一構成例を示す回路図である。

[0738] まず、アクティブクランプ回路26の構成について具体的に説明する。本構成例のアクティブクランプ回路26は、m段(例えばm=8)のツェナダイオード列264と、n段(例えばn=3)のダイオード列265と、を含む。

[0739] ツェナダイオード列264のカソードは、第1MISFET56及び第2

M I S F E T 5 7それぞれのドレインと共に、ドレイン電極 1 1 (=出力電圧 V_{OUT} が印加される出力電極 $O U T$ に相当) に接続されている。なお、ドレイン電極 1 1 には、先出の図 4 9 及び図 5 0 で示したように、コイルやソレノイドなどの誘導性負荷 L が接続され得る。ツェナダイオード列 2 6 4 のアノードは、ダイオード列 2 6 5 のアノードに接続されている。ダイオード列 2 6 5 のカソードは、第 1 M I S F E T 5 6 のゲート (=ゲート信号 G_1 の印加端) に接続されている。

[0740] 次に、ゲート制御回路 2 5 の構成について具体的に説明する。本構成例のゲート制御回路 2 5 は、Pチャネル型MOS電界効果トランジスタ M_1 及び M_2 と、Nチャネル型MOS電界効果トランジスタ M_3 と、抵抗 R_{1H} 及び R_{1L} と、抵抗 R_{2H} 及び R_{2L} と、抵抗 R_3 と、スイッチ $SW_1 \sim SW_3$ と、を含む。

[0741] スイッチ SW_1 は、入力電極 1 3 と抵抗 R_{1H} (=第 1 上側抵抗に相当) の第 1 端との間に接続されており、反転低電圧検出信号 $UVLOB$ (=低電圧検出信号 $UVLO$ の論理レベルを反転させた信号) に応じてオン／オフされる。より具体的に述べると、スイッチ SW_1 は、 $UVLOB = H$ ($UVLO = L$) であるときにオンして、 $UVLOB = L$ ($UVLO = H$) であるときにオフする。

[0742] スイッチ SW_2 は、入力電極 1 3 と抵抗 R_{2H} (=第 2 上側抵抗に相当) の第 1 端との間に接続されており、反転低電圧検出信号 $UVLOB$ に応じてオン／オフされる。より具体的に述べると、スイッチ SW_2 は、 $UVLOB = H$ ($UVLO = L$) であるときにオンして、 $UVLOB = L$ ($UVLO = H$) であるときにオフする。

[0743] スイッチ SW_3 は、アクティブクランプ回路 2 6 における内部ノード電圧 V_y の印加端 (=例えばツェナダイオード列 2 6 4 とダイオード列 2 6 5 との接続ノード) と抵抗 R_3 の第 1 端との間に接続されており、低電圧検出信号 $UVLO$ に応じてオン／オフされる。より具体的に述べると、スイッチ SW_3 は、 $UVLO = H$ ($UVLOB = L$) であるときにオンして、 $UVLO$

=L (UVLOB=H) であるときにオフする。なお、内部ノード電圧 V_y の印加端は、上記に限定されるものではなく、例えば、ダイオード列 265 を形成する n 段のダイオードのうち、いずれかのアノード電圧を内部ノード電圧 V_y として用いても構わない。

[0744] ところで、低電圧検出信号 UVLO 及び反転低電圧検出信号 UVLOB は、外部制御信号 IN (=半導体装置 X2 の電源電圧に相当) と低電圧検出閾値 V_{uvlo} との比較結果に応じて、それぞれの論理レベルが切り替わる。より具体的に述べると、 $IN < V_{uvlo}$ であるときには、 $UVLO = H$ 、 $UVLOB = L$ (UVLO 検出時の論理レベル) となり、スイッチ SW1 及び SW2 がオフしてスイッチ SW3 がオンする。逆に、 $IN > V_{uvlo}$ であるときには、 $UVLO = L$ 、 $UVLOB = H$ (UVLO 解除時の論理レベル) となり、スイッチ SW1 及び SW2 がオンしてスイッチ SW3 がオフする。このように、スイッチ SW1 及び SW2 とスイッチ SW3 とは、相補的にオン／オフされる。

[0745] 抵抗 R1H の第 2 端とトランジスタ M1 のソース及びバックゲートは、いずれも第 1 MISFET 56 のゲートに接続されている。トランジスタ M1 のドレインは、抵抗 R1L (=第 1 下側抵抗に相当) の第 1 端に接続されている。抵抗 R1L の第 2 端は、ソース電極 12 (=接地電圧 GND が印加される接地電極 GND に相当) に接続されている。トランジスタ M1 のゲートは、入力電極 13 に接続されている。

[0746] 抵抗 R2H の第 2 端とトランジスタ M2 のソース及びバックゲートは、いずれも第 2 MISFET 57 のゲートに接続されている。トランジスタ M2 のドレインは、抵抗 R2L (=第 2 下側抵抗に相当) の第 1 端に接続されている。抵抗 R2L の第 2 端は、ソース電極 12 (=接地電極 GND に相当) に接続されている。トランジスタ M2 のゲートは、入力電極 13 に接続されている。

[0747] トランジスタ M3 のドレインは、第 2 MISFET 57 のゲートに接続されている。トランジスタ M3 のゲートは、抵抗 R3 の第 1 端に接続されてい

る。トランジスタM3のソース及びバックゲートと抵抗R3の第2端は、ソース電極12に接続されている。

[0748] 以下では、第1MISFET56のゲート・ソース間電圧を V_{gs1} とし、トランジスタM3のオンスレッシュヨルド電圧を V_{th} とし、ツェナダイオード列264の降伏電圧を mV_Z とし、ダイオード列265の順方向降下電圧を nV_F として、アクティブクランプ動作時におけるパワーMISFET9の第1Half-ON制御を説明する。

[0749] 図52は、半導体装置X2において、アクティブクランプ動作時にパワーMISFET9の第1Half-ON制御が行われる様子を示すタイミングチャートであり、上から順に、外部制御信号IN、低電圧検出信号UVLO及び反転低電圧検出信号UVLOB、ゲート信号G1（実線）及びG2（破線）、出力電圧VOUT、並びに、出力電流IOUTが描写されている。なお、本図では、ドレイン電極11（出力電極OUT）に誘導性負荷Lが接続されているものとする。

[0750] 時刻 t_{11} では、外部制御信号INがローレベル（＝パワーMISFET9をオフするときの論理レベル）からハイレベル（＝パワーMISFET9をオンするときの論理レベル）に遷移し始める。ただし、この時点では、 $IN < V_{uvlo}$ であるため、 $UVLO = H$ 、 $UVLOB = L$ となっている。従って、ゲート制御回路25では、スイッチSW1及びSW2がオフして、スイッチSW3がオンした状態となり、ゲート信号G1及びG2がローレベルに維持されるので、第1MISFET56及び第2MISFET57がいずれもオフしたままとなる。その結果、出力電流IOUTは流れず、 $VOUT \doteq VB$ となる。

[0751] 時刻 t_{12} において、 $IN > V_{uvlo}$ になると、 $UVLO = L$ 、 $UVLOB = H$ となる。従って、ゲート制御回路25では、スイッチSW1及びSW2がオンして、スイッチSW3がオフした状態となる。このとき、第1MISFET56及び第2MISFET57それぞれのゲートと入力電極13との間が導通するので、ゲート信号G1及びG2がハイレベルに立ち上がり

、第1 MISFET 56 及び第2 MISFET 57 がいずれもオンする。その結果、出力電流 IOUT が流れ始めるので、出力電圧 VOUT が接地電圧 GND 近傍まで低下する。この状態は、パワー MISFET 9 の Full-ON 状態に相当する。なお、ゲート信号 G1 及び G2 それぞれの立ち上がり速度（＝スイッチオン時のスルーレート）は、抵抗 R1H 及び R2H それぞれの抵抗値に応じて調整することができる。

[0752] また、スイッチ SW3 がオフしているので、トランジスタ M3 のゲートにアクティブクランプ回路 26 のノード電圧 Vy が印加されることはなく、トランジスタ M3 が意図せずにオンすることもない。

[0753] その後、時刻 t13 では、外部制御信号 IN がハイレベルからローレベルに遷移し始める。その結果、トランジスタ M1 及び M2 がオンして、第1 MISFET 56 及び第2 MISFET 57 それぞれのゲートとソース電極 12（＝接地電極 GND）との間が導通するので、ゲート信号 G1 及び G2 が低下し、第1 MISFET 56 及び第2 MISFET 57 がオンからオフに転じる。なお、ゲート信号 G1 及び G2 それぞれの立ち下がり速度（＝スイッチオフ時のスルーレート）は、抵抗 R1L 及び R2L それぞれの抵抗値に応じて調整することができる。

[0754] このとき、誘導性負荷 L は、パワー MISFET 9 のオン期間に蓄えたエネルギーを放出するまで出力電流 IOUT を流し続ける。その結果、出力電圧 VOUT は、電源電圧 VB よりも高い電圧まで急上昇する。

[0755] ただし、時刻 t15 において、出力電圧 VOUT がクランプ電圧 Vclp（＝Vgs1 + nVF + mVZ）まで上昇すると、アクティブクランプ回路 26 の働きにより、第1 MISFET 56 がオンする（フルオフされない）ので、出力電流 IOUT が第1 MISFET 56 を介して放電される。従って、出力電圧 VOUT は、クランプ電圧 Vclp 以下に制限される。このようなアクティブクランプ動作は、誘導性負荷 L に蓄えられたエネルギーが放出し尽くされて出力電流 IOUT が流れなくなる時刻 t16 まで継続される。

[0756] 一方、第2 M I S F E T 5 7 に着目すると、時刻 t_{14} において、 $I_N < V_{uvlo}$ となり、低電圧検出信号 $UVLO$ がローレベルからハイレベルに立ち上がった時点で、スイッチ $SW3$ がオンするので、トランジスタ $M3$ のゲートにアクティブクランプ回路 26 のノード電圧 $V_y (> V_{th})$ が印加される状態となる。従って、トランジスタ $M3$ がオンして、第2 M I S F E T 5 7 のゲート・ソース間がショート ($G2 = VOUT$) される。

[0757] すなわち、第2 M I S F E T 5 7 は、トランジスタ $M3$ の働きにより、アクティブクランプ回路 26 が動作する前（時刻 t_{15} 以前）に完全に停止される。この状態は、パワー M I S F E T 9 の第1 H a l f - O N 状態に相当する。

[0758] このように、F u l l - O N 状態から第1 H a l f - O N 状態への切替を行うことにより、アクティブクランプ動作時（＝時刻 $t_{15} \sim t_{16}$ ）のチャネル利用率 R_U が、零を超えて通常動作時（＝時刻 $t_{11} \sim t_{13}$ ）のチャネル利用率 R_U 未満となる。

[0759] 従って、通常動作時には、特性チャネル割合 R_C が相対的に増加する（例えば $R_C = 50\%$ ）。これにより、電流経路が相対的に増加するから、面積抵抗率 $R_{on} \cdot A$ （オン抵抗）の低減を図ることができる。一方、アクティブクランプ動作時には、特性チャネル割合 R_C が相対的に減少する（例えば $R_C = 25\%$ ）。これにより、誘導性負荷 L の逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量 E_{ac} の向上を図ることができる。

[0760] よって、図 13 に示されるトレードオフの関係から切り離して、優れた面積抵抗率 $R_{on} \cdot A$ および優れたアクティブクランプ耐量 E_{ac} の両立を図ることができる半導体装置 1 を提供することが可能となる。特に、I P D 分野において、アクティブクランプ耐量 E_{ac} は、より大きな誘導性負荷 L を駆動するために重要な特性の一つとなる。

[0761] なお、図 49～図 52 では、アクティブクランプ動作時において、第1 H a l f - O N 制御が適用された例について説明した。しかし、アクティブク

ランプ動作時において、第2 Half-ON制御が適用されてもよい。その場合には、第1 MISFET 56と第2 MISFET 57を相互に入れ替えて理解すればよい。

[0762] <容量性負荷接続時の考察>

図53は、容量性負荷接続時の起動挙動を示す図であり、上から順に、外部制御信号IN、出力電圧VOUT、及び、出力電流IOUTが描写されている。

[0763] 半導体装置1のソース電極12（出力電極OUT）に容量性負荷が接続されている場合には、半導体装置1の起動時（＝パワーMISFET 9のオン遷移時）にラッシュ電流が流れる（時刻 t_{21} ～ t_{22} 、及び、時刻 t_{23} ～ t_{24} を参照）。そのため、パワーMISFET 9が瞬時的に発熱する。

[0764] なお、半導体装置1は、先出の過熱保護回路36を有する。過熱保護回路36は、パワーMISFET 9の温度 T_j が所定の上限値に達したとき、若しくは、パワーMISFET 9と他の回路ブロック（発熱を生じにくいロジック回路など）との温度差 ΔT_j が所定の上限値に達したときに、パワーMISFET 9を強制的にオフさせる。

[0765] 特に、半導体装置1の起動時には、上記のラッシュ電流に起因するパワーMISFET 9の瞬時的な発熱により、後者の過熱保護（ ΔT_j 保護）が掛かりやすい。そのため、起動途中でパワーMISFET 9が強制的にオフされてしまい、半導体装置1の起動時間が延びるおそれがある（時刻 t_{22} ～ t_{23} 、及び、時刻 t_{24} ～ t_{25} を参照）。

[0766] 図54は、容量性負荷接続時の消費電力を示す図であり、上から順に、出力電圧VOUT及び消費電力Wが描写されている。

[0767] パワーMISFET 9の消費電力Wは、 $I_{OUT} \times R_{ON}^2$ （ただし R_{ON} はパワーMISFET 9のオン抵抗）で表される。従って、パワーMISFET 9のオン抵抗 R_{ON} がフルオン状態よりも高くなる期間（＝出力電圧VOUTの立ち上がり期間（時刻 t_{31} ～ t_{33} ）、及び、出力電圧VOUTの立ち下がり期間（時刻 t_{34} ～ t_{36} ））には、パワーMISFET 9の

消費電力 W （延いてはパワーM I S F E T 9の発熱量）が大きくなるので、
先述の過熱保護（特に ΔT_j 保護）が掛かり易くなる。

[0768] 以下では、上記の考察に鑑み、パワーM I S F E T 9の発熱（特にオン遷移時の発熱）を抑制して半導体装置1の起動時間を短縮することのできる新規な実施形態を提案する。

[0769] <第12実施形態>

図55は、半導体装置の第12実施形態（＝3モード制御を行うための電氣的構造）を示す図である。本実施形態の半導体装置X3は、ドレイン電極11（＝電源電極VBB）と、ソース電極12（＝出力電極OUT）と、パワーM I S F E T 9と、ゲート制御回路25と、アクティブクランプ回路26と、出力電圧監視回路270と、を有する。

[0770] 本図で示したように、ソース電極12には、抵抗性負荷R、容量性負荷C、及び、誘導性負荷Lがどれでも接続され得る。

[0771] なお、既出の構成要素については、これまでと同一の符号を付している。
また、本図では、説明を簡単とするために、一部の構成要素のみを抽出して示したが、半導体装置X3には、基本的に、先出の半導体装置1（図2を参照）と同様の構成要素が含まれていると理解してよい。

[0772] パワーM I S F E T 9は、これまでに種々の実施形態を例示して、その構造を詳細に説明してきたゲート分割トランジスタである。ただし、パワーM I S F E T 9のゲート本数は、後述の3モード制御を実現するために、これまでの2本から3本（G11～G13）に増設されている。すなわち、パワーM I S F E T 9は、ゲート信号G11が入力される第1ゲートと、ゲート信号G12が入力される第2ゲートと、ゲート信号G13が入力される第3ゲートと、を有する。そして、パワーM I S F E T 9のオン抵抗 R_{ON} は、複数のゲート信号G11～G13の個別制御により3通りに変化する（詳細は後述）。

[0773] なお、パワーM I S F E T 9は、本図中の括弧内で示したように、並列接続された3つのM I S F E Tとして等価的に表すことができる。別の見方を

すると、それぞれ独立して制御される3つのM I S F E Tが、単一のゲート分割素子であるパワーM I S F E T 9として、一体的に形成されていると理解することもできる。

[0774] ゲート制御回路25は、パワーM I S F E T 9のゲート制御（＝ゲート信号G 1 1～G 1 3それぞれの駆動制御）を行う。なお、ゲート制御回路25は、基本的に、イネーブル信号E Nがハイレベルであるときにゲート信号G 1 1～G 1 3をいずれもハイレベルとする一方、イネーブル信号E Nがローレベルであるときにゲート信号G 1 1～G 1 3をいずれもローレベルとする。

[0775] また、ゲート制御回路25は、アクティブクランプ回路26の内部ノード電圧 V_x と、出力電圧監視回路270の監視結果（＝駆動信号S c）を受け付けており、パワーM I S F E T 9のオン遷移時及びオフ遷移時において、パワーM I S F E T 9のオン抵抗 R_{ON} を切り替えるように、ゲート信号G 1 1～G 1 3それぞれを個別に制御する機能も備えている。なお、ゲート制御回路25の内部構成及び動作については後ほど詳細に説明する。

[0776] アクティブクランプ回路26は、パワーM I S F E T 9の第3ゲート（＝ゲート信号G 1 3の印加端）とドレインとの間に接続されており、ソース電極12の出力電圧 V_{OUT} が負電圧となったときに、パワーM I S F E T 9を強制的にオンさせる（フルオフさせない）ことで、パワーM I S F E T 9のドレイン・ソース間電圧（＝ $V_B - V_{OUT}$ ）を所定のクランプ電圧 V_{clip} 以下に制限する。なお、パワーM I S F E T 9の第1ゲート及び第2ゲートは、いずれもアクティブクランプ動作に寄与しないので、アクティブクランプ回路26が接続されていない。なお、アクティブクランプ回路26の内部構成は、先述の通りであるため、重複した説明を割愛する。

[0777] 出力電圧監視回路270は、出力電圧 V_{OUT} を監視して、その監視結果（駆動信号S c）をゲート制御回路25に出力する回路ブロックであり、閾値電圧生成部271と、コンパレータ272と、遅延部273と、レベルシフタ274と、を含む。

- [0778] 閾値電圧生成部271は、電源電圧 V_B と定電圧 V_{REG} （例えば $V_{REG} = V_B - 5V$ ）との間でヒステリシスを持つ閾値電圧 V_{th} （ V_{thH}/V_{thL} ）を生成する。より具体的に述べると、閾値電圧生成部271は、後述の比較信号 S_a がローレベルであるときに $V_{th} = V_{thH}$ （例えば $V_{thH} = V_B - 100mV$ ）とし、比較信号 S_a がハイレベルであるときに $V_{th} = V_{thL}$ （例えば $V_{thL} = V_B - 200mV$ ）とする。
- [0779] コンパレータ272は、非反転入力端（+）に入力される出力電圧 V_{OUT} と、反転入力端（-）に入力される閾値電圧 V_{th} とを比較して比較信号 S_a を生成する。比較信号 S_a は、 $V_{OUT} < V_{th}$ であるときにローレベル（ $\equiv V_{REG}$ ）となり、 $V_{OUT} > V_{th}$ であるときにハイレベル（ $\equiv V_B$ ）となる。
- [0780] 遅延部273は、比較信号 S_a の立上りエッジに所定の遅延を与えて遅延信号 S_b を生成する。より具体的に述べると、遅延部273は、比較信号 S_a がハイレベルに立ち上がったから所定の遅延時間 T_d が経過した後に遅延信号 S_b をハイレベル（ $\equiv V_B$ ）に立ち上げる一方、比較信号 S_a がローレベルに立ち下がったときには遅滞なく遅延信号 S_b をローレベル（ $\equiv V_{REG}$ ）に立ち下げる。なお、遅延時間 T_d は、出力電圧 V_{OUT} が閾値電圧 V_{thH} を上回ってから電源電圧 V_B に達するまでの所要時間以上に設定するとよい。また、遅延時間 T_d は、任意に調整することのできる可変値としてもよい。
- [0781] レベルシフタ274は、遅延信号 V_b をレベルシフトして駆動信号 S_c を生成する。なお、駆動信号 S_c は、遅延信号 V_b がハイレベルであるときにハイレベル（ $\geq V_{OUT} + V_{gs}$ 、ただし V_{gs} は後出のMISFET25hのオンスレッシュホールド電圧）となり、遅延信号 V_b がローレベルであるときにローレベル（ $\equiv V_{OUT}$ ）となる。
- [0782] 次に、ゲート制御回路25の構成について具体的に説明する。本構成例のゲート制御回路25は、電流源25a～25f、コントローラ25gと、Nチャンネル型のMISFET25h～25jと、を含む。

- [0783] 電流源 25 a は、昇圧電圧 V_G (=チャージポンプ出力) の印加端とパワー M I S F E T 9 の第 1 ゲート (=ゲート信号 G_{11} の印加端) との間に接続されており、ソース電流 I_{H1} を生成する。
- [0784] 電流源 25 b は、昇圧電圧 V_G の印加端とパワー M I S F E T 9 の第 2 ゲート (=ゲート信号 G_{12} の印加端) との間に接続されており、ソース電流 I_{H2} を生成する。
- [0785] 電流源 25 c は、昇圧電圧 V_G の印加端とパワー M I S F E T 9 の第 3 ゲート (=ゲート信号 G_{13} の印加端) との間に接続されており、ソース電流 I_{H3} を生成する。
- [0786] 電流源 25 d は、パワー M I S F E T 9 の第 1 ゲートと出力電圧 V_{OUT} の印加端 (=ソース電極 12) との間に接続されており、シンク電流 I_{L1} を生成する。
- [0787] 電流源 25 e は、パワー M I S F E T 9 の第 2 ゲートと出力電圧 V_{OUT} の印加端との間に接続されており、シンク電流 I_{L2} を生成する。
- [0788] 電流源 25 f は、パワー M I S F E T 9 の第 3 ゲートと出力電圧 V_{OUT} の印加端との間に接続されており、シンク電流 I_{L3} を生成する。
- [0789] コントローラ 25 g は、イネーブル信号 E_N がハイレベルであるときに電流源 25 a、25 b 及び 25 c をオンして、電流源 25 d、25 e 及び 25 f をオフする。このような電流制御により、パワー M I S F E T 9 の第 1 ゲート、第 2 ゲート及び第 3 ゲートには、それぞれ、ソース電流 I_{H1} 、 I_{H2} 及び I_{H3} が流し込まれる。その結果、ゲート信号 G_{11} 、 G_{12} 及び G_{13} がそれぞれハイレベルに立ち上げられる。
- [0790] 一方、コントローラ 25 g は、イネーブル信号 E_N がローレベルであるときに、電流源 25 a、25 b 及び 25 c をオフして、電流源 25 d、25 e 及び 25 f をオンする。このような電流制御により、パワー M I S F E T 9 の第 1 ゲート、第 2 ゲート及び第 3 ゲートから、それぞれ、シンク電流 I_{L1} 、 I_{L2} 及び I_{L3} が引き抜かれる。その結果、ゲート信号 G_{11} 、 G_{12} 及び G_{13} がそれぞれローレベルに立ち下げられる。

- [0791] MISFET 25h (=第1スイッチに相当)は、パワーMISFET 9の第1ゲートとソースとの間に接続されており、ゲートに入力される駆動信号Sc (=出力電圧監視回路270の監視結果)に応じてオン／オフされる。
- [0792] MISFET 25i (=第2スイッチに相当)は、パワーMISFET 9の第1ゲートとソースとの間に接続されており、ゲートに入力されるアクティブクランプ回路26の内部ノード電圧Vxに応じてオン／オフされる。
- [0793] MISFET 25j (=第3スイッチに相当)は、パワーMISFET 9の第2ゲートとソースとの間に接続されており、ゲートに入力されるアクティブクランプ回路26の内部ノード電圧Vxに応じてオン／オフされる。
- [0794] なお、内部ノード電圧Vxとしては、例えば、本図で示したように、MISFET 263のゲート電圧を入力することが望ましい。ただし、内部ノード電圧Vxは、これに限定されるものではなく、例えば、ダイオード列262を形成するn段のダイオードのうち、いずれかのアノード電圧を内部ノード電圧Vxとして用いても構わない。
- [0795] 図56は、3モード制御の一例を示す図であり、上から順に、イネーブル信号EN、出力電圧VOUT (実線)、ゲート信号G11 (一点鎖線)、G12 (二点鎖線) 及びG13 (破線)、比較信号Sa、遅延信号Sb (延いては駆動信号Sc)、MISFET 25hのオン／オフ状態、並びに、MISFET 25i 及び25j それぞれのオン／オフ状態が描写されている。なお、本図では、ソース電極12 (出力電極OUT) に少なくとも誘導性負荷L (例えばハーネスのインダクタンス成分) が接続されているものとする。
- [0796] 時刻t41において、イネーブル信号ENがハイレベルに立ち上げられると、ゲート信号G11、G12 及びG13のチャージが開始されるので、出力電圧VOUTが上昇し始める。ただし、この時点では、 $VOUT < V_{th}$ であるので、 $Sa = L$ であり、延いては、 $Sb (= Sc) = L$ である。従って、MISFET 25hはオフしている。また、MISFET 25i 及び25j もオフである。その結果、パワーMISFET 9の第1ゲート及び第

2ゲートとソースとの間がいずれも開放状態となる。このとき、パワーMISFET 9の特性チャネル割合RCは、最大値（例えば75%）となる。

[0797] 時刻 t_{42} において、 $V_{OUT} > V_{thH}$ になると、比較信号Saがハイレベルに立ち上がる。ただし、遅延信号Sb（延いては駆動信号Sc）は、遅延時間Tdが経過するまでローレベルに維持されるので、MISFET 25hはオフのままとなる。また、MISFET 25i及び25jもオフのままである。従って、パワーMISFET 9の特性チャネル割合RCは、最大値（例えば75%）に維持される。

[0798] 時刻 t_{43} において、比較信号Saの立上り時点から遅延時間Tdが経過すると、遅延信号Sb（延いては駆動信号Sc）がハイレベルに立ち上がる。従って、MISFET 25hがオンするので、パワーMISFET 9の第1ゲートとソースとの間が短絡状態（ $G11 = V_{OUT}$ ）となる。その結果、パワーMISFET 9の特性チャネル割合RCは、最大値から定常値（例えば $RC = 50\%$ ）に低下する。

[0799] その後、時刻 t_{44} において、イネーブル信号ENがローレベルに立ち下げられると、ゲート信号G11、G12及びG13のディスチャージが開始されるので、出力電圧 V_{OUT} が電源電圧VBから低下し始める。

[0800] 時刻 t_{45} において、 $V_{OUT} < V_{thL}$ になると、比較信号Saがローレベルに立ち下がり、遅延信号Sb（延いては駆動信号Sc）も遅滞なくローレベルに立ち下がる。従って、MISFET 25hがオフするので、パワーMISFET 9の第1ゲートとソースとの間が再び開放状態となる。その結果、パワーMISFET 9の特性チャネル割合は、定常値から最大値（例えば $RC = 75\%$ ）に上昇する。

[0801] なお、パワーMISFET 9がオフしても、誘導性負荷Lは、パワーMISFET 9のオン期間に蓄えたエネルギーを放出するまで出力電流IOUTを流し続ける。その結果、出力電圧 V_{OUT} は、接地電圧GNDよりも低い負電圧まで急低下する。

[0802] ただし、時刻 t_{47} において、出力電圧 V_{OUT} が下限電圧 $V_B - \alpha$ （例

例えば $V_B - 50V$)まで低下すると、アクティブクランプ回路26の働きにより、パワーMISFET9がオンする（フルオフされない）ので、出力電流 I_{OUT} がパワーMISFET9を介して放電される。従って、出力電圧 V_{OUT} は、下限電圧 $V_B - \alpha$ 以上に制限される。

[0803] つまり、アクティブクランプ回路26は、電源電圧 V_B 基準で出力電圧 V_{OUT} を制限することにより、パワーMISFET9のドレイン・ソース間電圧 V_{ds} ($=V_B - V_{OUT}$)を所定のクランプ電圧 V_{clip} ($=\alpha$)以下に制限する。このようなアクティブクランプ動作は、誘導性負荷 L に蓄えられたエネルギーが放出し尽くされて出力電流 I_{OUT} が流れなくなる時刻 t_{48} まで継続される。

[0804] 一方、ゲート信号 G_{11} 及び G_{12} に着目すると、イネーブル状態 ($EN = H$) からディセーブル状態 ($EN = L$) への遷移後、時刻 t_{46} において、出力電圧 V_{OUT} がチャネル切替電圧 $V_B - \beta$ ($>V_B - \alpha$)まで低下すると、内部ノード電圧 V_x がMISFET25i及び25jそれぞれのオンスレッシュOLD電圧よりも高くなる。従って、MISFET25i及び25jがいずれもオンするので、パワーMISFET9の第1ゲート及び第2ゲートとソースとの間がいずれも短絡状態 ($G_{11} = G_{12} = V_{OUT}$)となる。その結果、パワーMISFET9の特性チャネル割合は、定常値から最小値（例えば $RC = 25\%$ ）に低下する。

[0805] 上記一連の動作をまとめると、次のようになる。まず、パワーMISFET9のオン遷移直後における第1期間 T_{11} ($=$ 時刻 $t_{41} \sim t_{43}$)では、ゲート制御回路25のMISFET25h $\sim$ 25jがいずれもオフするので、パワーMISFET9の特性チャネル割合が最大値（例えば $RC = 75\%$ ）に設定される。

[0806] すなわち、半導体装置X3の起動時には、パワーMISFET9のオン抵抗 R_{ON} が定常値よりも引き下げられた状態となる。従って、例えば、起動時に過大なラッシュ電流が流れ得る状況（容量性負荷接続時）でも、パワーMISFET9の消費電力 W （図54の時刻 $t_{31} \sim t_{33}$ を参照）を抑制

することができるので、過熱保護（特に ΔT_j 保護）が掛かり難くなる。その結果、半導体装置X3の起動時間を短縮することが可能となる。

[0807] 次に、パワーMISFET9のオン遷移完了後における第2期間T12（＝時刻 t_{43} ～ t_{45} ）では、ゲート制御回路25のMISFET25hがオンするので、パワーMISFET9の特性チャネル割合RCが定常値（例えば $RC=50\%$ ）に設定される。

[0808] すなわち、半導体装置X3の起動完了後には、パワーMISFET9のオン抵抗RONが定常値に戻された状態となる。例えば、起動直後のラッシュ電流（例えば数十A）と起動完了後の定常電流（数A）との差が大きい場合には、消費電力Wの低減よりも過電流の防止を優先し、パワーMISFET9のオン抵抗RONを引き下げたままとせずに定常値に戻しておくことが望ましい。

[0809] 次に、パワーMISFET9のオフ遷移後における第3期間T13（＝時刻 t_{45} ～ t_{46} ）では、ゲート制御回路25のMISFET25hが再びオフするので、パワーMISFET9の特性チャネル割合が最大値（例えば $RC=75\%$ ）に設定される。

[0810] すなわち、半導体装置X3の停止時には、半導体装置X3の起動時と同じく、パワーMISFET9のオン抵抗RONが定常値よりも引き下げられた状態となる。従って、パワーMISFET9の消費電力W（図54の時刻 t_{34} ～ t_{36} を参照）を抑制することができるので、半導体装置X3の安全性を高めることが可能となる。

[0811] 次に、アクティブクランプ動作時における第4期間T14（＝ t_{46} ～ t_{48} ）では、ゲート制御回路25のMISFET25i及び25jがいずれもオンするので、パワーMISFET9の特性チャネル割合が最小値（例えば $RC=25\%$ ）に設定される。

[0812] すなわち、半導体装置X3のアクティブクランプ動作時には、パワーMISFET9のオン抵抗RONが定常値よりも引き上げられた状態となる。従って、誘導性負荷Lの逆起電力に起因する急激な温度上昇を抑制することが

できるので、アクティブクランプ耐量 E_{ac} の向上を図ることが可能となる。

[0813] なお、上記で説明した3モード制御（例えば $RC = 25\%$ 、 50% 、 75% ）は、ハイサイドスイッチ IC に限らず、ローサイドスイッチ IC にも適用することが可能である。

[0814] <過電流保護回路>

図57は、過電流保護回路34の一構成例を示す図である。本構成例の過電流保護回路34は、パワーMISFET9に流れる出力電流 I_{OUT} を検出して所定の上限值 I_{ocp} 以下に制限するように過電流保護信号 S_{34} を生成する回路ブロックであり、Nチャネル型のMISFET341及び342と、抵抗343及び344と、電流源345及び346と、を含む。

[0815] 電流源345及び346それぞれの第1端は、いずれも昇圧電圧 V_G の印加端に接続されている。電流源345の第2端は、MISFET341のドレインに接続されている。電流源346の第2端は、MISFET342のドレインに接続されている。なお、MISFET342のドレインは、過電流保護信号 S_{34} の出力端としてゲート制御回路25にも接続されている。MISFET341及び342それぞれのゲートは、いずれもMISFET341のドレインに接続されている。

[0816] MISFET341のソースは、抵抗343（抵抗値： R_{ref} ）の第1端に接続されている。MISFET342のソースは、センサMISFET21のソース（＝出力電流 I_{OUT} に応じたセンス電流 I_s （ただし $I_s : I_{OUT} = 1 : \alpha$ ）の出力端）と共に、抵抗344（抵抗値： R_s ）の第1端に接続されている。センサMISFET21のドレインは、ドレイン電極11に接続されている。センサMISFET21のゲートは、パワーMISFET9の第3ゲート（＝MISFET25h～25jが接続されていない常時駆動ゲート）に接続しておくといよい。抵抗343及び344それぞれの第2端は、出力電圧 V_{OUT} の印加端に接続されている。

[0817] なお、上記構成から成る過電流保護回路34において、MISFET34

1のソースには、基準電圧 V_{ref} ($=I_{ref} \times R_{ref} + V_{OUT}$) が生成される。一方、MISFET342のソースには、センス電圧 V_s ($= (I_{ref} + I_s) \times R_s + V_{OUT}$) が生成される。従って、過電流保護信号S34は、センス電圧 V_s が基準電圧 V_{ref} よりも低いときにローレベル (=異常未検出時の論理レベル) となり、センス電圧 V_s が基準電圧 V_{ref} よりも高いときにハイレベル (=異常検出時の論理レベル) となる。

[0818] ここで、パワーMISFET9のオン抵抗 R_{ON} が可変値であって、センサMISFET21のオン抵抗 R_{ON2} が固定値である場合、オン抵抗値 R_{ON} の切替制御に応じて、センス電流 I_s と出力電流 I_{OUT} との電流比 α (>0) が変化する。その結果、出力電流 I_{OUT} の上限値 I_{ocp} がオン抵抗 R_{ON} に応じて自動的に切り替わることになる。

[0819] 例えば、半導体装置X3の起動時において、オン抵抗 R_{ON} が定常値よりも引き下げられている場合には、センス電流 I_s と出力電流 I_{OUT} との電流比 α が大きくなるので、出力電流 I_{OUT} の上限値 I_{ocp} が高くなる。従って、過渡的なラッシュ電流に対して過電流保護が掛かり難くなるので、半導体装置X3を円滑に起動することができる。

[0820] 一方、半導体装置X3の起動完了後において、オン抵抗 R_{ON} が定常値に戻されている場合には、上記の電流比 α が小さくなるので、出力電流 I_{OUT} の上限値 I_{ocp} が低くなる。従って、定常時における半導体装置X3の安全性を高めることが可能となる。

符号の説明

- [0821]
- | | |
|-----|-----------|
| 1 | 半導体装置 |
| 2 | 半導体層 |
| 3 | 半導体層の第1主面 |
| 9 | パワーMISFET |
| 10 | コントロールIC |
| 17 | ゲート制御配線 |
| 17A | 第1ゲート制御配線 |

- 17B 第2ゲート制御配線
- 17C 第3ゲート制御配線
- 25 ゲート制御回路
- 251～254、25a～25f 電流源
- 255、25g コントローラ
- 256、25h～25j MISFET
- 26 アクティブクランプ回路
- 261、264 ツェナダイオード
- 262、265 ダイオード
- 263 MISFET
- 270 出力電圧監視回路
- 271 閾値電圧生成部
- 272 コンパレータ
- 273 遅延部
- 274 レベルシフタ
- 34 過電流保護回路
- 341、342 MISFET
- 343、344 抵抗
- 345、346 電流源
- 56 第1MISFET
- 57 第2MISFET
- 58 第1FET構造
- 60 第1トレンチゲート構造
- 68 第2FET構造
- 70 第2トレンチゲート構造
- 81 第1ゲートトレンチ
- 82 第1絶縁層
- 83 第1電極

- 8 6 第 1 底側電極
- 8 7 第 1 開口側電極
- 8 8 第 1 中間絶縁層
- 9 1 第 1 チャネル領域
- 1 0 1 第 2 ゲートトレンチ
- 1 0 2 第 2 絶縁層
- 1 0 3 第 2 電極
- 1 0 6 第 2 底側電極
- 1 0 7 第 2 開口側電極
- 1 0 8 第 2 中間絶縁層
- 1 1 1 第 2 チャネル領域
- 1 5 1 半導体装置
- 1 6 1 半導体装置
- 1 7 1 半導体装置
- 1 8 1 半導体装置
- 1 9 1 半導体装置
- 2 0 1 半導体装置
- 2 1 1 半導体装置
- 2 1 3 第 1 プレーナゲート構造
- 2 2 3 第 2 プレーナゲート構造
- 2 4 1 半導体装置
- 3 1 1 回路モジュール
- 3 1 2 実装基板
- 3 2 1 回路モジュール
- 3 2 2 実装基板
- 3 2 5 コントロール IC デバイス
- M 1、M 2 Pチャネル型 MOS 電界効果トランジスタ
- M 3 Nチャネル型 MOS 電界効果トランジスタ

R 1 第 1 チャネル割合
R 1 H、R 1 L 抵抗
R 2 第 2 チャネル割合
R 2 H、R 2 L 抵抗
R 3 抵抗
R U チャネル利用率
S W 1 ～ S W 3 スイッチ
X 1、X 2、X 3 半導体装置

請求の範囲

- [請求項1] 誘導性負荷が接続されるように構成された出力電極と、
接地端が接続されるように構成された接地電極と、
前記出力電極と前記接地電極との間に並列接続されるように構成された第1 トランジスタ及び第2 トランジスタと；
前記第1 トランジスタのゲートに接続されるように構成されたアクティブクランプ回路と；
第1 動作状態では前記第1 トランジスタ及び前記第2 トランジスタをオンし、第2 動作状態では前記第1 トランジスタ及び前記第2 トランジスタをオフするように、前記第1 トランジスタ及び前記第2 トランジスタそれぞれのゲート制御を行うように構成されたゲート制御回路と；
を有し、
前記ゲート制御回路は、前記第1 動作状態から前記第2 動作状態への遷移後、前記アクティブクランプ回路が動作する前に、前記第2 トランジスタのゲート・ソース間をショートすることを特徴とする半導体装置。
- [請求項2] 前記アクティブクランプ回路は、前記第1 トランジスタ及び前記第2 トランジスタそれぞれのドレイン・ソース間電圧を所定のクランプ電圧以下に制限することを特徴とする請求項1 に記載の半導体装置。
- [請求項3] 前記アクティブクランプ回路は、
カソードが前記第1 トランジスタのドレインに接続されるように構成されたツェナダイオードと、
アノードが前記ツェナダイオードのアノードに接続されてカソードが前記第1 トランジスタのゲートに接続されるように構成されたダイオードと、
を含むことを特徴とする請求項1 または請求項2 に記載の半導体装置。

- [請求項4] 前記ゲート制御回路は、前記第2トランジスタのゲート・ソース間に接続されて前記アクティブクランプ回路の内部ノード電圧に応じてオン／オフされる第3トランジスタを含むことを特徴とする請求項3に記載の半導体装置。
- [請求項5] 前記内部ノード電圧は、前記第3トランジスタのゲート電圧であることを特徴とする請求項4に記載の半導体装置。
- [請求項6] 前記ゲート制御回路は、
外部制御信号が印加される入力電極と前記第1トランジスタのゲートとの間に接続されて前記外部制御信号が低電圧検出閾値よりも高いときにオンするように構成された第1スイッチと、
前記入力電極と前記第2トランジスタのゲートとの間に接続されて前記外部制御信号が前記低電圧検出閾値よりも高いときにオンするように構成された第2スイッチと、
前記内部ノード電圧の印加端と前記第3トランジスタのゲートとの間に接続されて前記外部制御信号が前記低電圧検出閾値よりも低いときにオンするように構成された第3スイッチと、
をさらに含むことを特徴とする請求項5に記載の半導体装置。
- [請求項7] 前記ゲート制御回路は、
前記第1スイッチと前記第1トランジスタのゲートとの間に接続されて前記第1トランジスタに印加される第1ゲート信号の立ち上がり速度を調整するように構成された第1上側抵抗と、
前記第2スイッチと前記第2トランジスタのゲートとの間に接続されて前記第2トランジスタに印加される第2ゲート信号の立ち上がり速度を調整するように構成された第2上側抵抗と、
をさらに含むことを特徴とする請求項6に記載の半導体装置。
- [請求項8] 前記ゲート制御回路は、
前記第1トランジスタのゲートと前記接地電極との間に接続されて前記外部制御信号に応じてオン／オフされるように構成された第1P

MOSFETと、

前記第2トランジスタのゲートと前記接地電極との間に接続されて前記外部制御信号に応じてオン／オフされるように構成された第2PMOSFETと、

をさらに含むことを特徴とする請求項7に記載の半導体装置。

[請求項9]

前記ゲート制御回路は、

前記第1PMOSFETと前記接地電極との間に接続されて前記第1ゲート信号の立ち下がり速度を調整するように構成された第1下側抵抗と、

前記第2PMOSFETと前記接地電極との間に接続されて前記第2ゲート信号の立ち下がり速度を調整するように構成された第2下側抵抗と、

をさらに含むことを特徴とする請求項8に記載の半導体装置。

[請求項10]

前記ゲート制御回路は、前記第1動作状態では前記第1トランジスタ及び前記第2トランジスタそれぞれのゲートに電流を流し込み、前記第2動作状態では前記第1トランジスタ及び前記第2トランジスタそれぞれのゲートから電流を引き抜くことを特徴とする請求項1～請求項9のいずれか一項に記載の半導体装置。

[請求項11]

前記第1トランジスタと前記第2トランジスタは、単一のゲート分割素子として形成されていることを特徴とする請求項1～請求項10のいずれか一項に記載の半導体装置。

[請求項12]

前記第1トランジスタのチャネル領域は、第1割合で形成されており、前記第2トランジスタのチャネル領域は、前記第1割合とは異なる第2割合で形成されていることを特徴とする請求項1～請求項11のいずれか一項に記載の半導体装置。

[請求項13]

アクティブクランプ動作時のチャネル利用率は、零を超え通常動作時のチャネル利用率未満であることを特徴とする請求項1～請求項12のいずれか一項に記載の半導体装置。

- [請求項14] 請求項1～請求項13のいずれか一項に記載の半導体装置と、前記半導体装置に接続される誘導性負荷と、を有することを特徴とする電子機器。
- [請求項15] 複数のゲート信号の個別制御によりオン抵抗が変化するように構成されたゲート分割トランジスタと、
前記ゲート分割トランジスタのオン遷移時に前記オン抵抗を定常値よりも引き下げるように前記複数のゲート信号を個別に制御するように構成されたゲート制御回路と、
を有することを特徴とする半導体装置。
- [請求項16] 前記ゲート分割トランジスタの両端間電圧を所定のクランプ電圧以下に制限するように構成されたアクティブクランプ回路をさらに有し、
前記ゲート制御回路は、前記アクティブクランプ回路の動作前に前記オン抵抗を前記定常値よりも引き上げるように前記複数のゲート信号を個別に制御することを特徴とする請求項15に記載の半導体装置。
- [請求項17] 前記ゲート分割トランジスタは、第1ゲート及び第2ゲートと、前記アクティブクランプ回路が接続されるように構成された第3ゲートを有し、
前記ゲート制御回路は、
前記ゲート分割トランジスタの前記第1ゲートとソースとの間に接続されており、前記オン抵抗を前記定常値よりも引き下げるときにオフするように構成された第1スイッチと；
前記ゲート分割トランジスタの前記第1ゲート及び前記第2ゲートと前記ソースとの間にそれぞれ接続されており、前記オン抵抗を前記定常値よりも引き上げるときにオンするように構成された第2スイッチ及び第3スイッチと；
を含むことを特徴とする請求項16に記載の半導体装置。

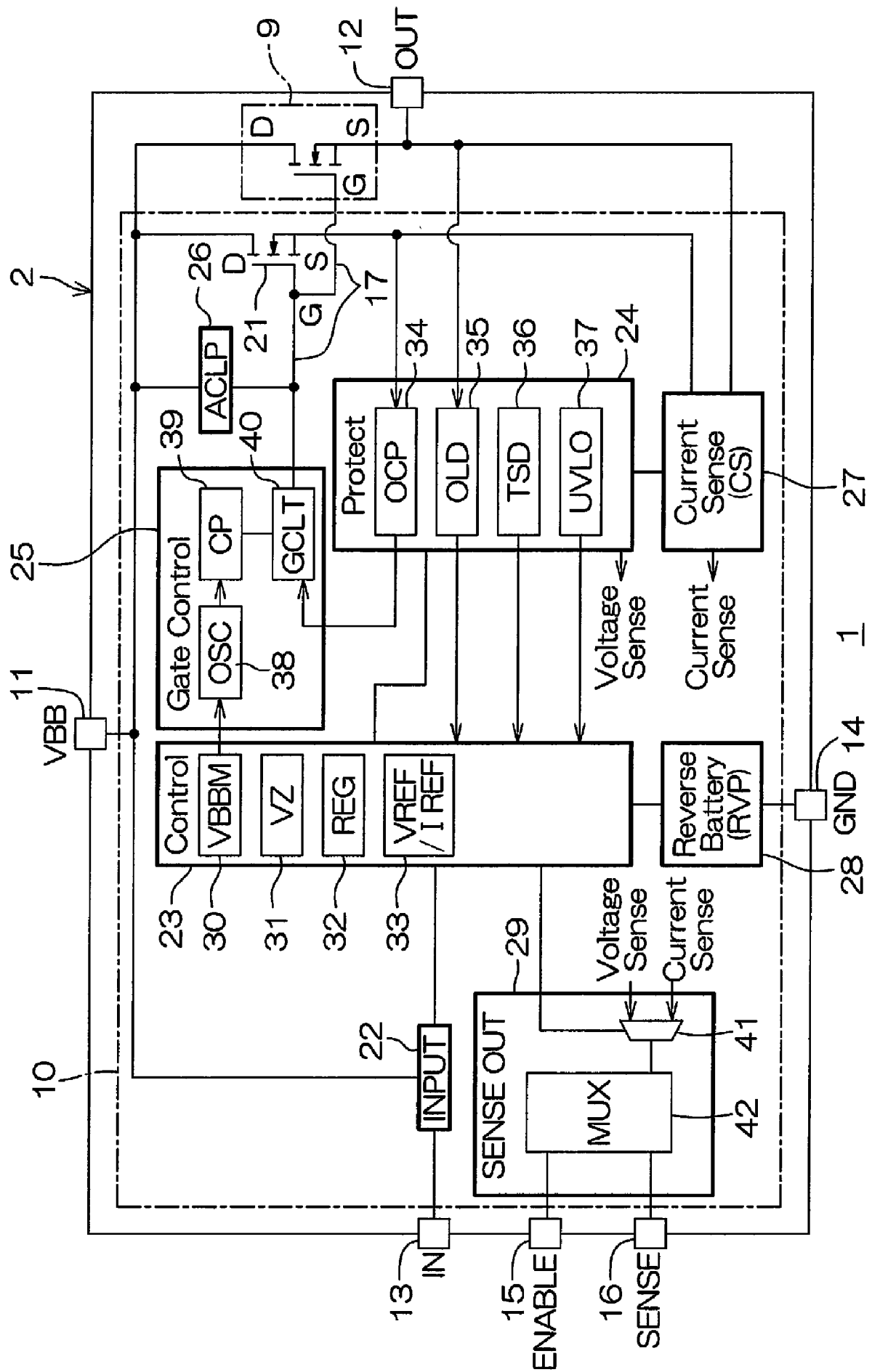
- [請求項18] 前記ゲート分割トランジスタの出力電圧を監視して前記第1スイッチの駆動信号を生成するように構成された出力電圧監視回路をさらに有することを特徴とする請求項17に記載の半導体装置。
- [請求項19] 前記出力電圧監視回路は、
所定の閾値電圧を生成するように構成された閾値電圧生成部と、
前記出力電圧と前記閾値電圧とを比較して比較信号を生成するように構成されたコンパレータと、
前記比較信号に所定の遅延を与えて遅延信号を生成するように構成された遅延部と、
前記遅延信号をレベルシフトして前記駆動信号を生成するように構成されたレベルシフタと、
を含むことを特徴とする請求項18に記載の半導体装置。
- [請求項20] 前記第2スイッチ及び前記第3スイッチは、それぞれ、前記アクティブクランプ回路の内部ノード電圧に応じてオン／オフされることを特徴とする請求項17～請求項19のいずれか一項に記載の半導体装置。
- [請求項21] 前記アクティブクランプ回路は、
カソードが前記ゲート分割トランジスタのドレインに接続されるように構成されたツェナダイオードと、
アノードが前記ツェナダイオードのアノードに接続されるように構成されたダイオードと、
ドレインが前記ゲート分割トランジスタのドレインに接続されてソースが前記ゲート分割トランジスタの前記第3ゲートに接続されてゲートが前記ダイオードのカソードに接続されるように構成されたトランジスタと、
を含むことを特徴とする請求項17～請求項20のいずれか一項に記載の半導体装置。
- [請求項22] 前記ゲート分割トランジスタに流れる出力電流を検出して所定の上

限值以下に制限するように構成された過電流保護回路をさらに有することを特徴とする請求項 15～請求項 21 のいずれか一項に記載の半導体装置。

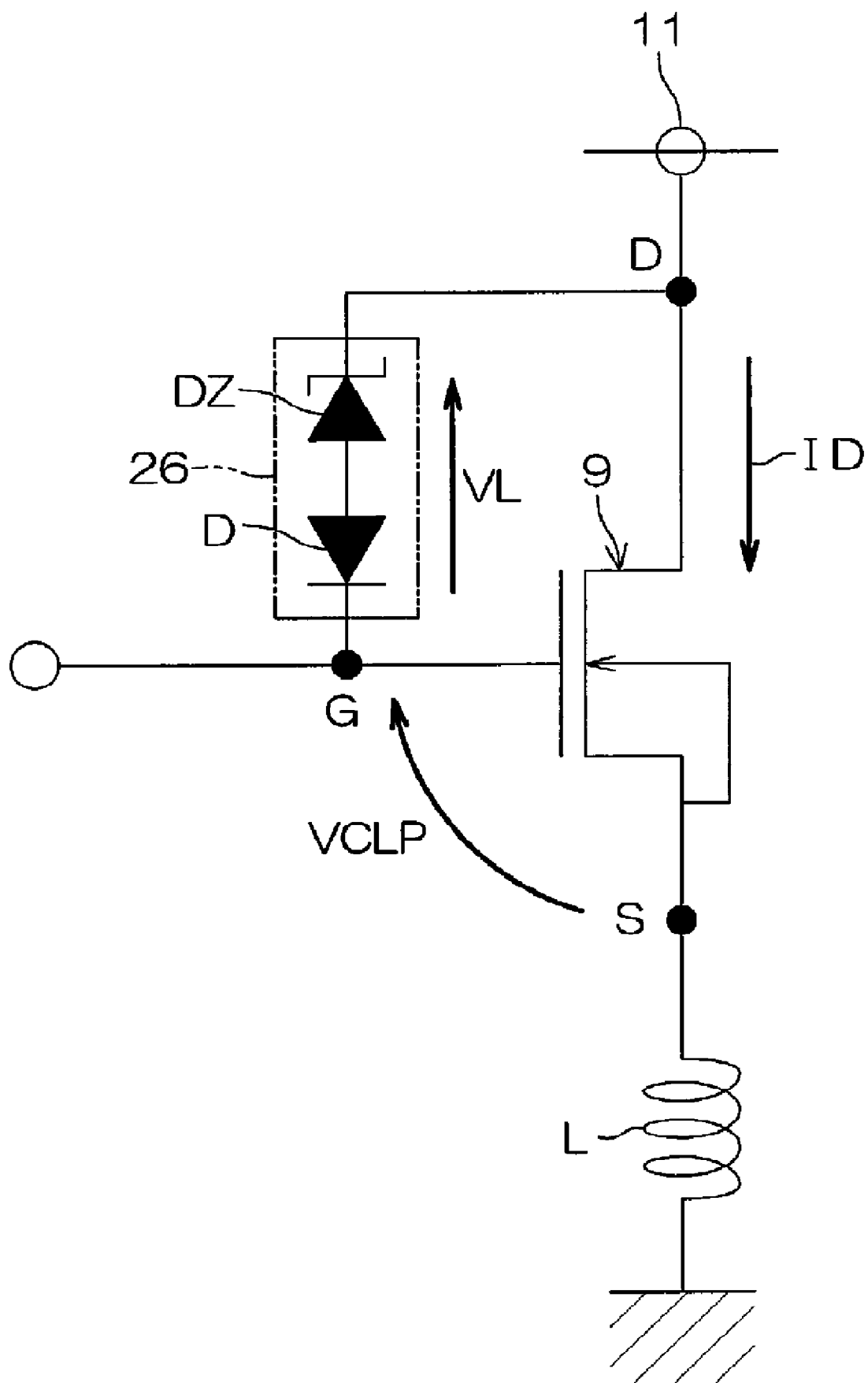
[請求項23] 前記ゲート分割トランジスタの温度が所定の上限値に達したとき、若しくは、前記ゲート分割トランジスタと他の回路ブロックとの温度差が所定の上限値に達したときに、前記ゲート分割トランジスタを強制的にオフさせるように構成された過熱保護回路をさらに有することを特徴とする請求項 15～請求項 22 のいずれか一項に記載の半導体装置。

[請求項24] 請求項 15～請求項 23 のいずれか一項に記載の半導体装置と、前記半導体装置に接続される負荷と、を有することを特徴とする電子機器。

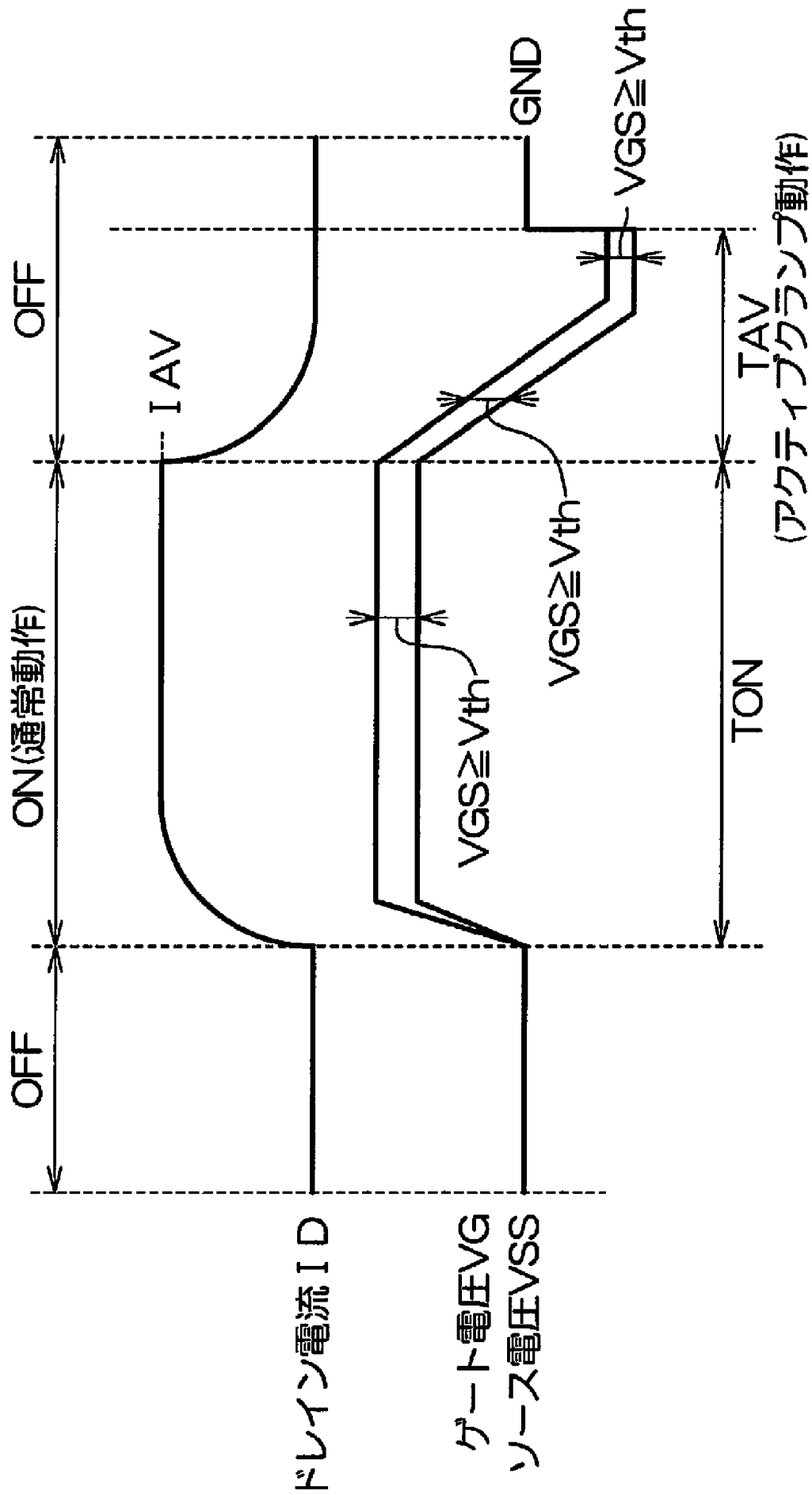
[図2]



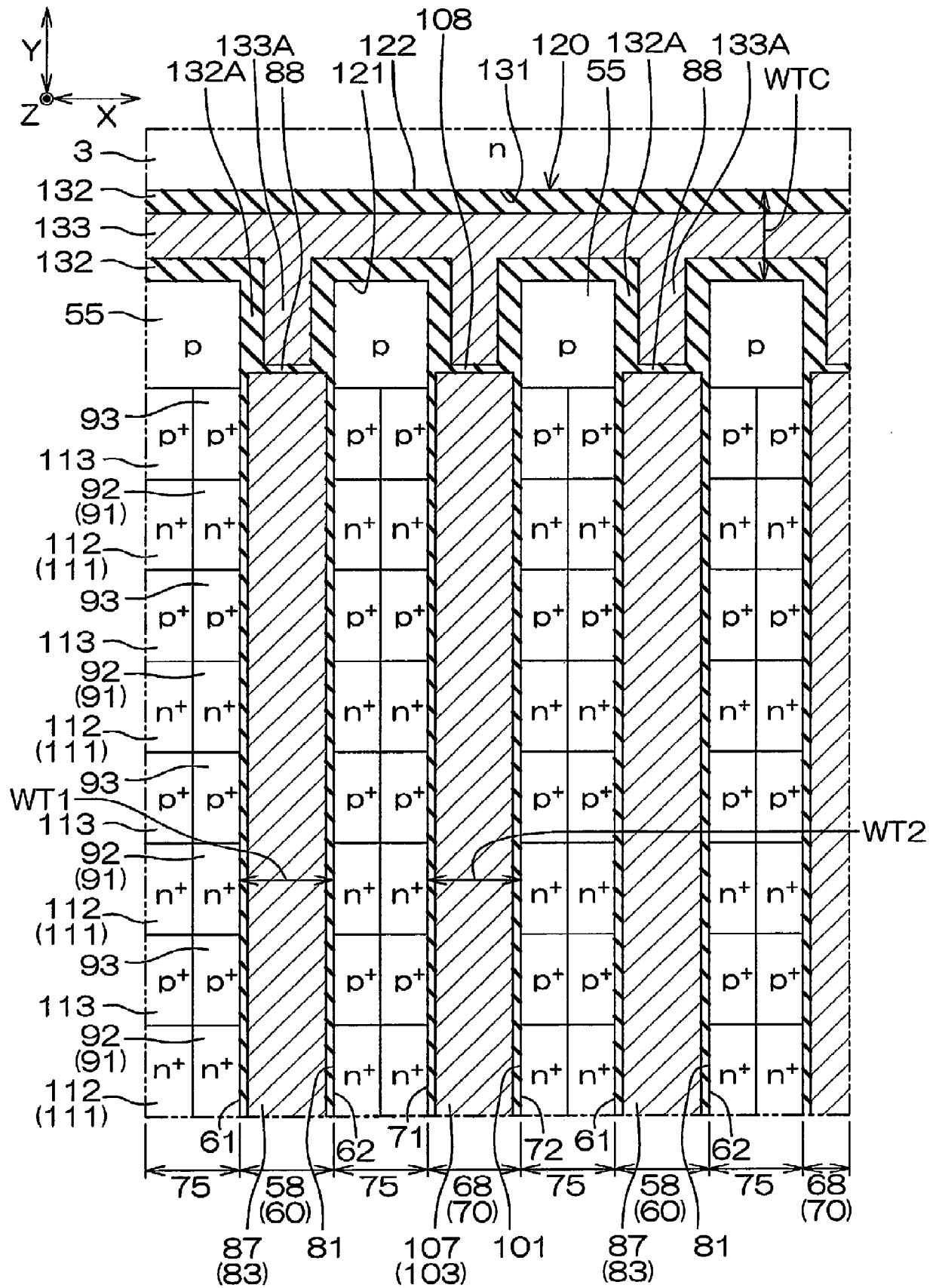
[図3]



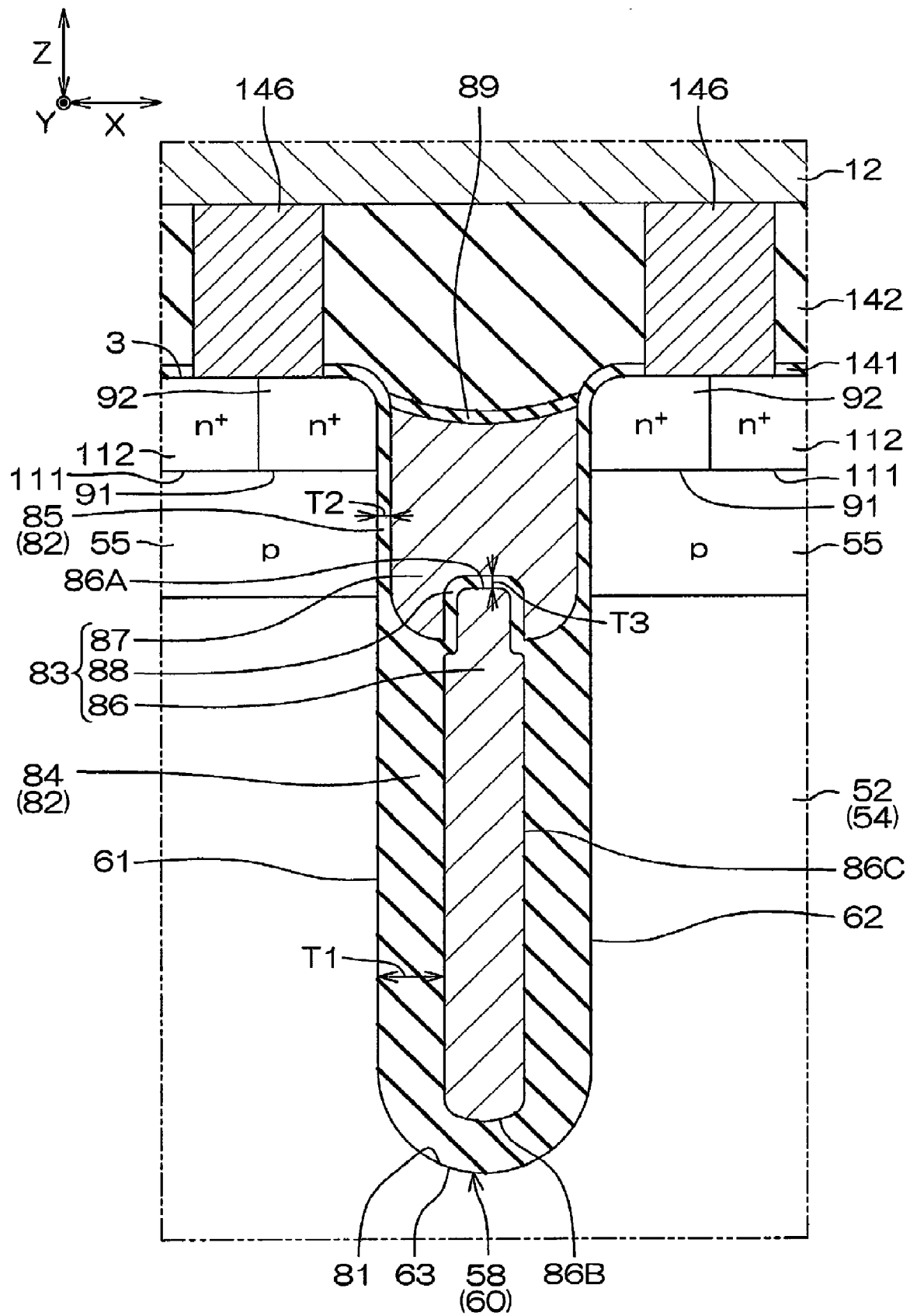
[図4]



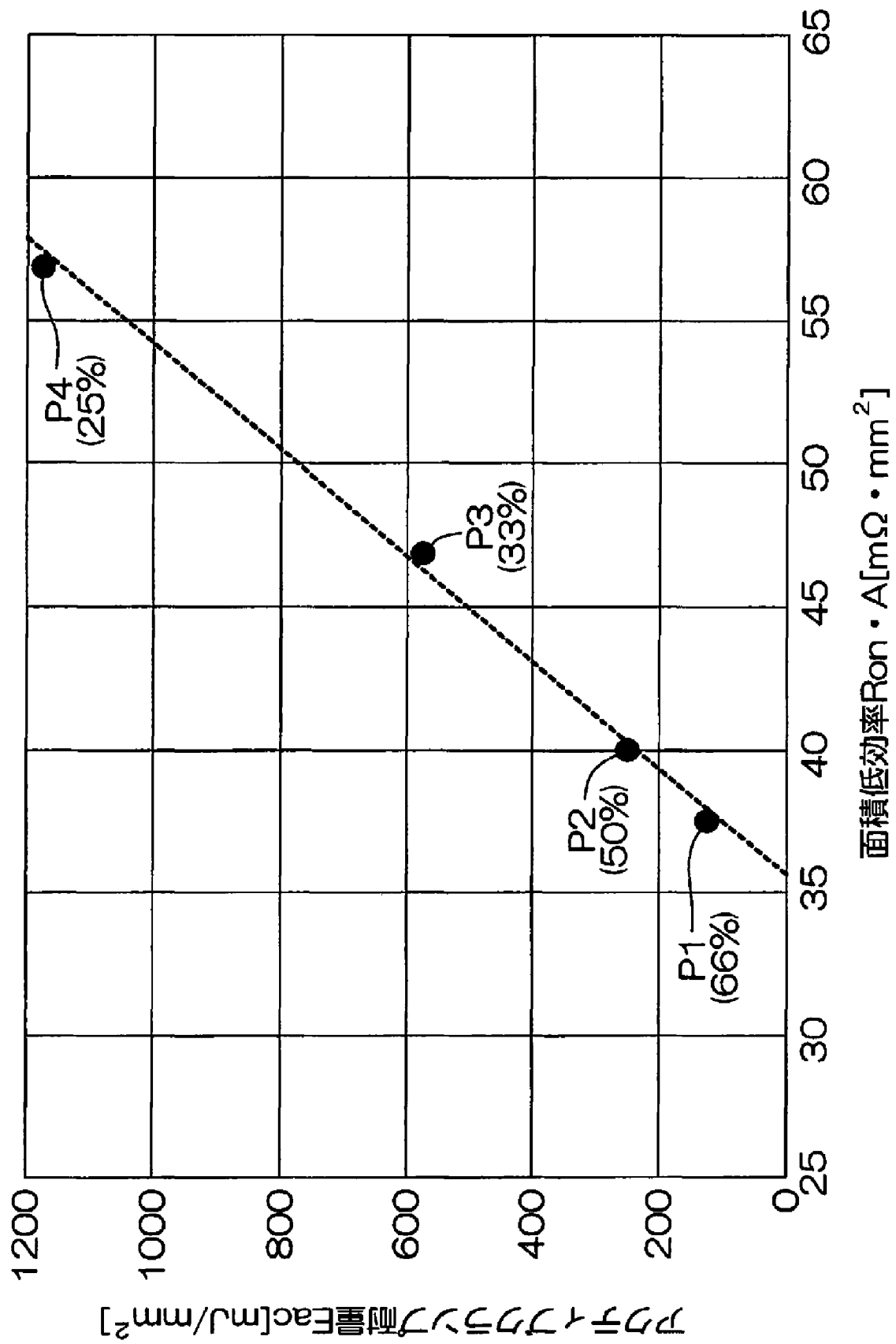
[図8]



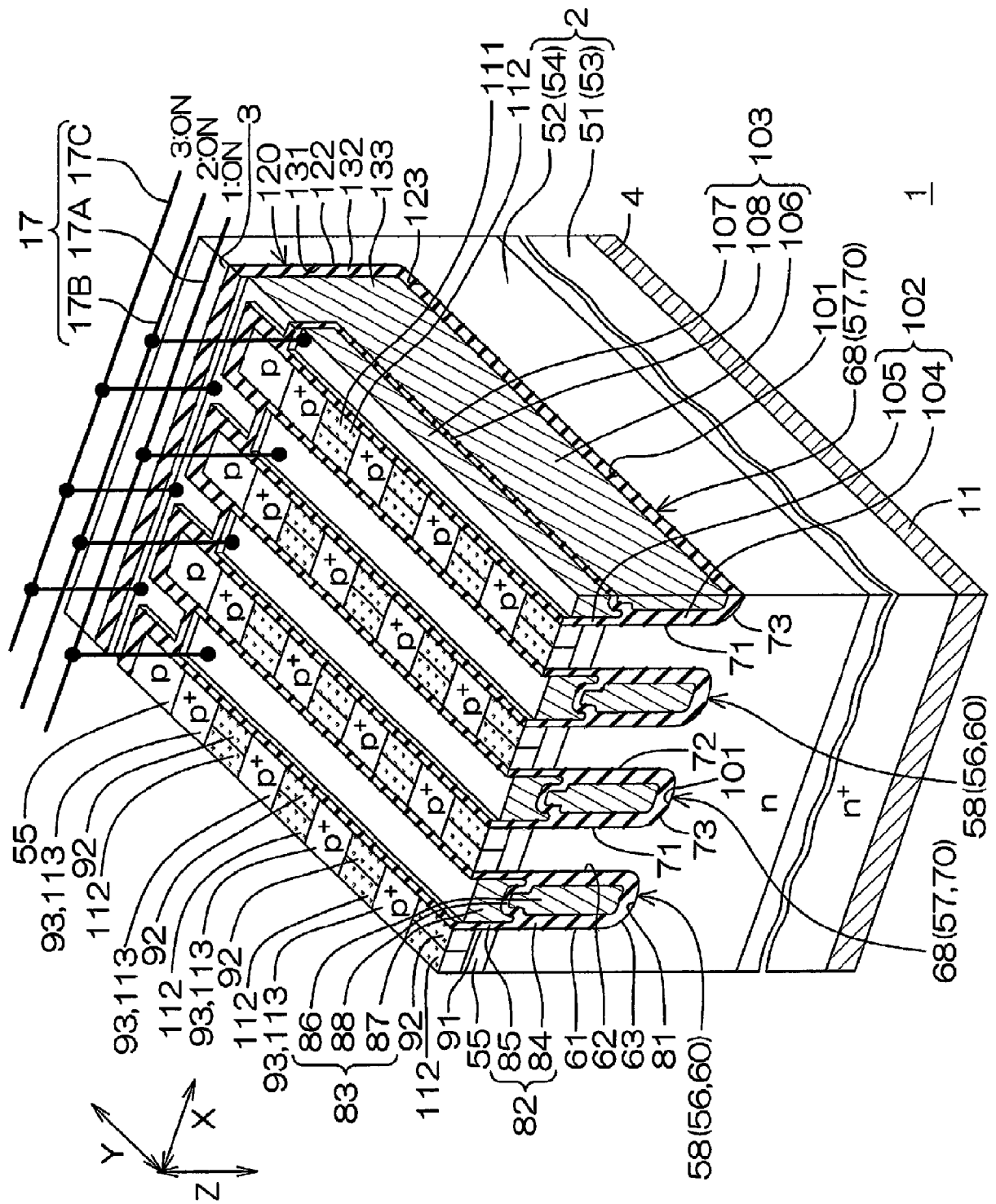
[図10]



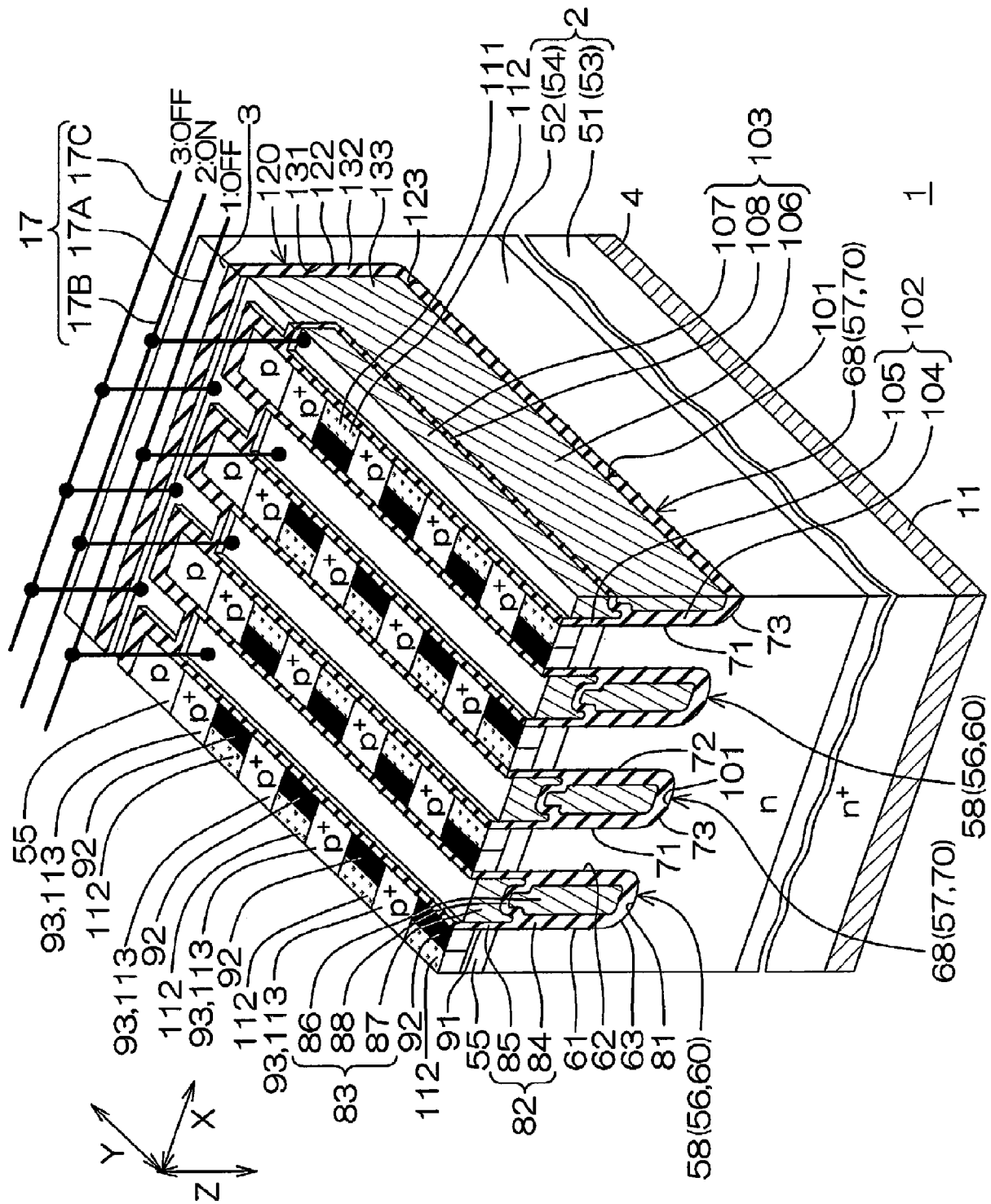
[図13]



[図14A]



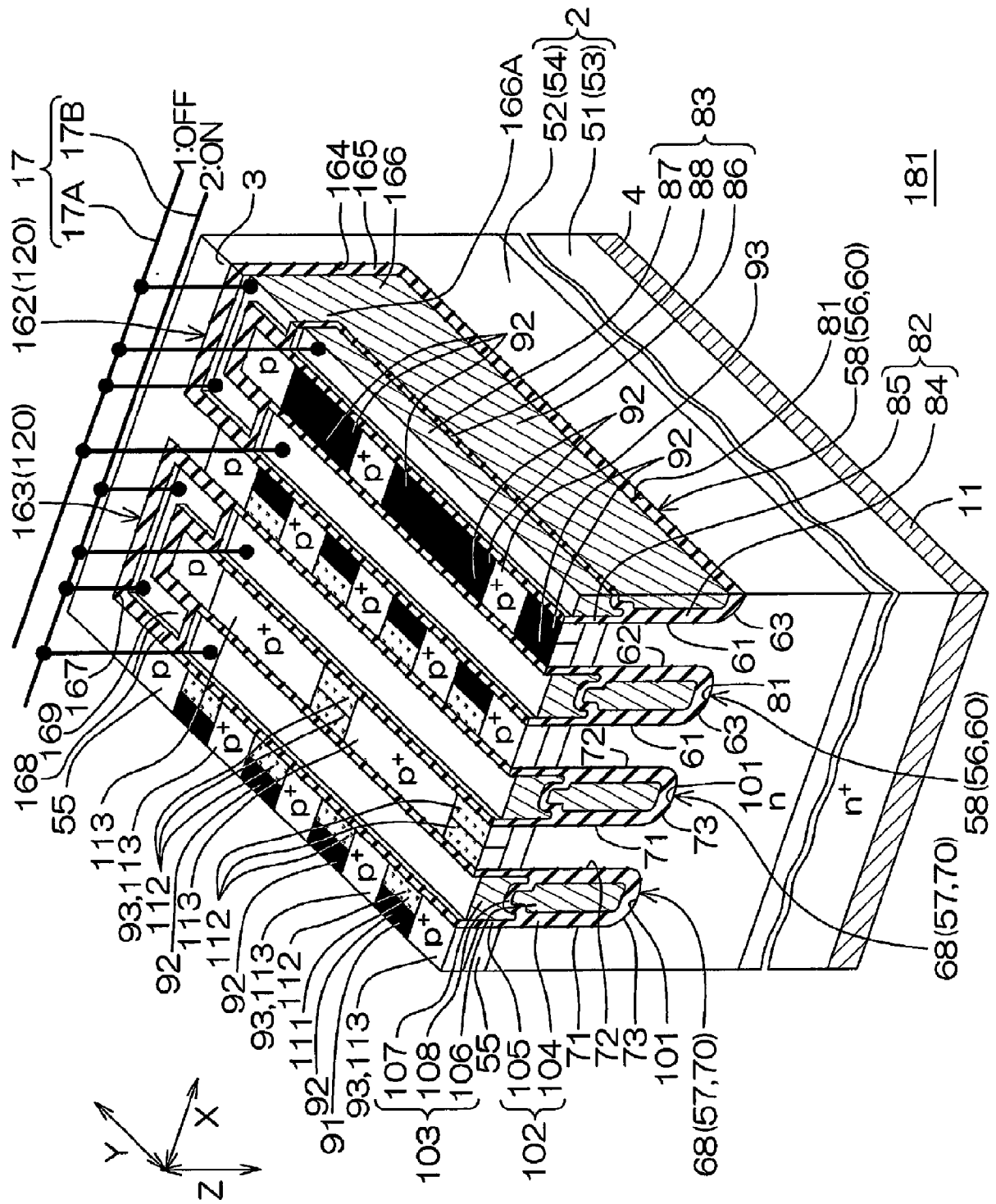
[図15B]



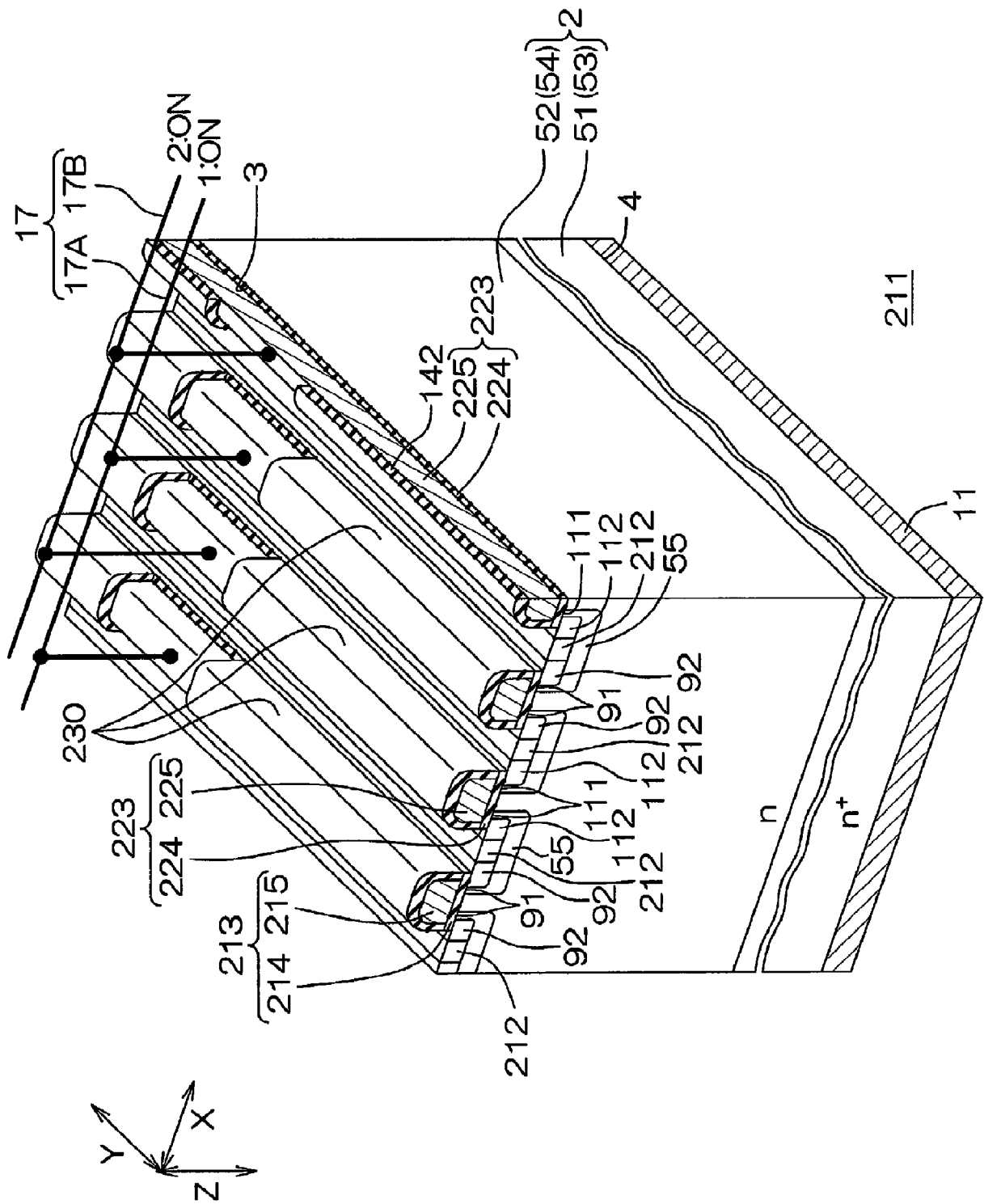
[illegible]

[illegible]

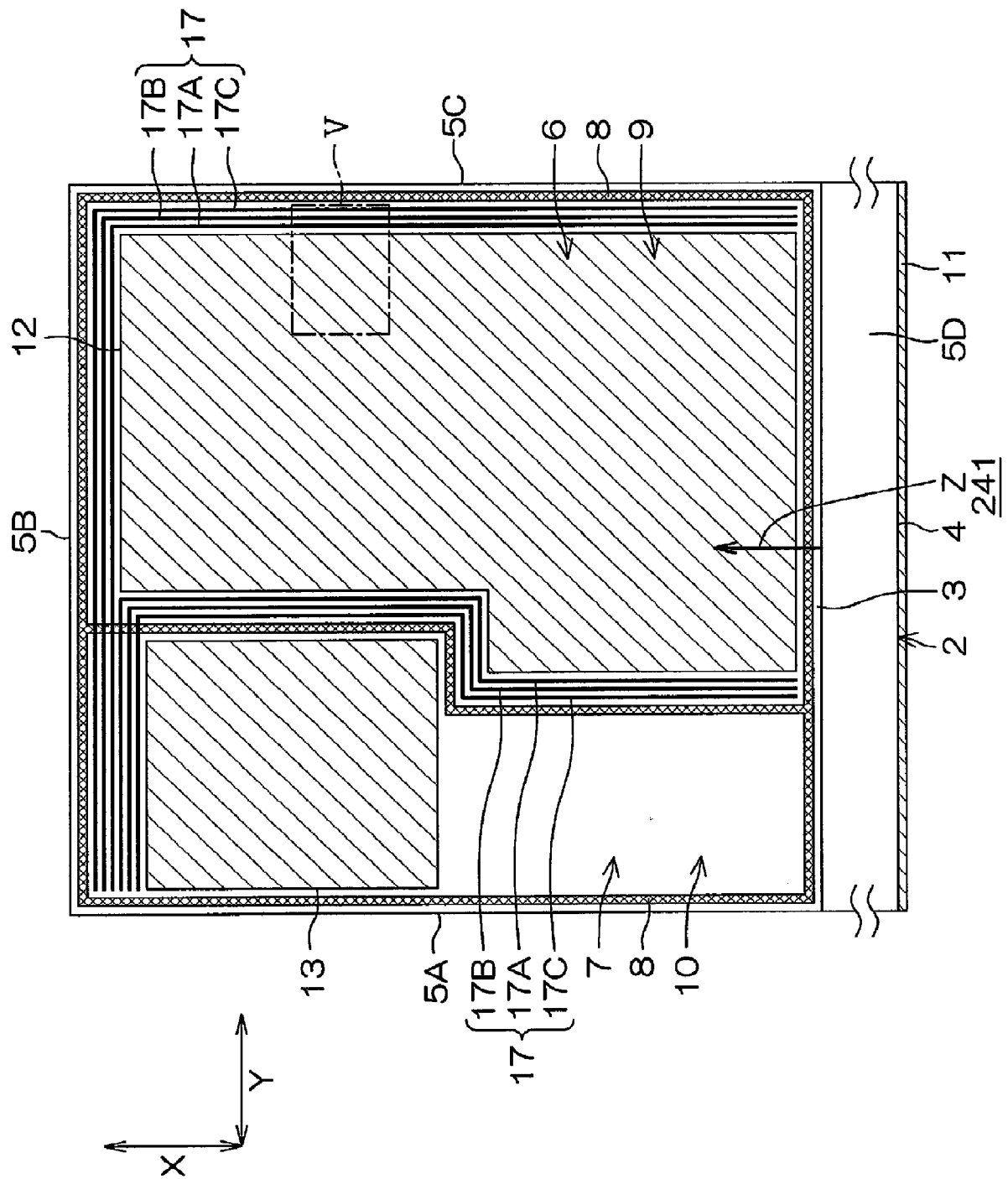
[図30B]



[図36A]

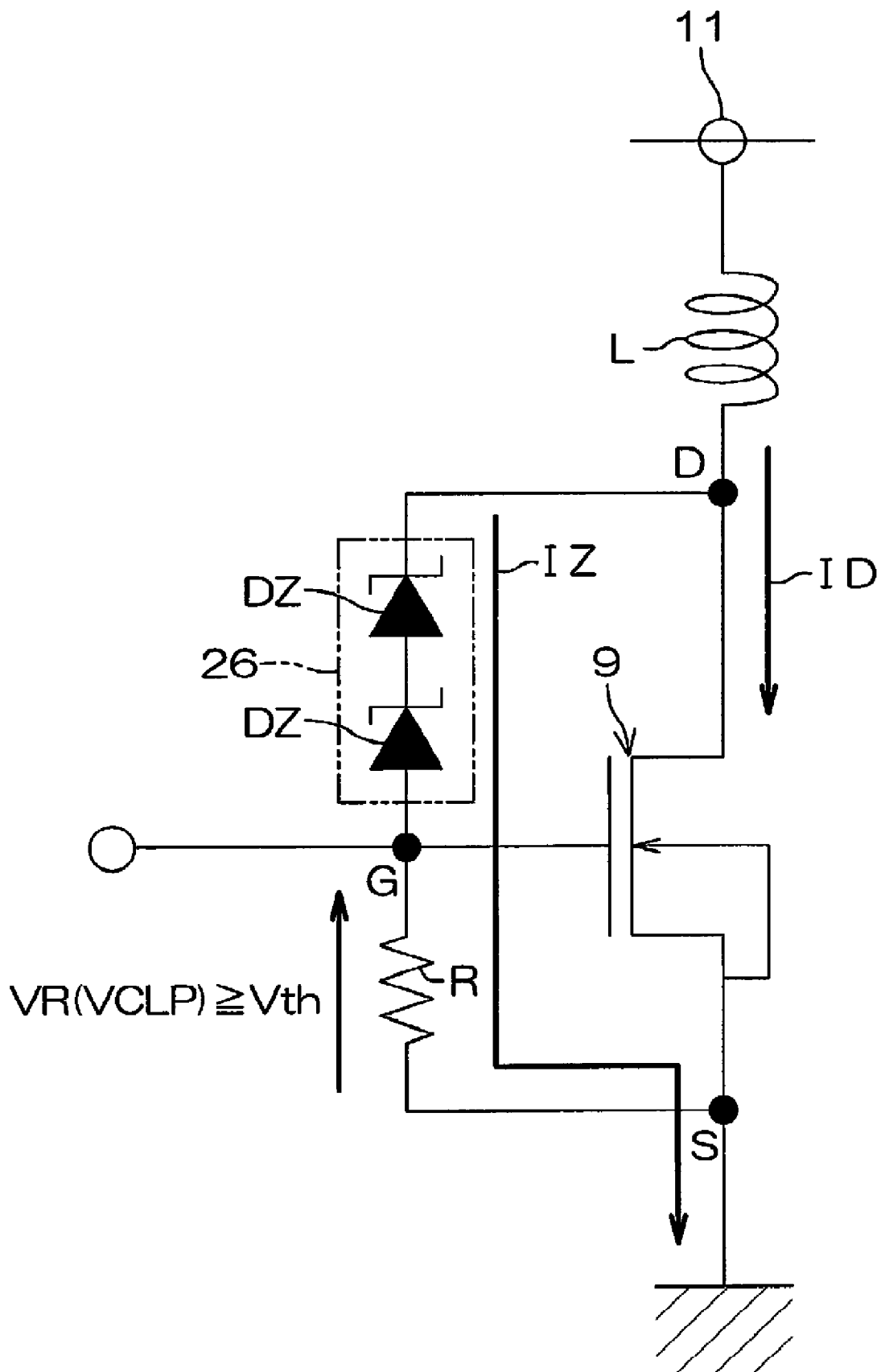


[図37]

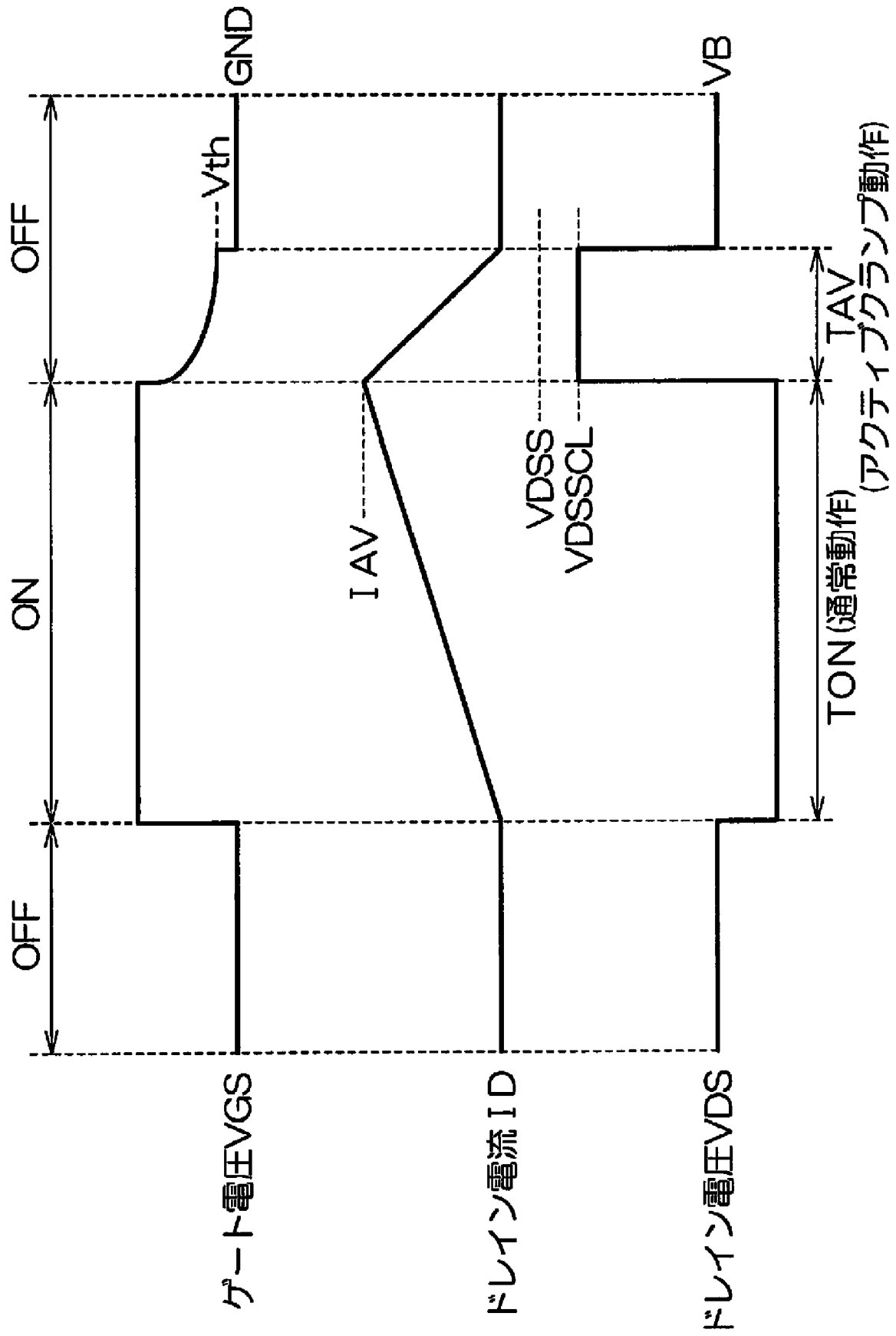


241

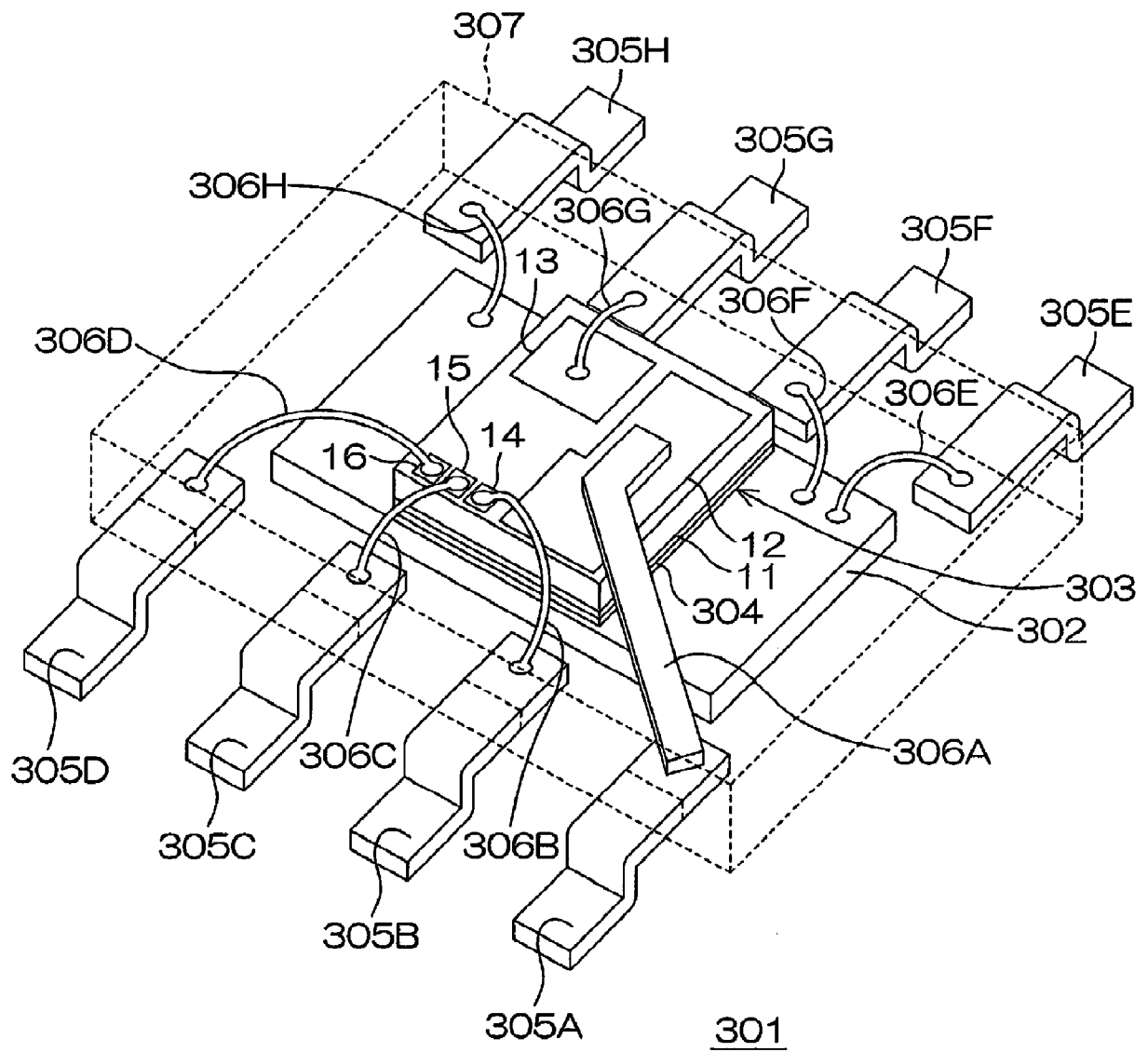
[図39]



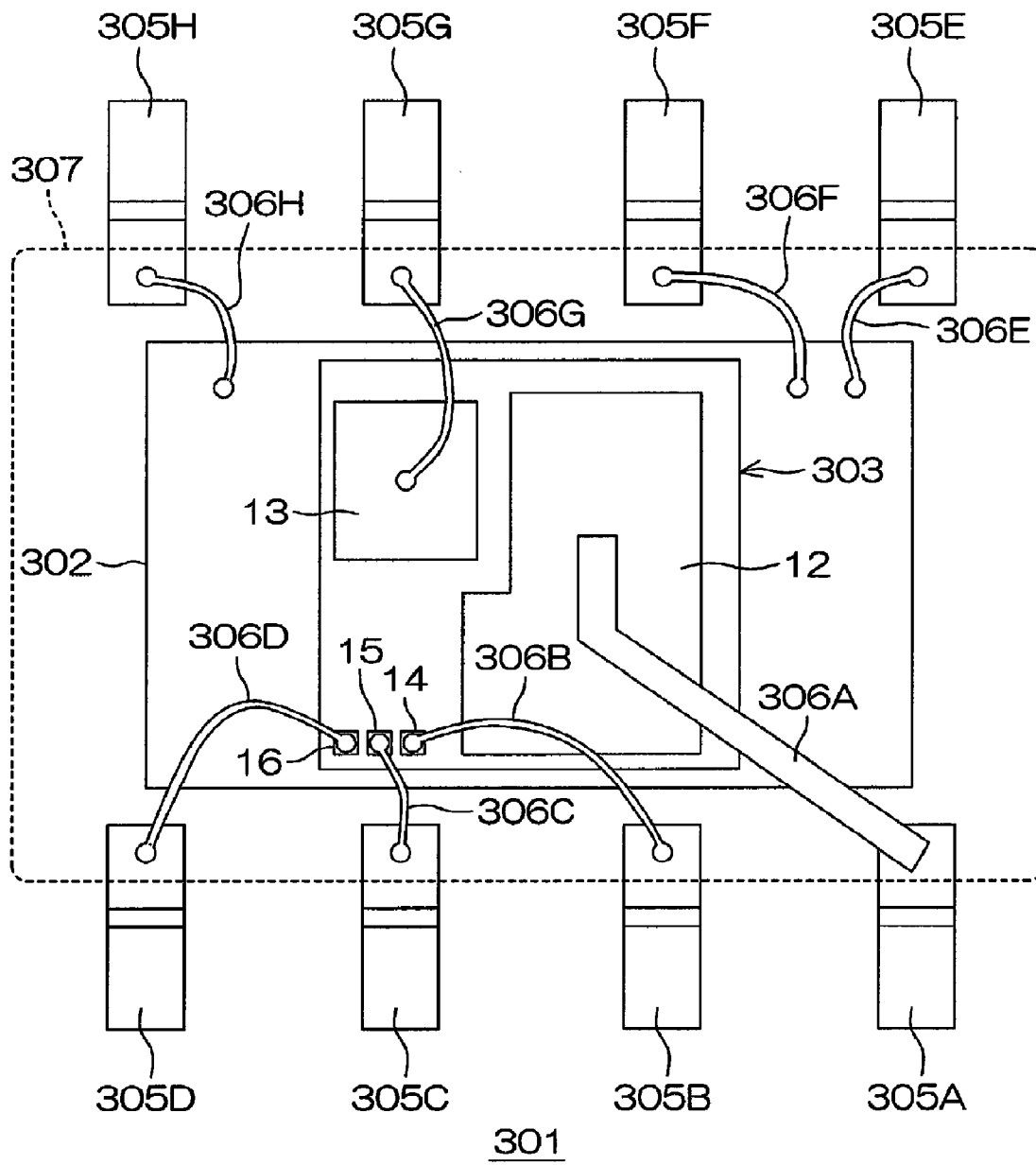
[図40]



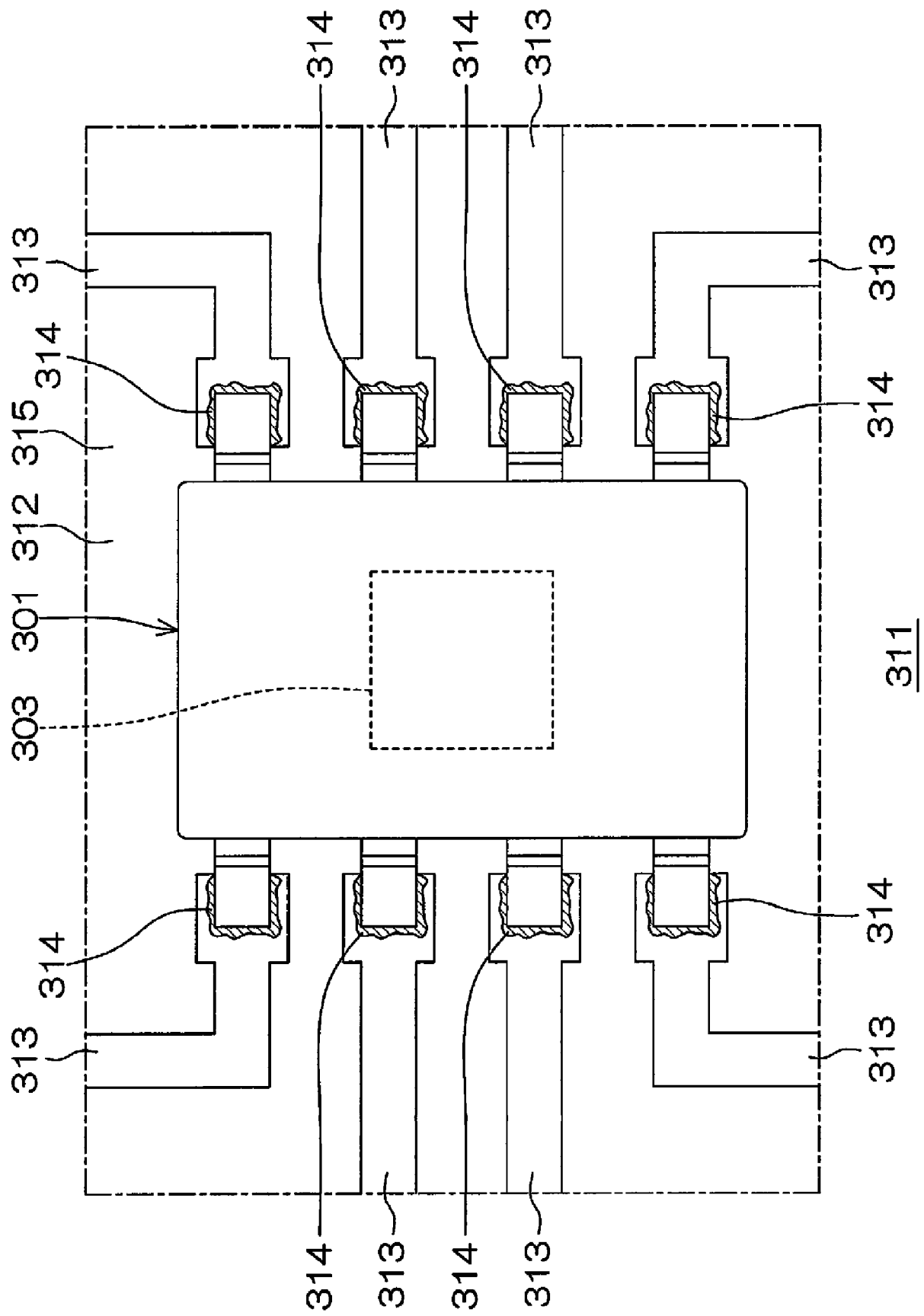
[図41]



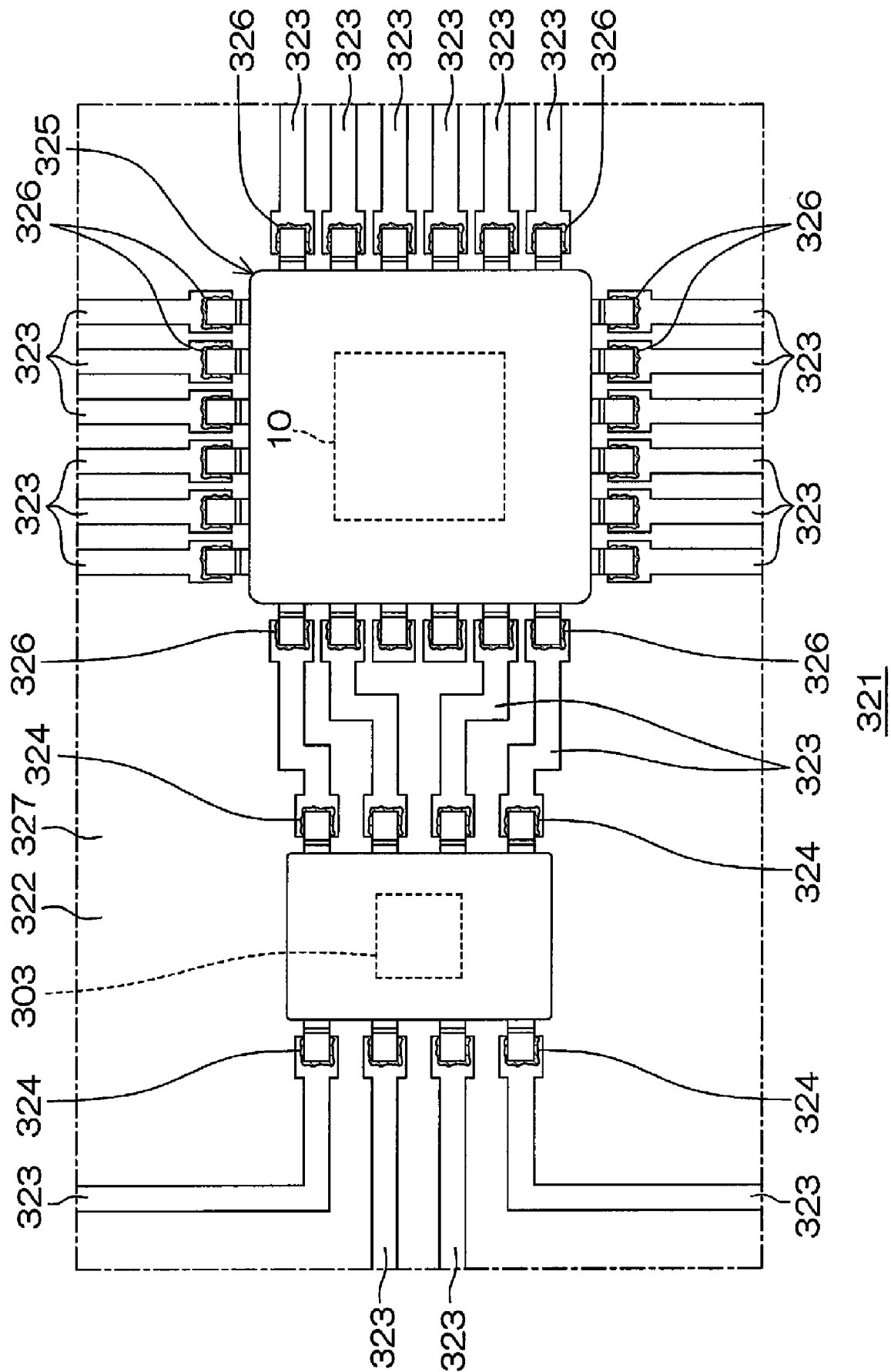
[図42]



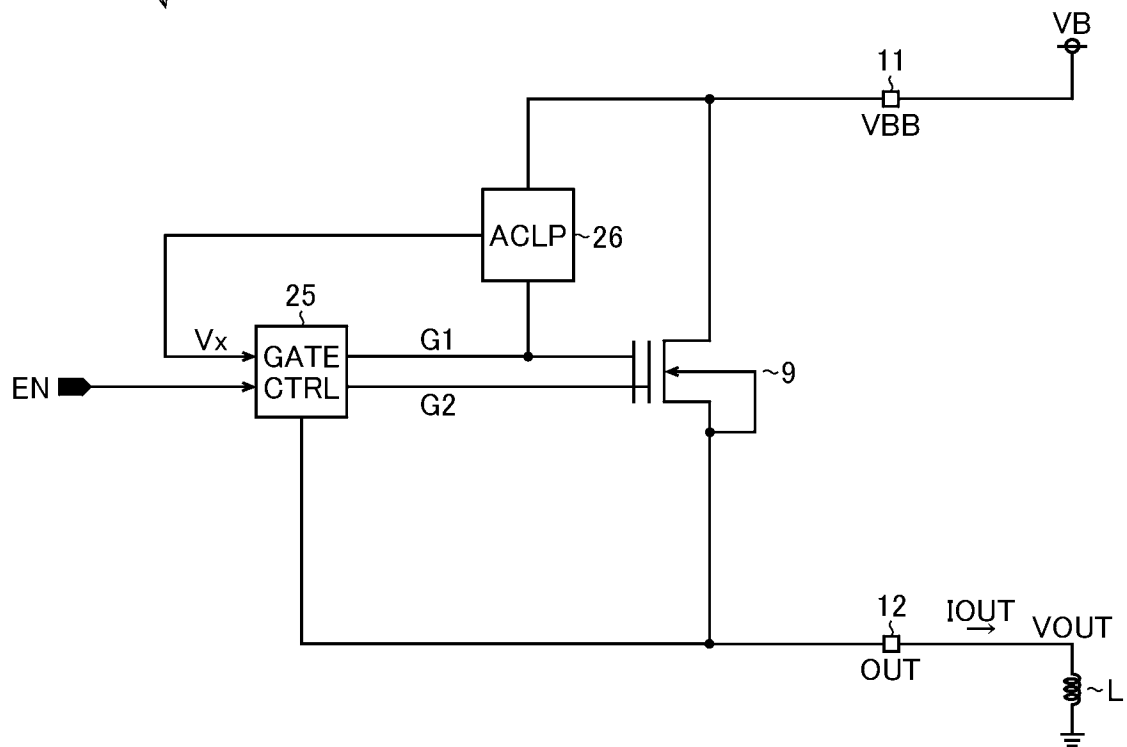
[図43]



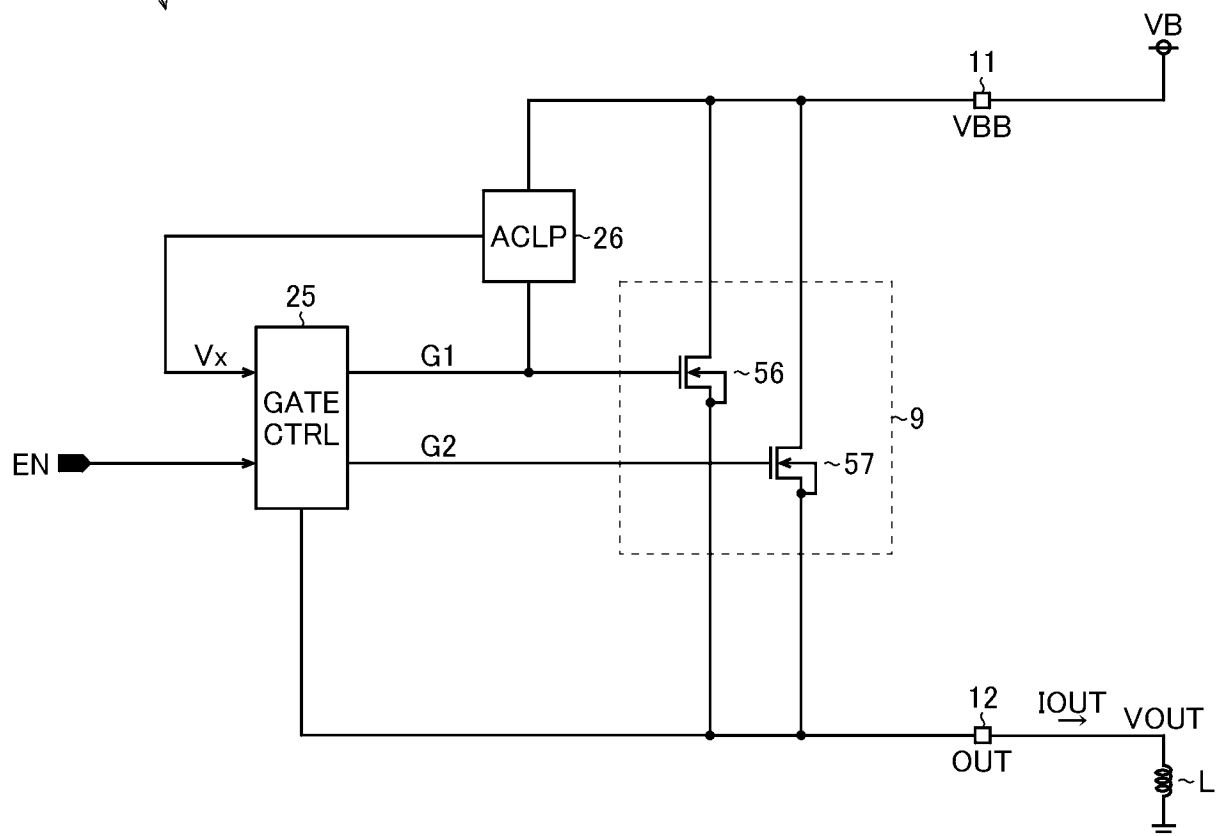
[図44]



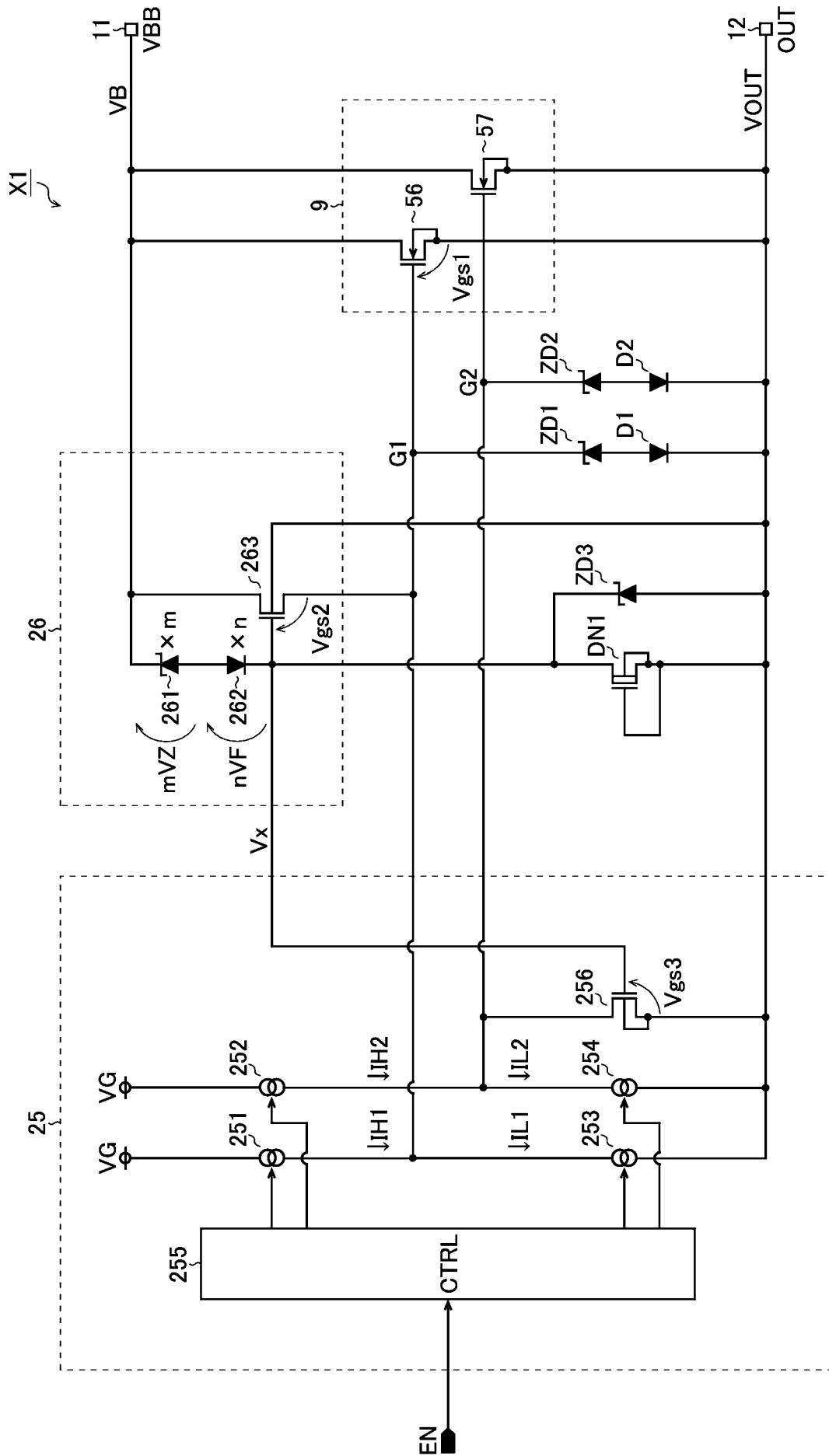
X1



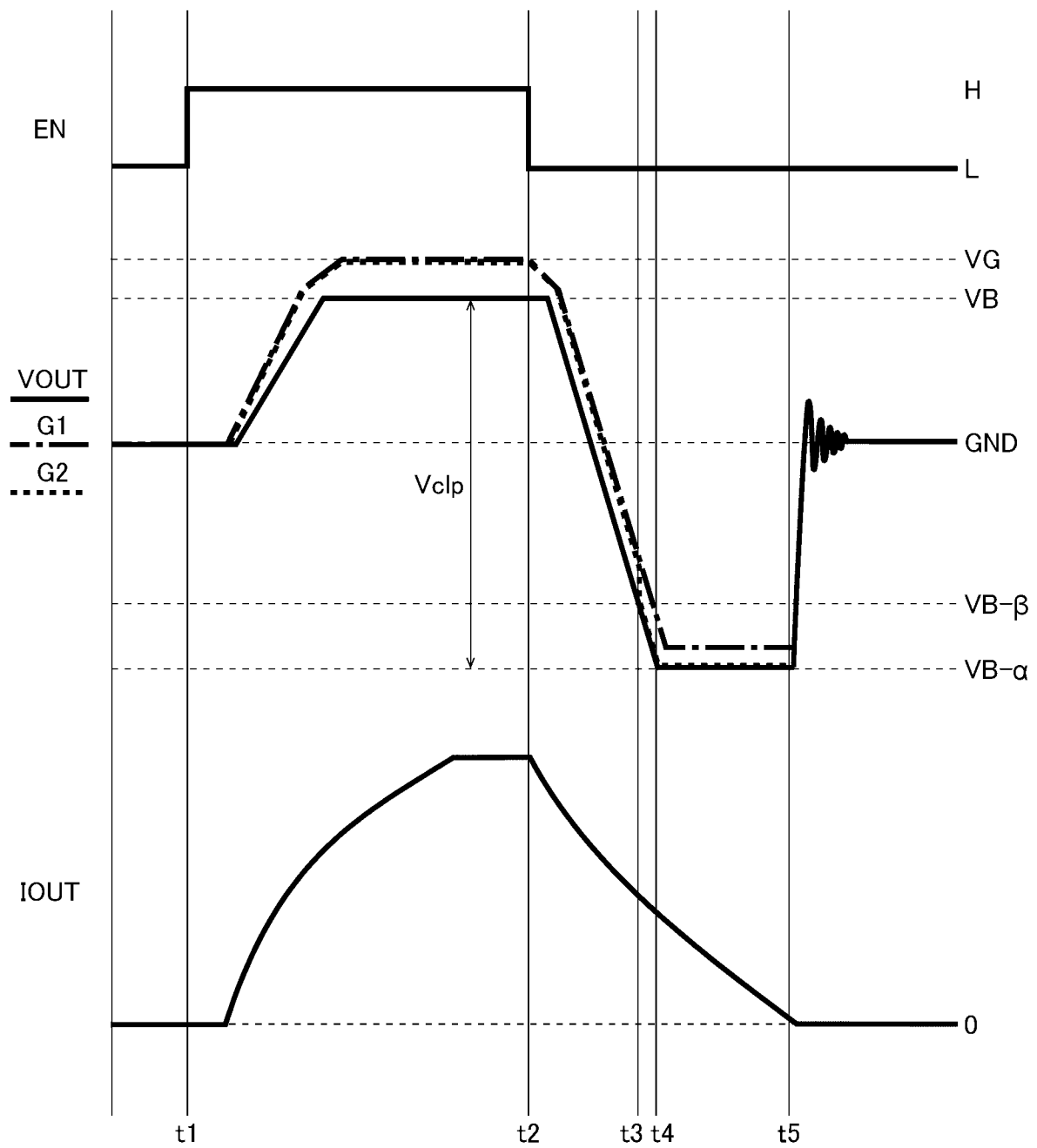
X1



[図47]

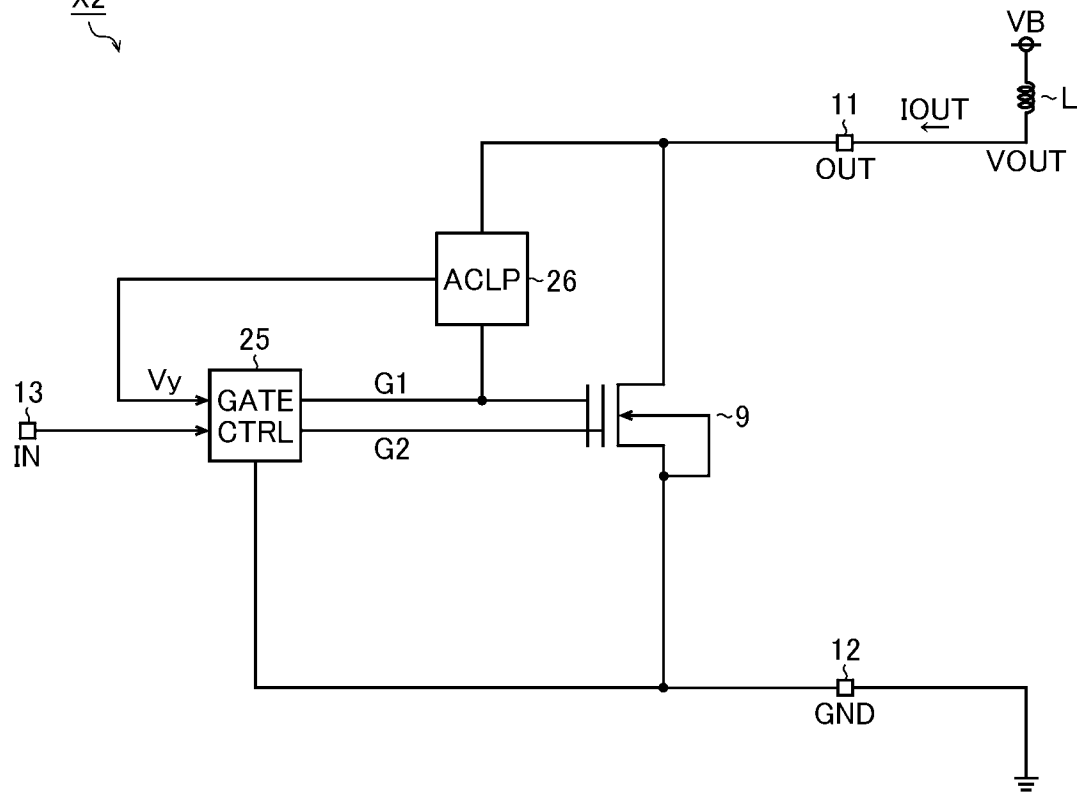


[図48]



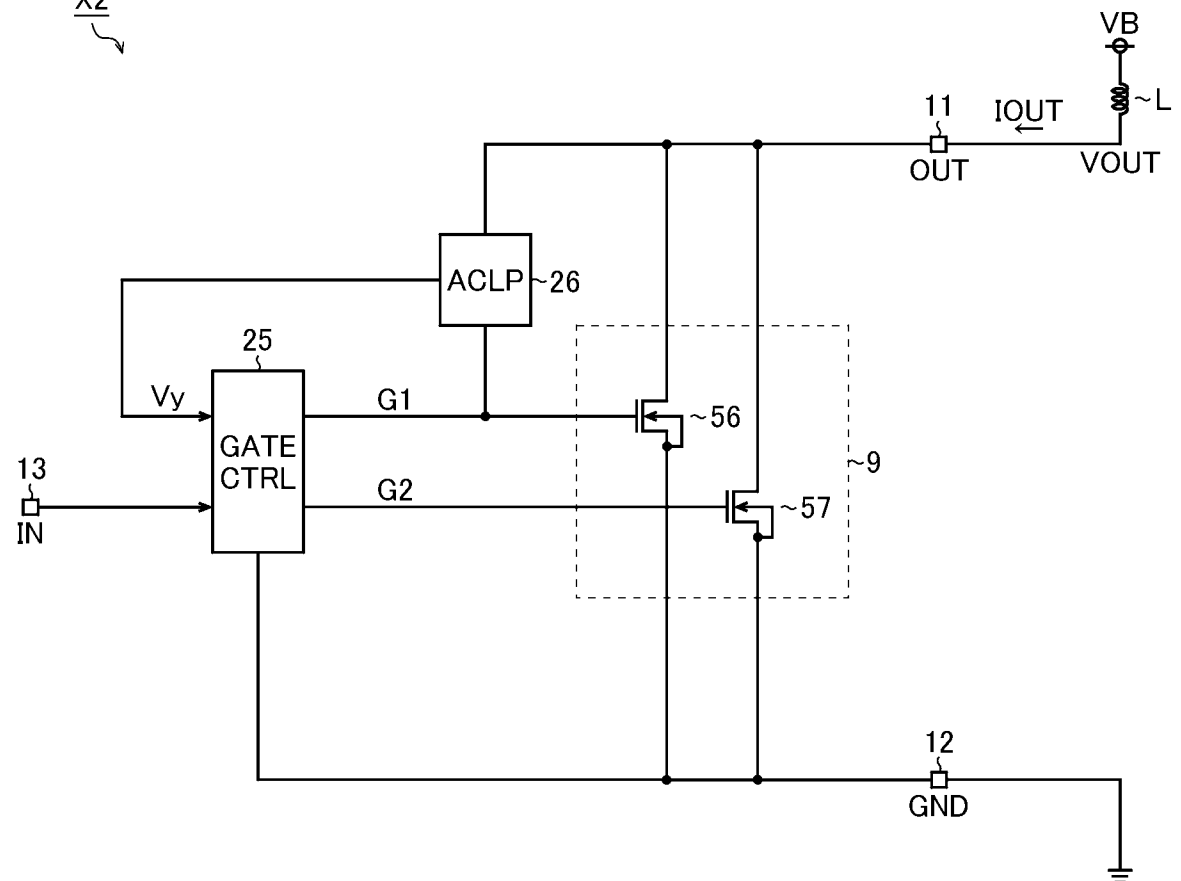
[図49]

X2



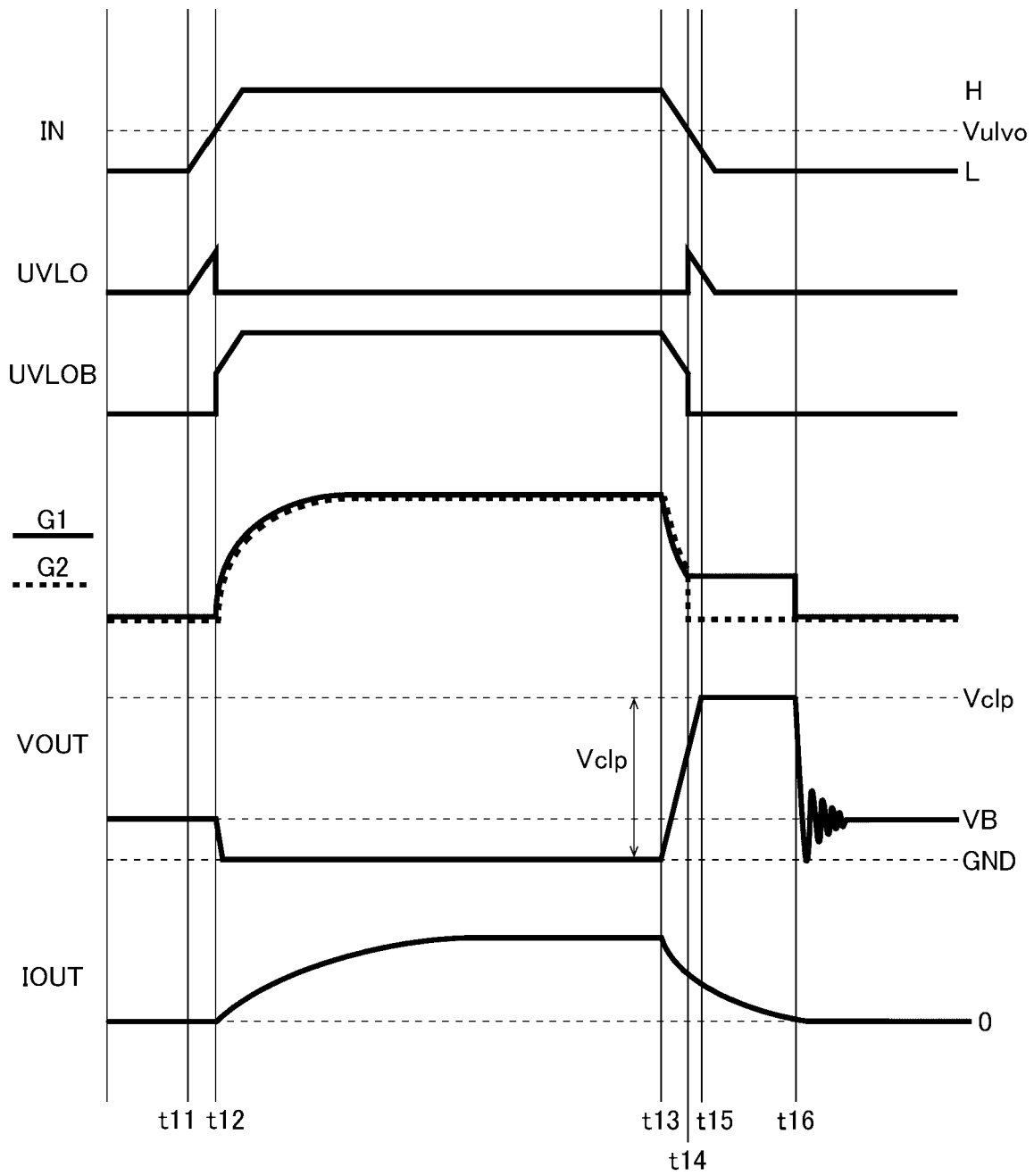
[図50]

X2

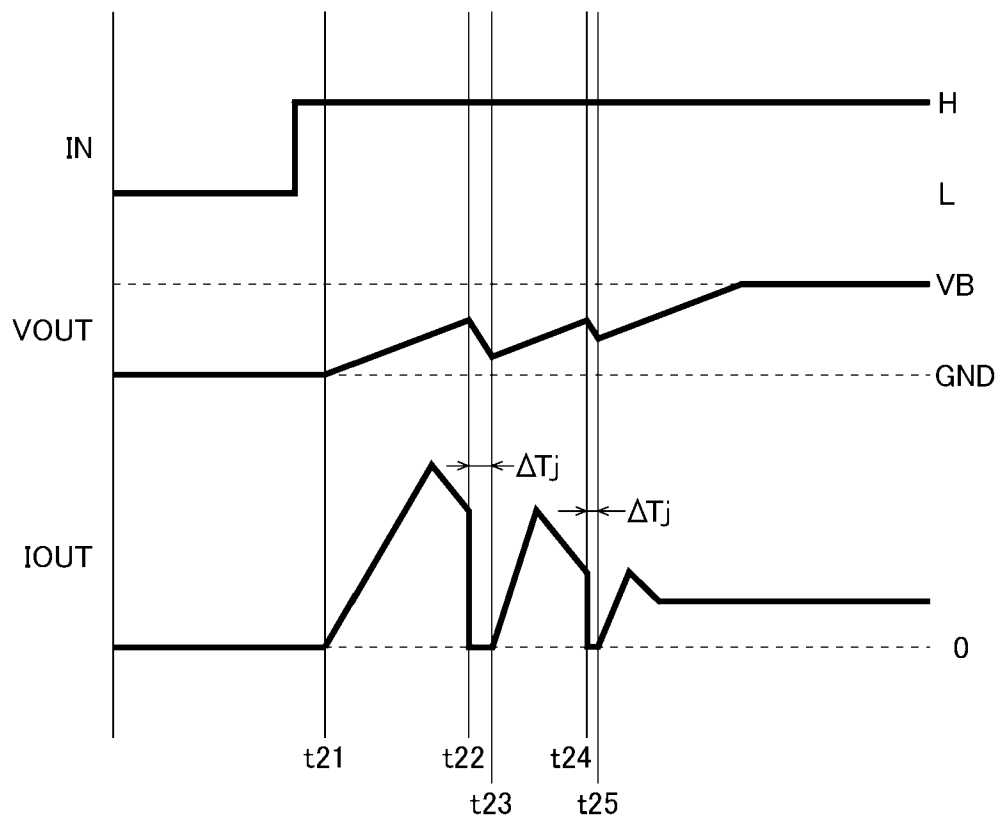


[illegible]

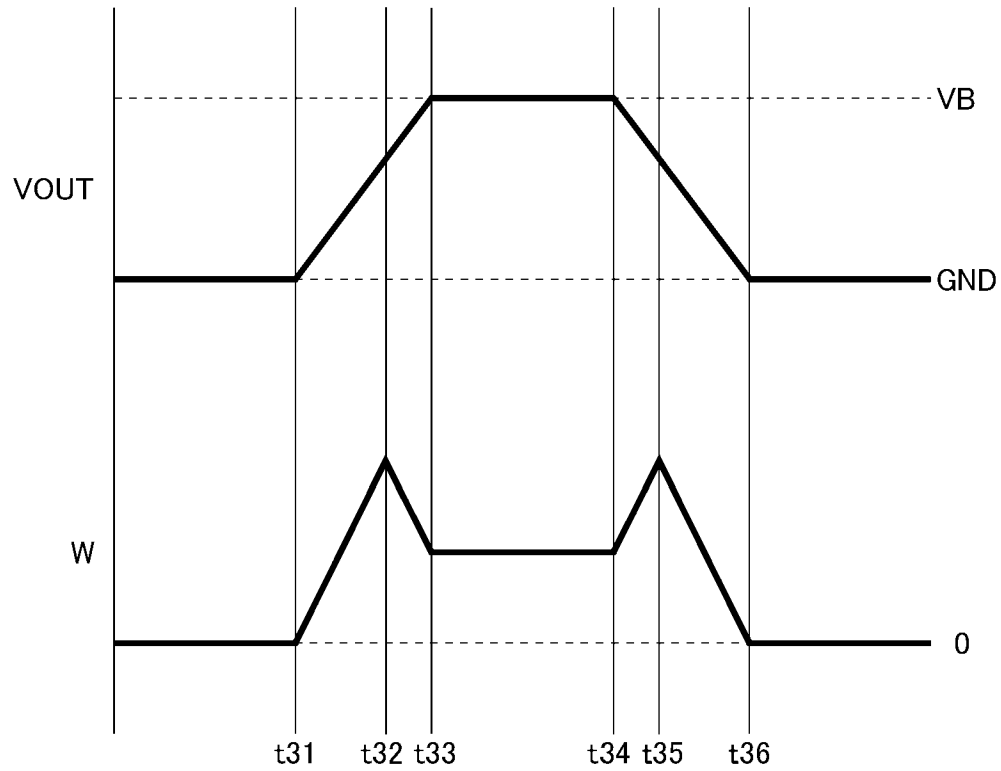
[図52]



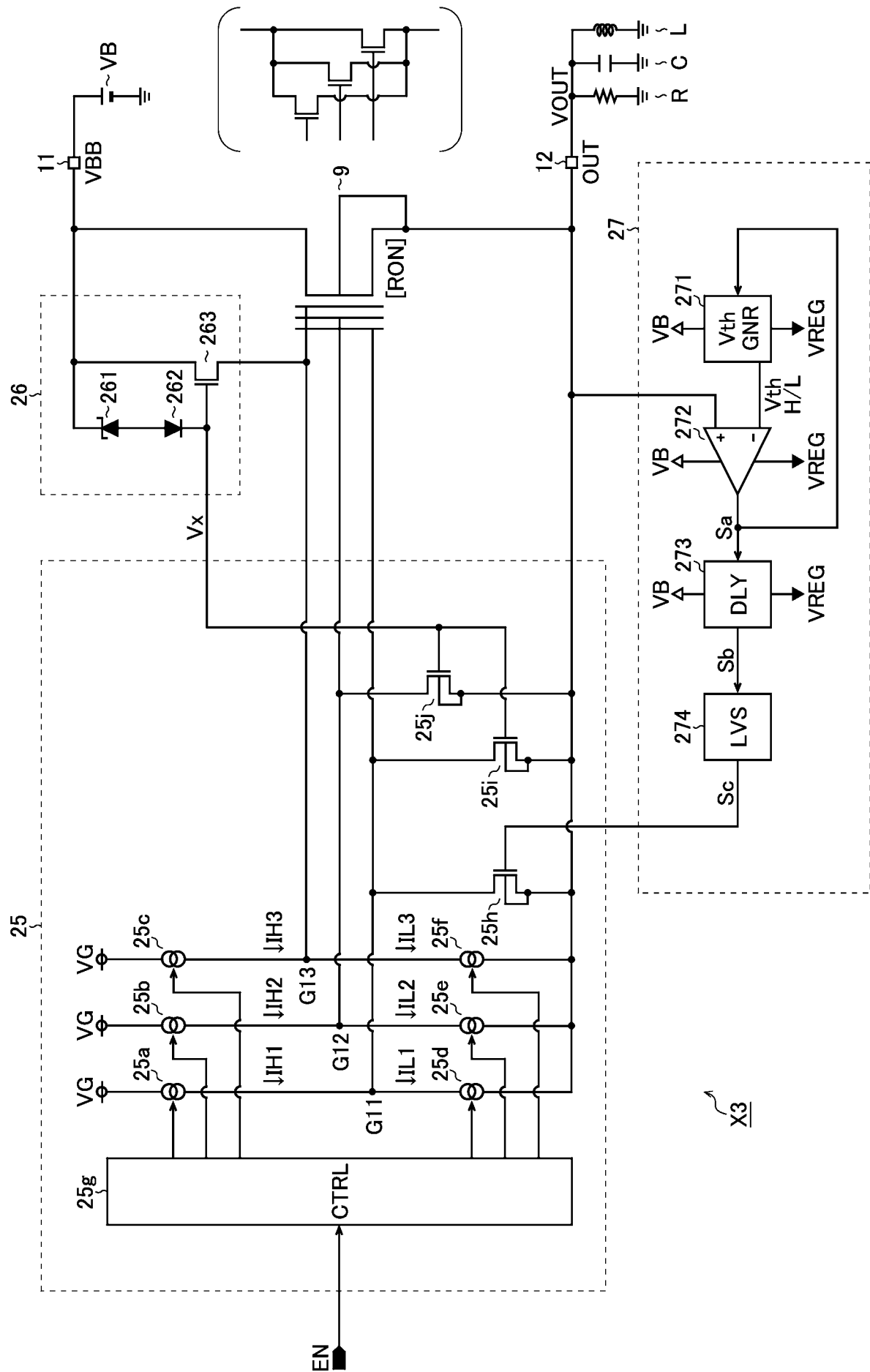
[図53]



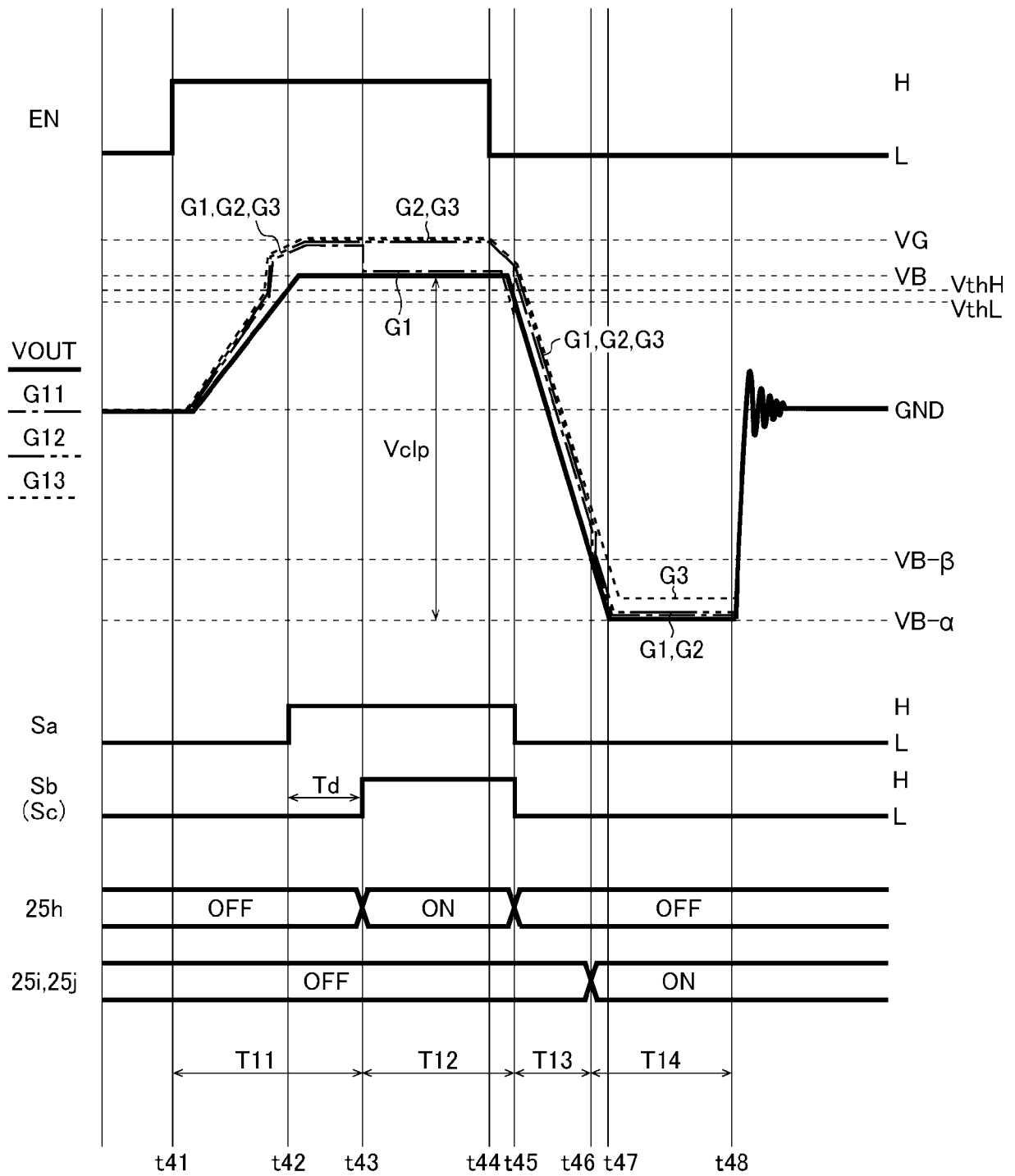
[図54]



[図55]



[図56]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028514

A. CLASSIFICATION OF SUBJECT MATTER

H03K 17/08(2006.01)i; H01L 29/78(2006.01)i; H01L 21/76(2006.01)i
 FI: H03K17/08 C; H01L29/78 652Q; H01L29/78 653C; H01L29/78 652B;
 H01L29/78 652D; H01L29/78 657G; H01L29/78 656E; H01L29/78 652K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/08; H01L29/78; H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2018-37932 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 08.03.2018 (2018-03-08) paragraphs [0001]-[0012], [0016]-[0044], [0048]-[0052], fig. 1-2, 7	1-5, 10-14, 16, 22-24 6-9, 17-21
Y A	JP 2008-35067 A (RENESAS TECHNOLOGY CORP.) 14.02.2008 (2008-02-14) paragraphs [0020]-[0021], [0028]-[0031], fig. 1, 20	1-5, 10-14 6-9, 16-24
Y A	US 2006/0006853 A1 (INTERNATIONAL RECTIFIER CORPORATION) 12.01.2006 (2006-01-12) paragraphs [0001]-[0002], fig. 1, 4	3-5, 10-14 6-9, 17-21
A	JP 2017-85318 A (ROHM CO., LTD.) 18.05.2017 (2017- 05-18) entire text, all drawings	6-9, 17-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 October 2020 (12.10.2020)

Date of mailing of the international search report

20 October 2020 (20.10.2020)

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028514

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-138331 A (FUJITSU LTD.) 11.07.2013 (2013-07-11) paragraphs [0001]-[0002], [0013]-[0029], fig. 4	15 16, 22-24 17-21
Y A	JP 2019-80436 A (ROHM CO., LTD.) 23.05.2019 (2019-05-23) paragraph [0002], fig. 1 entire text, all drawings	22-24 17-21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028514

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/028514

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-37932 A	08 Mar. 2018	US 2019/0260371 A1 paragraphs [0001]- [0015], [0029]- [0056], [0061]- [0065], fig. 1-2, 7 WO 2018/042881 A1 CN 109643993 A (Family: none)	
JP 2008-35067 A	14 Feb. 2008	(Family: none)	
US 2006/0006853 A1	12 Jan. 2006	(Family: none)	
JP 2017-85318 A	18 May 2017	US 2018/0302083 A1 entire text, all drawings WO 2017/073215 A1 (Family: none)	
JP 2013-138331 A	11 Jul. 2013	(Family: none)	
JP 2019-80436 A	23 May 2019	(Family: none)	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028514

<Continuation of Box No. III>

Document 1: JP 2018-37932 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 08.03.2018 (2018-03-08) paragraphs [0001]-[0012], [0016]-[0044], [0048]-[0052], fig. 2, 7

The claims are classified into the following two inventions.

(Invention 1) Claims 1-14

Claims 1-14 have the special technical feature of a "semiconductor device characterized in that the gate control circuit short-circuits a portion between the gate/source of the second transistor before the active clamp circuit operates after transition from the first operation state to the second operation state". Thus, claims 1-14 are classified as invention 1.

(Invention 2) Claims 15-24

Claims 15-24 share, with claim 1 classified as invention 1, the common technical feature of a semiconductor device having a gate control circuit for controlling gates of a plurality of transistors. However, this technical feature does not make a contribution over the prior art in light of the disclosure of document 1, and is thus not considered to be a special technical feature. Furthermore, these inventions share no other identical or corresponding special technical features.

Furthermore, claims 15-24 are not dependent on claim 1. Furthermore, claims 15-24 are not substantially identical or equivalent to any of the claims classified as invention 1.

Therefore, claims 15-24 cannot be classified as invention 1.

Claims 15-24 have the special technical feature of a "semiconductor device characterized by having: a gate division transistor configured to change ON resistance in response to individual control by a plurality of gate signals; and a gate control circuit configured to individually control the plurality of gate signals so as to decrease the ON resistance below a normal value at the time of ON transition of the gate division transistor". Thus, claims 15-24 are classified as invention 2.

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/08(2006.01)i; H01L 29/78(2006.01)i; H01L 21/76(2006.01)i FI: H03K17/08 C; H01L29/78 652Q; H01L29/78 653C; H01L29/78 652B; H01L29/78 652D; H01L29/78 657G; H01L29/78 656E; H01L29/78 652K		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03K17/08; H01L29/78; H01L21/76		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2018-37932 A（日立オートモティブシステムズ株式会社）08.03.2018（2018 - 03 - 08） 段落[0001]-[0012], [0016]-[0044], [0048]-[0052], 図1-2, 7	1-5, 10-14, 16, 22-24 6-9, 17-21
Y A	JP 2008-35067 A（株式会社ルネサステクノロジ）14.02.2008（2008 - 02 - 14） 段落[0020]-[0021], [0028]-[0031], 図1, 20	1-5, 10-14 6-9, 16-24
Y A	US 2006/0006853 A1（INTERNATIONAL RECTIFIER CORPORATION）12.01.2006（2006 - 01 - 12） 段落[0001]-[0002], 図1, 4	3-5, 10-14 6-9, 17-21
A	JP 2017-85318 A（ローム株式会社）18.05.2017（2017 - 05 - 18） 全文, 全図	6-9, 17-21
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.10.2020		国際調査報告の発送日 20.10.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-138331 A (富士通株式会社) 11.07.2013 (2013 - 07 - 11) 段落[0001]-[0002], [0013]-[0029], 図4	15
Y		16, 22-24
A		17-21
Y	JP 2019-80436 A (ローム株式会社) 23.05.2019 (2019 - 05 - 23) 段落[0002], 図1	22-24
A		17-21

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献1：JP 2018-37932 A（日立オートモティブシステムズ株式会社）08.03.2018（2018-03-08）
段落[0001]-[0012]，[0016]-[0044]，[0048]-[0052]，図2，7

請求の範囲は、以下の2つの発明に区分される。

（発明1）請求項1－14

請求項1－14は、「前記ゲート制御回路は、前記第1動作状態から前記第2動作状態への遷移後、前記アクティブクランプ回路が動作する前に、前記第2トランジスタのゲート・ソース間をショートすることを特徴とする半導体装置」という特別な技術的特徴を有しているので、発明1に区分する。

（発明2）請求項15－24

請求項15－24は、発明1に区分された請求項1と、複数のトランジスタのゲートを制御するゲート制御回路を有する半導体装置という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献1の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項15－24は、請求項1の従属請求項ではない。また、請求項15－24は、発明1に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項15－24は発明1に区分できない。

そして、請求項15－24は、「複数のゲート信号の個別制御によりオン抵抗が変化するように構成されたゲート分割トランジスタと、前記ゲート分割トランジスタのオン遷移時に前記オン抵抗を定常値よりも引き下げるように前記複数のゲート信号を個別に制御するように構成されたゲート制御回路と、を有することを特徴とする半導体装置」という特別な技術的特徴を有しているので、発明2に区分する。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/028514

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-37932	A	08.03.2018	US 2019/0260371 A1 段落[0001]-[0015], [0029]-[0056], [0061]- [0065], 図1-2, 7 WO 2018/042881 A1 CN 109643993 A	
JP	2008-35067	A	14.02.2008	(ファミリーなし)	
US	2006/0006853	A1	12.01.2006	(ファミリーなし)	
JP	2017-85318	A	18.05.2017	US 2018/0302083 A1 全文, 全図 WO 2017/073215 A1	
JP	2013-138331	A	11.07.2013	(ファミリーなし)	
JP	2019-80436	A	23.05.2019	(ファミリーなし)	