

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4331641号
(P4331641)

(45) 発行日 平成21年9月16日(2009.9.16)

(24) 登録日 平成21年6月26日(2009.6.26)

(51) Int.Cl.		F I			
HO4B 3/06	(2006.01)	HO4B 3/06		Z	
HO4B 3/18	(2006.01)	HO4B 3/18			
HO4L 25/03	(2006.01)	HO4L 25/03		C	

請求項の数 3 (全 21 頁)

(21) 出願番号	特願2004-115590 (P2004-115590)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成16年4月9日(2004.4.9)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2005-303607 (P2005-303607A)	(74) 代理人	100094525 弁理士 土井 健二
(43) 公開日	平成17年10月27日(2005.10.27)		
審査請求日	平成17年11月25日(2005.11.25)	(74) 代理人	100094514 弁理士 林 恒徳
		(72) 発明者	木船 雅也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	田村 泰孝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 等化回路を有する受信回路

(57) 【特許請求の範囲】

【請求項1】

伝送媒体を伝播した受信信号を受信する受信回路において、
前記受信信号を等化する等化回路と、
前記等化回路の出力信号をデータサンプルタイミングで検出して2値の検出信号を出力するデータ検出回路と、
前記データサンプルタイミングにおける前記等化回路の出力信号と前記検出信号との振幅誤差に基づいて符号間干渉レベルを検出する符号間干渉検出回路と、
前記符号間干渉検出回路が検出する符号間干渉レベルを小さくするように前記等化回路の特性を制御する等化回路特性制御ユニットと、
同期クロックのタイミングに基づいて複数のタイミングの制御クロックを生成するパルス発生回路と、
前記複数の制御クロックにおける前記等化回路の出力信号の振幅と前記検出信号の振幅との差が最小になる前記制御クロックのタイミングに前記データサンプルタイミングを制御するデータサンプルタイミング制御ユニットとを有することを特徴とする受信回路。

【請求項2】

請求項1において、
前記データサンプルタイミング制御ユニットが、前記差が最小になるサンプルタイミングを検出し、当該検出したサンプルタイミングに制御されたデータサンプルタイミングに基づいて、前記符号間干渉検出回路が前記符号間干渉レベルを検出し、当該検出した符号

間干渉レベルに基づいて前記等化特性制御ユニットが等化回路の特性を調整する特性調整処理が繰り返されることを特徴とする受信回路。

【請求項 3】

伝送媒体を伝播した受信信号を受信する受信回路において、
前記受信信号を等化する等化回路と、
前記等化回路の出力信号をデータサンプルタイミングで検出して 2 値の検出信号を出力するデータ検出回路と、

前記データサンプルタイミングにおける前記等化回路の出力信号と前記検出信号との振幅誤差に基づいて符号間干渉レベルを検出する符号間干渉検出回路と、

前記符号間干渉検出回路が検出する符号間干渉レベルを小さくするように前記等化回路の特性を制御する等化回路特性制御ユニットと、

同期クロックのタイミングに基づいて複数のタイミングの制御クロックを生成するパルス発生回路と、

前記複数の制御クロックにおける前記等化回路の出力波形の振幅と前記検出信号の振幅との差が最小になる前記制御クロックのタイミングに前記データサンプルタイミングを制御するデータサンプルタイミング制御ユニットとを有し、

前記符号間干渉検出回路は、更に、前記差が最小になる制御クロックのタイミングに対応する前記データサンプルタイミングより位相が遅延又は進んだ第 2 のデータサンプルタイミングにおける前記等化回路の出力信号と前記検出信号との振幅誤差に基づいて第 2 の符号間干渉レベルを検出し、

前記等化特性制御ユニットは、当該第 2 の符号間干渉レベルも小さくするように前記等化回路の特性を制御することを特徴とする受信回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、符号間干渉をモニタしてそれを抑制するよう特性制御される等化回路を有する受信回路に関し、特に、データレートの高い受信波形を等化回路にて適切に等化することができるようにした受信回路に関する。

【背景技術】

【0002】

LSI チップ間の信号伝送、チップ内の素子間または回路ブロック間の信号伝送、回路ボード間の信号伝送などを高速に行う場合、伝送線路において符号間干渉 (Inter Symbol Interference : ISI) が発生し、受信波形に歪みが生じる。この ISI は、伝送線路の帯域がデータレートに比較して十分に高くないとき、信号波形の高周波成分の損失により生じるものであり、受信波形のインパルス応答が裾をひくようになり、過去あるいは未来の時間における信号波形に影響を及ぼす。この影響が ISI である。つまり、伝送線路を伝播してきたある時間の受信波形には、過去あるいは未来のパルス信号による ISI が現れることになる。この ISI の発生により、送受信可能な伝送距離が短くなったり、送受信可能なデータレートが低くなったりし、したがって、高速信号伝送において ISI を補償することが必要である。

【0003】

このように受信信号の ISI を抑制することは、例えば、通信における受信再生回路においても一般に行われている。例えば、特許文献 1 に示される通りである。この先行技術には、ISI を抑制するためにルート・コサイン・ロール・オフ・フィルタが設けられている。

【0004】

また、適応等化回路については、例えば、特許文献 2、3 に示されている。

【特許文献 1】特開平 6 - 204911 号公報 (1994 年 7 月 22 日公開)

【特許文献 2】特開 2003 - 059186 号公報

【特許文献 3】特開 2003 - 045121 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

伝送線路によるISIを補償するために、伝送線路の送信側あるいは受信側、またはその両側に伝送線路の逆特性を与える等化回路（イコライザ）が配置される。送信側に等化回路を設けて、伝送されるパルス信号を波形整形（波形等化）し、受信側でISIによる波形歪みが発生しないようにすることにより、伝送線路によるISIをある程度抑制することができる。しかし、例えば伝送線路の特性が時間的に変化する場合には、送信側に固定的な特性を有する等化回路を設けるだけではISI補償には不十分である。伝送線路特性が変動する場合は、受信側に等化回路を設け、その等化回路の出力をモニタして伝送線路の逆特性となるように等化回路の特性を微調整することが必要になる。これにより、伝送線路特性が変動してもそれに適応して受信側で最適に等化することが可能になる。

10

【0006】

受信側に設けられる等化回路の特性を調整する方法として、等化回路の出力からISIの程度を示すISI評価関数を生成し、それが最小値になるように等化回路の特性パラメータを制御することが考えられる。この方法では、ばらつきのある複数の受信信号波形からなるデータアイのほぼ中心にあるデータセンタタイミングで信号波形をサンプリングし、ISI評価関数を生成する必要がある。データレートが低い場合は、データアイのセンタタイミングへのサンプリングタイミング調整は比較的容易に行うことができるが、データレートが高くなるにつれて信号波形の周期（ユニット・インターバル：UI）が短くなり、データアイのセンタタイミングへのサンプリングタイミング調整を高精度に調整することが困難になる。そのため、適切なサンプリングタイミングでのISI評価関数を求めることが困難になり、上記の等化回路の特性調整方法では、適切にISIを補償することが困難になることが予想される。

20

【0007】

そこで、高いデータレートのパルス受信信号を等化する等化回路の特性を適切に調整することができる受信回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の目的を達成するために、本発明の第1の側面は、伝送媒体を伝播した受信信号を等化する等化回路と、等化回路のアナログ出力信号をデータサンプルタイミングで検出してデジタル信号を出力するデータ検出回路と、等化回路のデータサンプルタイミングでのアナログ出力信号とデータ検出回路のデジタル信号とから符号間干渉レベルを検出する符号間干渉検出回路と、符号間干渉検出回路が検出する符号間干渉レベルを最小にするように等化回路の特性を制御する等化特性制御ユニットとを有する受信回路である。そして、インパルスに対する等化回路のアナログ出力波形の振幅と理想インパルス応答波形の振幅との差が最小になるサンプルタイミングに前記データサンプルタイミングを制御するデータサンプルタイミング制御ユニットを設ける。データサンプルタイミング制御ユニットにより、適切なデータサンプルタイミングを検出することができるので、その検出したサンプルタイミングで符号間干渉レベルを検出し、等化回路の等化特性を最適に制御し、符号間干渉を補償することができる。

30

40

【0009】

上記の目的を達成するために、本発明の第2の側面は、伝送媒体を伝播した受信信号を等化する等化回路と、等化回路のアナログ出力信号をデータサンプルタイミングで検出してデジタル信号を出力するデータ検出回路と、等化回路のアナログ出力信号のデータバウンダリの位相変動量を検出し、当該データバウンダリの位相変動量が小さくなるように等化回路の特性を制御する等化特性制御ユニットとを有する受信回路である。等化特性制御ユニットは、ISIの程度を等化回路のアナログ出力信号のデータバウンダリの位相変動量によって監視し、そのデータバウンダリの位相変動量が小さくなるように等化回路特性を調節する。従って、データレートの高い信号であってもデータアイのセンタタイミング

50

を高精度に制御する必要がなく、簡単に等化回路の等化特性を最適化し、符号間干渉を補償することができる。

【 0 0 1 0 】

上記の目的を達成するために、本発明の第3の側面は、伝送媒体を伝播した受信信号を等化する等化回路と、等化回路のアナログ出力信号をデータサンプルタイミングで検出してデジタル信号を出力するデータ検出回路と、等化回路のアナログ出力信号のデータバウンダリでの振幅変動量を検出し、当該データバウンダリでの振幅変動量が小さくなるように等化回路の特性を制御する等化特性制御ユニットとを有する受信回路である。等化特性制御ユニットは、ISIの程度を等化回路のアナログ出力信号のデータバウンダリでのアナログ出力信号の振幅変動量によって監視し、その振幅変動量が小さくなるように等化回路特性を調節する。従って、データレートの高い信号であってもデータアイのセンタタイミングを高精度に制御する必要がなく、簡単に等化回路の特性を最適化し、符号間干渉を補償することができる。

10

【発明の効果】

【 0 0 1 1 】

本発明によれば、データレートの高いパルス受信信号であっても符号間干渉を適切に抑制する等化回路を有する受信回路を提供できる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、図面にしたがって本発明の実施の形態について説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されず、特許請求の範囲に記載された事項とその均等物まで及ぶものである。

20

【 0 0 1 3 】

図1は、本実施の形態が適用される伝送線路と等化回路の配置例を示す図である。送信側1から送信されるパルス送信信号 d_n は伝送媒体である伝送線路3A~3Cを伝播し、受信信号 y_n として受信側2で受信される。伝送線路の伝送特性により受信信号 y_n は符号間干渉(ISI)の影響を受けて波形が歪んでしまう。また、送信側1の送信回路10~14が送信信号 d_n に加えて同期クロックも送信する場合と、送信側が同期クロックを送信せずに受信側2で受信信号 y_n から同期クロックを再生する場合とがある。

【 0 0 1 4 】

送信回路10は、ISIの影響が受信信号 y_n に含まれないようにあらかじめ送信側で送信信号 d_n の波形を整形するために、等化回路を有する場合がある。この送信回路内の等化回路は、伝送線路3Aの特性に応じた特性に設計されている。つまり、伝送線路の予想される特性に対応して、送信回路内の等化回路の等化特性があらかじめ設定される。しかし、実際の受信信号をモニタすることができないので、伝送線路の特性が予想特性と食い違くと、適切にISIを抑制することはできない。

30

【 0 0 1 5 】

一方、送信回路12は等化回路を含まず、受信回路20が等化回路を含み、受信回路20にて受信信号 y_n のISIの影響が除去される。更に、送信回路14の例は、等化回路を含み、同時に、受信回路24も等化回路を含む。このように、等化回路は送信側と受信側のいずれかにまたは両方に設けられるが、伝送線路が時間経過に応じてその特性が変化する場合は、受信側に等化回路を設けて、受信信号 y_n に適應して波形の等化を行う必要がある。

40

【 0 0 1 6 】

図2は、等化回路を有する受信回路の一般的構成例を示す図である。受信信号 y_n は等化回路(Equalizer)30に入力され、等化特性パラメータEQPRで設定された等化特性に基づいてISIを抑制するように波形整形され、アナログ出力信号 a_n として出力される。そして、データ判定回路32にてデータアイのセンタタイミングでその信号レベルがラッチされ、デジタル信号 d_n として出力される。シリアルに生成されるデジタル信号 d_n は、デマルチプレクサ34にてシリアル・パラレル変換され、パラレルデジタル信号 d_n

50

(P)として出力される。クロックリカバリユニットCRUは、判定回路32の出力であるデジタル信号dnのデータ遷移(データ0から1、又はデータ1から0)のタイミングを検出し、送信側の同期クロックを再生する。この再生された同期クロックCLKは、受信回路内の各回路やユニットに供給される。

【0017】

図2の受信回路では、等化回路30が適切にISIを抑制できるように、その等化パラメータEQPRが等化パラメータ制御ユニット38により適宜制御される。等化パラメータ制御ユニット38は、ISI演算ユニット36が生成するISI情報を受信し、このISI情報に基づいて等化パラメータEQPRを適切に制御する。ISI演算ユニット36は、等化回路30のアナログ出力信号anとデータ判定回路32のデジタル出力信号dnとから、所定のISI評価関数を演算し、その演算結果をISI情報として等化パラメータ制御回路38に供給する。

10

【0018】

図3は、等化回路のアナログ出力信号波形の一例を示す図である。図中には、複数のデータパターンに対応するアナログ出力信号が重ねて表示されている(アイパターン)。データが遷移する信号の場合は、データバウンダリDBT間のデータセンタタイミングDCTでそれぞれLレベルまたはHレベルになる。このようにデータセンタタイミングDCTでHレベルとLレベルとが区別できるような信号波形はデータアイと呼ばれ、データアイのデータセンタタイミングDCTでデータ判定されることで、正しいデジタル信号dnを判定することができる。なお、データバウンダリDBTでHレベルまたはLレベルの信号は、データがHレベルのまま、またはLレベルのまま遷移しないデータパターンの例である。

20

【0019】

伝送線路内でISIが生成されることで、図3に示したように受信信号の波形が乱れ、データセンタタイミングで適切にデータ判定できなくなることがあり、それを回避するために、等化回路でISIを抑制するように波形整形が行われる。等化回路は、例えば、現在の信号振幅と、1~数ビット前の信号振幅とを所定の等化パラメータで調整して合成することで、先行ビットの信号によるISIを除去するよう波形整形を行う。伝送線路の特性に応じてISIレベルが異なるので、等化パラメータを伝送線路特性に対応させて適切に調整することで、等化回路にてISIを適切に抑制することができる。

30

【0020】

図4は、データ判定のタイミングについて説明する図である。図4(A)はデータレートが低い場合の信号波形であり、1周期UIが長いので、データバウンダリタイミングDBT間の任意のタイミングにデータセンタタイミングDCTを設定するだけで、データ判定を十分に行うことができる。そういう意味で、データレートが低い場合は、クロックリカバリユニットにより生成される同期クロックまたは送信側から送信される同期クロックを利用して、適当なタイミングのデータセンタタイミングDCTを設定すれば良いことになる。なお、クロックリカバリユニットは、例えば、データが遷移する前後のタイミングT1, T2に対して、その中間のタイミングDBTでの判定回路のデジタル出力信号dnのデータ値から、受信信号の位相を検出し、同期クロックを再生する。

40

【0021】

一方、図4(B)はデータレートが高い場合の信号波形であり、1周期UIが短いので、データセンタタイミングDCTを高精度に設定しなければ、適切にデータ判定することができない。また、クロックリカバリユニットにより検出されるデータバウンダリタイミングDBTを利用して、その中間のタイミングを利用することも考えられるが、必ずしも中間タイミングで受信信号のHレベルとLレベルが顕著にあらわれるわけではなく、アイパターンのデータセンタタイミングを高精度に設定することは困難である。更に、データセンタタイミングDCTを高精度に設定できないと、データセンタタイミングDCTでのISI情報の取得も困難になり、適切な等化パラメータの設定が困難になる。

50

【 0 0 2 2 】

[第 1 の実施の形態]

図 5 は、第 1 の実施の形態における受信回路の構成図である。この受信回路は、等化回路 3 0 と、判定回路 3 2 と、デマルチプレクサ 3 4 と、等化回路の等化特性パラメータ $E Q P R$ を制御する等化パラメータ制御ユニット 3 8 とを有する。また、判定回路 3 2 のデータサンプリングタイミングクロック $S T 1$ を生成するパルス発生回路 4 0 が設けられ、パルス発生回路 4 0 は、同期クロック $C L K$ に制御された位相遅延を与えることにより、アイパターンのデータセンタタイミング $D C T$ に制御されたデータサンプリングクロック $S T 1$ を生成する。この位相遅延は、データサンプルタイミング制御ユニット 4 6 により生成される遅延量制御コード $D E L A Y$ により設定される。

10

【 0 0 2 3 】

$I S I$ 検出回路 4 2 は、サンプルタイミング $S T 2$ のタイミングでアナログ出力信号 a_n をデジタル信号に変換するアナログ・デジタル変換回路 $A D C$ と、そのデジタル信号 $a_n(d)$ とデータ判定回路 3 2 のデジタル信号 d_n から振幅誤差であるエラー $e_n = (d_n - a_n)$ を生成するエラー生成器 4 4 とを有し、エラー生成器 4 4 が、 $I S I$ 評価関数 $J = E \{ e_n^2 \}$ を生成する。この $I S I$ 評価関数 J は、重み付け回路 5 2 を介して等化パラメータ制御ユニット 3 8 に供給される。

【 0 0 2 4 】

図 6 は、等化回路の一例を示す構成図である。図 6 の等化回路は、ゲート 3 0 1, 3 0 2, 3 0 3 からなる信号パスと、ゲート 3 0 4, 3 0 5, 3 0 6 からなる信号パスと、ゲート 3 0 7, 3 0 8, 3 0 9 からなる信号パスと、3 つの信号パスの出力の合成を行うゲート 3 1 0 とを有する。ゲート 3 0 1, 3 0 2, 3 0 5 は信号を遅延することなくそのまま転送するゲートであり、ゲート 3 0 4, 3 0 7, 3 0 8 は信号を遅延してシフトするゲートであり、ゲート 3 0 3, 3 0 6, 3 0 9 は、それぞれ増幅率 a, b, c で振幅を調整する振幅調整回路である。したがって、ゲート 3 0 3 は、現在の信号振幅を a 倍に振幅調整し、ゲート 3 0 6 は一階微分された信号振幅を b 倍に振幅調整し、ゲート 3 0 9 は二階微分された信号振幅を c 倍に振幅調整する。その結果、等化パラメータ a, b, c に応じて、受信信号 y_n に含まれる先行ビットによる $I S I$ の影響が抑制された出力信号 a_n が生成される。このように、等化回路 3 0 のアナログ出力信号 a_n は、受信信号 y_n に等化回路の等化特性パラメータ $E Q P R$ 、図 6 の例では a, b, c 、を乗算して生成される。

20

30

【 0 0 2 5 】

図 5 の等化パラメータ制御ユニット 3 8 は、評価関数 J を最小化する等化特性パラメータ $E Q P R$ を所定の演算により求める。この等化特性パラメータ $E Q P R$ を求める方法としては、離散時間系の Wiener-Hopf 方程式の近似解により求める方法、あるいは、離散時間系の Wiener-Hopf 方程式の近似解を簡素化した $L M S$ アルゴリズムにより求める方法などがある。

【 0 0 2 6 】

図 5 の受信回路では、データレートが高くなってもデータサンプルタイミング $S T 1$ を高精度に検出するために、タイミング制御ユニット 4 6 を有する。タイミング制御ユニット 4 6 は、アナログ・デジタル変換器 $A D C$ の出力 $a_n(d)$ とデータ判定回路 3 2 の出力 d_n とに基づいて、アイパターンのデータセンタタイミングに対応した最適のデータサンプルタイミングを検出するタイミング判定回路 4 8 と、その検出したタイミングにするための遅延量制御コード $D E L A Y$ を生成する遅延コード生成回路 5 0 とを有する。この遅延量制御コード $D E L A Y$ がパルス発生回路 4 0 に要求され、パルス発生回路 4 は、遅延量制御コードに対応する遅延量を基準クロック $C L K$ に加えて、データサンプルクロック $S T 1$ やアナログ・デジタル変換回路 $A D C$ のサンプルクロック $S T 2$ を生成する。

40

【 0 0 2 7 】

図 7 は、本実施の形態におけるデータサンプルタイミング判定方法を説明する図である。データパターンが 0 0 0 0 0 1 0 のように、単一のパルスから構成される場合、その単一パルスが伝送線路伝播中で生成する $I S I$ により受信信号 a_n には、図 7 (A) に示

50

されるように、波形歪みが生じる。つまり、ISIにより受信信号 a_n が裾をひき、理想的な受信パルス I_R に比較すると、受信信号 a_n の波形に歪みが生じる。そこで、アナログ・デジタル変換器ADCのサンプルタイミング ST_2 を走査し、各タイミングでAD変換された振幅値 $a_n(d)$ と理想パルスに対応するデジタル信号 d_n との差 $Err = d_n - a_n(d)$ をプロットすると、図7(B)に示される通りである。つまり、1周期 $1UI$ 内において、差 Err はあるタイミングで極小値をとる。そこで、この差 Err が極小値となるタイミングをアイパターンのデータセンタタイミング DCT とみなすことができる。

【0028】

そこで、このデータセンタタイミング DCT にデータサンプルタイミング ST_1 、 ST_2 を整合させて、そのサンプルタイミング ST_1 、 ST_2 で得られた出力信号 $a_n(d)$ 、 d_n からISI評価関数 J を求め、そのISI評価関数 J を最小にする等化パラメータ $EQPR$ を求め、その等化パラメータによって等化回路の特性を制御する。その結果、等化回路の出力信号 a_n の波形は、図7(C)の実線 a_n2 に示すように、等化パラメータを制御する前の出力信号波形 a_n1 よりも理想波形に近づく。つまり、等化パラメータ $EQPR$ がより最適化され、ISIレベルが適切に抑制されることになる。破線の信号波形 a_n1 は、図7(A)の信号波形 a_n に対応する。

【0029】

図8は、本実施の形態における等化パラメータを最適化する工程のフローチャート図である。上記で説明したように、サンプルタイミング ST_2 を走査して差 $Err(t)$ を検出し(S10)、検出した差 $Err(t)$ が最小値になるサンプルタイミング ST_2 を、アイパターンのデータセンタタイミングとし(S12)、そのタイミング DCT で取得したISI評価関数 J を最小にする等化パラメータを求める(S14)。そして、その等化パラメータで取得されるISI評価関数 J が所望の閾値 V_{th} より小さくなるまで(S16)、上記の工程S10～S14を繰り返す。このように工程S10～S14により等化回路の等化パラメータの変更制御を繰り返すことにより、ISI評価関数が収束し、等化回路の特性をISIがより抑制されるように最適化することができる。

【0030】

図5に戻り、タイミング制御ユニット46において、タイミング判定回路48は、遅延コード生成回路50により遅延コード $DELAY$ を変更させてサンプルタイミング ST_2 を走査させ、図7(B)の差 $Err(t)$ を検出し、その差 $Err(t)$ が最小値になったサンプルタイミング ST_2 に対応する遅延量制御コード $DELAY$ を遅延コード生成回路50に出力させる。これにより、遅延量制御コード $DELAY$ に対応するタイミングのサンプルクロック ST_1 、 ST_2 がパルス発生回路40により生成される。そして、そのサンプルタイミングでISI検出回路42がISI評価関数 J を生成し、そのISI評価関数 J を、重み付け回路52を介して、等化パラメータ制御ユニット38に供給する。等化パラメータ制御ユニット38は、前述した方法によりISI評価関数 J を最小にする等化パラメータ $EQPR$ を求め、等化回路30に供給する。そして、この等化パラメータで特性が調整された等化回路30により波形整形され、その波形整形された出力信号 a_n に対するISI評価関数 J が閾値 V_{th} より小さくなったか否かが、等化パラメータ制御ユニット38により判定される。

【0031】

図9は、ISI評価関数 J に対する重み付け回路の動作原理を説明する図である。タイミング制御ユニット46により検出されるデータサンプルタイミングによってサンプリングされる信号 a_n 、 d_n からISI評価関数 J を求め、このISI評価関数 J を演算して等化パラメータ $EQPR$ を求めて、等化回路の特性を調整すると、図9(A)に示される信号 a_n のように、データサンプルタイミング ST_1 、 ST_2 での波形のみが整形され、それ以外の波形は歪んだままになる場合がある。

【0032】

そこで、第1の実施の形態では、重み付け回路52を設け、図9(B)に示されるよう

10

20

30

40

50

に、タイミング制御ユニット46が検出したデータサンプルタイミングDCTより位相が先行する第2のデータサンプルタイミング(DCT - dt)や、位相が遅延する第2のデータサンプルタイミング(DCT + dt)により信号an, dnをサンプリングし、そのサンプリングされた信号an, dnによるISI評価関数Jを所定の重み付けによって加算する。この重み付け回路52が、例えば3つのサンプルタイミングDCT、DCT - dt、DCT + dtでの評価関数Jを所定の重み付け係数で重み付け加算して、それを評価関数として等化パラメータ制御ユニット38に与える。この重み付けされた評価関数に基づいて等化パラメータを求めることで、その等化パラメータにより特性調整された等化回路の出力anは、図9(B)に示されるように理想的なアイパターンに波形整形される。

【0033】

図10は、パルス発生回路40の一例を示す構成図である。パルス発生回路40は、基準クロックCLKに遅延量制御コードDELAYに対応する遅延量を加えて、遅延量制御コードに対応するタイミングのサンプリングクロックなどを生成する。図10に示されたパルス発生回路40は、基準電流Irefを生成する基準電流発生回路406と、基準電流Irefを1:2:4:8...のようにバイナリー倍した電流を、遅延量制御コードDELAYに応じて加算した電流Idとして生成するデジタルアナログ変換回路DACとを有する。このデジタルアナログ変換回路DACは、遅延量制御コードDELAYをアナログ電流Idに変換する回路である。そして、大きさの異なる電流Idがミキサ401内に設けられた遅延ゲート402、403、404、405に基準電流として与えられ、入力クロックA, AX, B, BXの位相を適当に重み付けてミキサすることにより、バッファ407によりタイミング制御クロックC, CXを出力する。つまり、遅延量制御コードDELAYに対応する遅延量が基準クロックに加えられてタイミング制御または位相制御されたクロックが出力される。このタイミング制御クロックが、図5におけるサンプルタイミングクロックST1, ST2である。

【0034】

以上のように、第1の実施の形態では、等化回路のアナログ出力信号anのエラー値Errに基づいてデータセンタタイミングを仮に検出し、そのデータセンタタイミングでのISI情報を最小化するように等化パラメータを最適化する。そして、このプロセスを繰り返すことで、適切にISIを抑制することができる。したがって、データレートが高くなっても、適切にISIを抑制する受信回路を提供することができる。

【0035】

[第2の実施の形態]

図11は、第2の実施の形態における受信回路の構成図である。この受信回路では、データセンタタイミングDCTで等化回路30のアナログ出力信号anを判定する判定回路32に加えて、データバウンダリタイミングDBTでアナログ出力信号anを判定する判定回路33を設けている。そして、等化回路30のアナログ出力信号anのデータバウンダリの位相変動量をISI情報として検出するISIモニタユニット52を設け、等化パラメータ制御ユニット38は、その位相変動量が小さくなるようにする等化パラメータを決定する。また、パルス発生回路40は、クロックリカバリユニットCRUが生成する同期クロックCLKをもとに、データバウンダリタイミングクロックDBTを生成し、判定回路33にサンプルクロックとして供給する。また、パルス発生回路40は、同期クロックCLKをもとに、データセンタタイミングクロックDCTを生成する。

【0036】

図12は、第2の実施の形態における原理図である。図12(A)は、データアイに対応する信号anを重ねて表示したアイパターンである。L, H, Lと変化及びH, L, Hと変化するデータアイの位相変動量dPは、ISI情報に対応する。つまり、ISIが抑制されていないと、データアイの位相変動量dPは大きくなり、一方、ISIが適切に抑制されるとデータアイの位相変動量dPも小さくなる。そこで、第2の実施の形態では、この位相変動量dPを何らかの方法で取得するISIモニタユニット52を設け、その位相変動量dPをISI情報として等化パラメータ制御ユニット38に供給する。

10

20

30

40

50

【 0 0 3 7 】

図 1 2 (B) は、3 つのデータパターンに対応するデータアイのバウンダリ (立ち上がりエッジ) での波形を示す。これに示されるように、データアイのデータバウンダリの位相変動量は、先行するデータパターンに依存して異なる。図 1 2 (B) の例では、3 種類のデータパターンに対応してエッジの位相がそれぞれ異なっている。例えば、データパターン A は「 1 1 0 1 」、データパターン B は「 1 0 0 1 」、データパターン C は「 0 1 0 1 」とすると、先行するデータパターン「 1 1 」「 1 0 」「 0 1 」、に対応して、データ 0 から 1 へのエッジの位相が異なる。

【 0 0 3 8 】

図 1 3 は、第 2 の実施の形態における原理図である。図 1 3 (A) は、アイパターンのバウンダリタイミングでの詳細波形図である。前述のとおり、先行するデータパターンに対応してデータアイのエッジ (クロスポイント C P) の位相が異なる。そして、受信回路内に設けられたクロックリカバリユニット C R U により生成されるバウンダリサンプルタイミング D B T は、これらクロスポイント C P の時間方向の平均位置に制御される。そこで、図 1 3 (B) に示されるように、バウンダリ判定回路 3 3 により、あるデータパターンの時のアナログ出力信号 a_n をバウンダリタイミング D B T でラッチして検出し、その検出データ $d_n(b)$ の積分値 I_D を I S I モニタユニット 5 2 が検出する。つまり、データバウンダリでの判定回路 3 3 の検出出力 $d_n(b)$ が H レベルのときは判定値 + 1、L レベルのときは判定値 - 1 とし、複数の検出出力 $d_n(b)$ の判定値を積分した積分値 I_D に応じて、そのデータパターンのデータバウンダリでの位相変動量 d_P を決定する。図 1 3 (B) の右側のグラフに示されるように、サンプルタイミング D B T に応じて、判定値の積分値 I_D が比例的に変化するので、積分値 I_D がサンプルタイミング D B T とエッジの中心 ($t = 0$) との位相差、位相変動量 d_P に対応することを利用しているのである。

【 0 0 3 9 】

図 1 1 に戻り、I S I モニタユニット 5 2 は、データセンタタイミング D C T で判定する判定回路 3 2 のデータ d_n を入力し、先行するデータパターンを検出して、着目しているデータパターンと一致する時にトリガ信号 T G を生成するトリガ信号発生器 5 4 と、そのトリガ信号 T G が与えられた時の、バウンダリタイミング D B T で判定されたデータ $d_n(b)$ の「 + 1 」または「 - 1 」を、一定時間、積分する積分器 5 6 とを有する。そして、複数のデータパターン別に積分器 5 6 により積分された値 I_D が、I S I 情報として等化パラメータ制御ユニット 3 8 に供給される。この積分値 I_D は、前述のとおり、等化回路 3 0 の出力信号 a_n のバウンダリの位相変動量 d_P に対応する。

【 0 0 4 0 】

等化パラメータ制御ユニット 3 8 は、複数のデータパターンに対応する積分値 I_D の絶対値が全て小さくなるように、等化パラメータ E Q P R の最適値を求め、その等化パラメータにより等化回路 3 0 の特性を制御する。あるいは、複数のデータパターンに対応する積分値 I_D の最大値が小さくなるように、等化パラメータ E Q P R を制御し、最大値に対する等化パラメータの最適化プロセスを繰り返して行う。このように、データパターン別に位相変動量を求めて、それぞれの位相変動量を所定の最小値にする方法は、信号 a_n に含まれる複数の周波数における特性 (位相) を求めて、その特性 (位相) をある最小値にする方法と同等である。

【 0 0 4 1 】

図 1 4 は、第 2 の実施の形態における受信回路の変形例を示す図である。この変形例では、図 1 1 の受信回路のクロックリカバリユニット C R U が設けられていない。図 1 1 のクロックリカバリユニット C R U では、位相検出器 P D が、受信信号に対してデータセンタタイミング D C T で検出したデータ d_n と、データバウンダリタイミング D B T で検出したデータ $d_n(b)$ とによって、受信信号の位相を検出し、送受信器間の周波数偏差を検出可能となるようにカットオフ周波数が設定されたローパスフィルタ L P F により低周波数成分の位相を抽出して、同期クロック C L K を生成している。それに対して、図 1 4 の例では、同期クロック C L K が送信側からデータと共に送信され、受信した同期クロッ

10

20

30

40

50

クCLKがパルス発生回路40に供給されている。パルス発生回路40は、図10に示したように、遅延制御コードDELAYに応じて、基準クロックCLKに制御された遅延を加えて、バウンダリサンプルクロックDBTやデータセンタサンプルクロックDCTを生成する。

【0042】

図15は、第2の実施の形態における別の受信回路を示す図である。図11、図14の受信回路は、等化回路のアナログ出力信号anのデータバウンダリの位相変動量dPを、バウンダリタイミングDBTで検出されるデータdn(b)の積分値により検出した。しかし、このデータdn(b)は、位相変動量dPの大小関係を示す指標にすぎず、位相変動量の大きさを示すものではない。また、等化の程度が不十分の場合では、クロックリカバリユニットにより求められるバウンダリタイミングDBTで検出される検出データdn(b)は、「+1」または「-1」であり、異なるデータパターン間で積分値が同じになり、大小関係を明確に区別することができない。それに対して、図15の受信回路では、パルス発生回路40への遅延量制御コードDELAYを利用して、判定回路33のバウンダリタイミングDBTを変動させ、積分値IDに基づいて位相変化量dPの大きさを検出する。

10

【0043】

図16は、図15の受信回路の原理図である。図16には、データアイのエッジ部分が示される。図16(A)に示されているように、データアイには複数のデータパターンに対するエッジ波形が含まれるが、クロックリカバリユニットCRUなどにより得られるバウンダリタイミングDBT1では、データパターンMとNの判定データdn(b)は共にLレベルであるので、両者を区別することは困難である。特に、前述したように、等化の程度が不十分の場合、バウンダリでの位相変動量が大きく、バウンダリタイミングDBT1では、判定データdn(b)が同じであり、区別が困難である。一方、図16(B)に示されるように、バウンダリデータの判定回路33のサンプルタイミングの位相を、バウンダリタイミングDBT1から変化させたタイミングDBT2では、データパターンMとNに対する判定データdn(b)は区別可能である。

20

【0044】

そこで、図15の等化パラメータ制御ユニット38が、遅延量制御コードDELAYを変動させてバウンダリデータの判定回路33におけるサンプルクロックDBTの位相を走査させ、それぞれのサンプルクロックで得られる積分値IDが区別可能か否かを判定する。そして、等化パラメータ制御ユニット38は、ISIモニタユニット52が生成する積分値IDが、区別可能になる時に制御されたサンプルクロックDBT2の遅延量dPをデータパターンMの位相変動量dPとして検出する。そして、この位相変動量dPが所定閾値より小さくなるように、等化パラメータEQRが調整される。データアイのバウンダリの位相変動量dPが小さくなるように等化回路30の特性が調整されると、位相変動量dPとISIとの関係から、ISIが適切に抑制されたアナログ出力信号anが生成されることになる。

30

【0045】

図15の受信回路では、ISIモニタユニット52が所定のデータパターンに対するサンプルタイミングDBTでの判定データdn(b)の積分値IDを生成し、等化パラメータ制御ユニット38が、サンプルタイミングDBTを変動させて、異なるデータパターン間でその積分値IDが区別可能になる遅延量を位相変動量dPとして求めている。従って、位相変動量dPの大きさを検出しているため、等化パラメータの最適化プロセスを位相変動量dPが所定の閾値になれば終了することができる。これに対して、図11、図14の受信回路では、位相変動量の大小を示す積分値IDに基づいて等化パラメータを最適化しているため、等化パラメータの最適化プロセスの終了時を適切に検出することができず、そのプロセスを常時繰り返す必要がある。

40

【0046】

図15の受信回路では、クロックリカバリユニットCRUを設けているが、送信側が同期クロックを送信する場合は、図14に示したようにクロックリカバリユニットCRUは

50

必要ない。

【 0 0 4 7 】

以上のように、第 2 の実施の形態では、データレートが高くなっても、データアイのデータバウンダリでの位相変動量 dP を検出することができ、その位相変動量 dP を ISI 情報として利用することで、位相変動量 dP を小さくするように等化パラメータを最適化することができる。

【 0 0 4 8 】

[第 3 の実施の形態]

図 1 7 は、第 3 の実施の形態における受信回路を示す図である。第 3 の実施の形態では、ISI モニタユニット 5 2 が、等化回路 3 0 のアナログ出力信号 a_n のデータバウンダリタイミング DBT での振幅変動量 dAM を検出し、等化パラメータ制御ユニット 3 8 が、その振幅変動量 dAM が小さくなるように等化回路 3 0 の特性パラメータ EQPR を制御する。

10

【 0 0 4 9 】

図 1 8 は、第 3 の実施の形態の原理図である。図 1 8 (A) は、受信信号 y_n が等化される前のバウンダリ DBT 付近のアイパターンであり、図 1 8 (B) は、等化された後のバウンダリ付近のアイパターンである。等化される前のアイパターンは、ISI が除去または抑制されていないので、バウンダリ付近のアイパターンは、時間方向において位相変動があり、また、振幅方向において振幅変動 dAM がある。そして、等化されることで ISI が抑制されると、その位相変動量と振幅変動量が、図 1 8 (B) のように小さくなる。第 2 の実施の形態では、この位相変動量をモニタし、これを ISI 情報として等化パラメータの最適化を行った。これに対して、第 3 の実施の形態では、振幅変動量をモニタし、これを ISI 情報として等化パラメータの最適化を行う。つまり、振幅変動量 dAM が小さくなるように、または所定の閾値より小さくなるように等化パラメータの最適化を行う。

20

【 0 0 5 0 】

したがって、図 1 7 に示した受信回路の ISI モニタユニット 5 2 は、バウンダリサンプルタイミング DBT で等化回路 3 0 のアナログ出力信号 a_n をアナログ・デジタル変換する変換器 ADC と、その出力 $a_n(d)$ に基づいて振幅変動量 dAM を検出する振幅変動量検出器 7 4 とを有する。そして、その検出された振幅変動量 dAM が小さくなるように、または所定の閾値より小さくなるように、等化パラメータ 3 8 が等化回路の特性パラメータ EQPR を調整する。

30

【 0 0 5 1 】

図 1 8 の受信回路は、信号 a_n のバウンダリタイミングを高精度に検出するバウンダリタイミング検出ユニット 6 0 を有する。このバウンダリタイミング検出ユニット 6 0 は、データ判定回路 3 2 による判定データ d_n を監視して、判定データ d_n が遷移するタイミングを検出するデータ遷移検出器 6 4 と、ADC が検出した振幅値 $a_n(d)$ に判定データ「+ 1」「- 1」を乗算して振幅値 $a_n(d)$ の平均値 AVE を生成する演算器 6 2 と、データ遷移の時に検出された振幅値 $a_n(d)$ の平均値 AVE を選択するセレクタ 6 6 と、セレクタにより選択された平均値 AVE を積分する積分器 6 8 と、その積分器 6 8 の積分値が最小になるときを判定する判定機 7 0 と、パルス発生回路 4 0 の遅延制御コードを生成する遅延制御コード生成器 7 2 とを有する。このバウンダリタイミング検出ユニット 6 0 の動作について以下にて説明する。

40

【 0 0 5 2 】

図 1 9、図 2 0 は、バウンダリタイミング検出の原理図である。図 1 9 には、データアイに対して、データセンタタイミング DCT でサンプリングされる ADC 出力の振幅値 $a_n(d)$ の頻度、データバウンダリタイミング DBT でサンプリングされる変換器 ADC 出力の振幅値 $a_n(d)$ の頻度とが示されている。データセンタタイミング DCT では、H レベルと L レベルの 2 種類の振幅値 8 6、8 8 が AD 変換器 ADC にて検出される。一方、データバウンダリタイミング DBT では、H レベルと L レベルの振幅値 8 0、8 4 に加えて、

50

振幅値ゼロの振幅値 8 2 が検出される。そこで、まず、データ遷移するデータアイを抽出し、そのデータアイに対する A D 変換器 A D C の出力 $an(d)$ に対して、データ判定回路 3 2 の出力データの極性「+ 1」「- 1」を乗算して加算することにより、出力 $an(d)$ の絶対値の平均値を求めることができる。この平均値演算により、データセンタタイミング D C T での A D 変換では、平均値が振幅値 8 0 と 8 4 とにより大きくなり、一方、データバウンダリタイミング D B T での A D 変換では、平均値が振幅値 8 2 により小さくなる。なお、振幅 8 0、8 4 は、セクタ 6 6 によりデータ遷移するデータアイを抽出することにより、積分器 6 8 の積分対象から除外される。

【 0 0 5 3 】

図 2 0 は、A D 変換器 A D C のサンプルタイミングをバウンダリ D B T、センタ D C T、バウンダリ D B T と変化させた時の平均値（または平均値の積分値）を示す。前述のとおり、センタタイミング D C T では平均値は大きくなり、バウンダリタイミング D B T では小さくなる。そこで、図 1 7 のバウンダリタイミング検出ユニット 6 0 では、図 2 0 に示される積分器 6 8 の出力が最小になる時を判定器 7 0 が判定する。

【 0 0 5 4 】

図 1 7 に戻ると、バウンダリタイミング検出ユニット 6 0 は、遅延量制御コード生成器 7 2 により遅延量制御コード D E L A Y を変化させて、A D 変換器のサンプリングタイミングを走査する。そして、各サンプリングタイミングにおいて、A D 変換器 A D C の出力 $an(d)$ の平均値 A V E のうち、セクタ 6 6 によりデータ遷移するデータアイについての平均値を抽出し、積分器 6 8 にてそれを積分する。そして、判定器 7 0 が複数のサンプリングタイミングでの積分値を比較し、最小になるサンプリングタイミングを検出する。これにより、データバウンダリタイミングが高精度に検出される。

【 0 0 5 5 】

そこで、遅延量制御コード D E L A Y を検出したデータバウンダリタイミング D B T に制御して、パルス発生回路 4 0 によりデータバウンダリタイミングに一致したサンプルクロック D B T を A D 変換器 A D C に供給する。そして、高精度に制御されたバウンダリタイミング D B T での振幅値 $an(d)$ から、振幅変動量検出器 7 4 が振幅変動量 $d A M$ を検出する。等化パラメータ 3 8 は、この振幅変動量 $d A M$ を小さくするように等化パラメータ E Q P R を調整する。

【 0 0 5 6 】

このように、第 3 の実施の形態では、データセンタタイミングでの I S I 情報を検出することなく、I S I 情報を取得する。その I S I 情報であるデータアイのバウンダリでの振幅変動量 $d A M$ を検出するために、データバウンダリタイミングを高精度に検出する必要がある。しかし、このデータバウンダリタイミングは、受信されるデータアイの A D 変換値 $an(d)$ と、データ判定値 d_n とから前述したように高精度に検出することができる。したがって、データレートが高くなっても、第 3 の実施の形態によれば、I S I 情報を適切に検出して、I S I を最適に抑制できる等化パラメータを検出することができる。

【 0 0 5 7 】

以上の実施の形態をまとめると、以下の付記のとおりである。

【 0 0 5 8 】

(付記 1) 伝送媒体を伝播した受信信号を受信する受信回路において、
 前記受信信号を等化する等化回路と、
 前記等化回路のアナログ出力信号をデータサンプルタイミングで検出してデジタル信号を出力するデータ検出回路と、
 前記等化回路の前記データサンプルタイミングでのアナログ出力信号とデジタル信号とから符号間干渉レベルを検出する符号間干渉検出回路と、
 前記符号間干渉検出回路が検出する符号間干渉レベルを最小にするように前記等化回路の特性を制御する等化回路特性制御ユニットと、
 インパルスに対する等化回路のアナログ出力波形の振幅と理想インパルス応答波形の振幅との差が最小になる最小サンプルタイミングに前記データサンプルタイミングを制御す

10

20

30

40

50

るデータサンプルタイミング制御ユニットとを有することを特徴とする受信回路。

【0059】

(付記2)付記1において、

前記データサンプルタイミング制御ユニットが、前記差が最小になるサンプルタイミングを検出し、当該検出したサンプルタイミングに制御されたデータサンプルタイミングに基づいて、前記符号間干渉検出回路が前記符号間干渉レベルを検出し、当該検出した符号間干渉レベルに基づいて前記等化特性制御ユニットが等化回路の特性を調整する特性調整処理が繰り返されることを特徴とする受信回路。

【0060】

(付記3)付記1において、

前記符号間干渉検出回路は、更に、前記最小サンプルタイミングに対応する前記データサンプルタイミングより位相が遅延又は進んだ第2のデータサンプルタイミングでの第2の符号間干渉レベルを検出し、

前記等化特性制御ユニットは、当該第2の符号間干渉レベルを小さくするように前記等化回路の特性を制御することを特徴とする受信回路。

【0061】

(付記4)付記3において、

前記等化特性制御ユニットは、前記最小サンプルタイミングでの符号間干渉レベルと、前記第2の符号間干渉レベルとを所定の重み付けに基づいて加算した加算符号間干渉レベルを小さくするように、前記等化回路の特性を制御することを特徴とする受信回路。

【0062】

(付記5)伝送媒体を伝播した受信信号を受信する受信回路において、

前記受信信号を等化する等化回路と、

前記等化回路のアナログ出力信号をデータサンプルタイミングで検出してデジタル信号を出力するデータ検出回路と、

前記等化回路のアナログ出力信号のデータバウンダリの位相変動量を検出し、当該データバウンダリの位相変動量が小さくなるように前記等化回路の特性を制御する等化特性制御ユニットとを有することを特徴とする受信回路。

【0063】

(付記6)付記5において、

前記等化特性制御ユニットは、前記データ検出回路のデジタル信号の組み合わせデータ毎に、バウンダリタイミングでの前記アナログ出力信号の振幅を検出し、当該検出した振幅に応じて前記データバウンダリの位相変動量を検出することを特徴とする受信回路。

【0064】

(付記7)付記6において、

前記等化特性制御ユニットは、前記組み合わせデータ毎に検出した振幅を複数回分だけ積分し、当該積分した振幅の最大値に応じて前記データバウンダリの位相変動量を検出することを特徴とする受信回路。

【0065】

(付記8)付記6において、

前記等化特性制御ユニットは、前記組み合わせデータ毎に検出した振幅に応じて求められる全ての組み合わせデータに対応する前記データバウンダリの位相変動量が、所定の閾値未満になるように、前記等化回路の特性を制御することを特徴とする受信回路。

【0066】

(付記9)付記5において、

前記等化特性制御ユニットは、前記データ検出回路のデジタル信号の組み合わせデータに対応してサンプリングされる前記アナログ出力信号の振幅であって、第1及び第2の組み合わせデータに対応する第1及び第2振幅が、区別可能なサンプリングタイミングを検出し、バウンダリタイミングと前記検出したサンプリングタイミングとの差に応じて、前記データバウンダリの位相変動量を検出することを特徴とする受信回路。

10

20

30

40

50

【 0 0 6 7 】

(付記 1 0) 付記 9 において、

前記等化特性制御ユニットは、前記バウンダリタイミングを起点にして前記サンプリングタイミングを走査して、前記第 1 及び第 2 の振幅が区別可能なサンプリングタイミングを検出することを特徴とする受信回路。

【 0 0 6 8 】

(付記 1 1) 伝送媒体を伝播した受信信号を受信する受信回路において、

前記受信信号を等化する等化回路と、

前記等化回路のアナログ出力信号をデータサンプルタイミングで検出してデジタル信号を出力するデータ検出回路と、

前記等化回路のアナログ出力信号のデータバウンダリでの振幅変動量を検出し、当該データバウンダリでの振幅変動量が小さくなるように前記等化回路の特性を制御する等化特性制御ユニットとを有することを特徴とする受信回路。

10

【 0 0 6 9 】

(付記 1 2) 付記 1 1 において、

更に、前記データ検出回路のデジタル信号がデータ遷移する時のサンプルタイミングでの前記アナログ出力信号の振幅を検出し、当該検出された振幅が最小になる前記サンプルタイミングを検出するバウンダリタイミング検出ユニットを有し、

前記等化特性制御ユニットは、前記バウンダリタイミング検出ユニットが検出するサンプルタイミングでの前記アナログ出力信号の振幅に応じて、前記データバウンダリでの振幅変動量を検出することを特徴とする受信回路。

20

【 0 0 7 0 】

(付記 1 3) 付記 1 2 において、

前記バウンダリタイミング検出ユニットは、前記アナログ出力信号の振幅の絶対値を積分し、当該積分値が最小になる前記サンプルタイミングを検出することを特徴とする受信回路。

【 図面の簡単な説明 】

【 0 0 7 1 】

【図 1】本実施の形態が適用される伝送線路と等化回路の配置例を示す図である。

【図 2】等化回路を有する受信回路の一般的構成例を示す図である。

30

【図 3】等化回路のアナログ出力信号波形の一例を示す図である。

【図 4】データ判定のタイミングについて説明する図である。

【図 5】第 1 の実施の形態における受信回路の構成図である。

【図 6】等化回路の一例を示す構成図である。

【図 7】本実施の形態におけるデータサンプルタイミング判定方法を説明する図である。

【図 8】本実施の形態における等化パラメータを最適化する工程のフローチャート図である。

【図 9】ISI 評価関数 J に対する重み付け回路の動作原理を説明する図である。

【図 1 0】パルス発生回路 4 0 の一例を示す構成図である。

【図 1 1】第 2 の実施の形態における受信回路の構成図である。

40

【図 1 2】第 2 の実施の形態における原理図である。

【図 1 3】第 2 の実施の形態における原理図である。

【図 1 4】第 2 の実施の形態における受信回路の変形例を示す図である。

【図 1 5】第 2 の実施の形態における別の受信回路を示す図である。

【図 1 6】図 1 5 の受信回路の原理図である。

【図 1 7】第 3 の実施の形態における受信回路を示す図である。

【図 1 8】第 3 の実施の形態における原理図である。

【図 1 9】バウンダリタイミング検出の原理図である。

【図 2 0】バウンダリタイミング検出の原理図である。

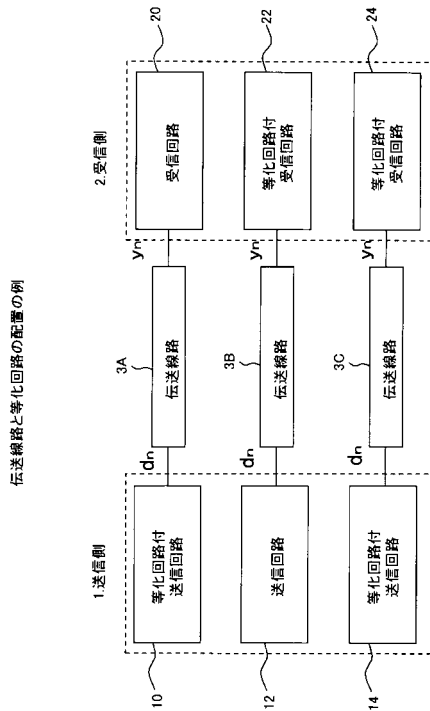
【 符号の説明 】

50

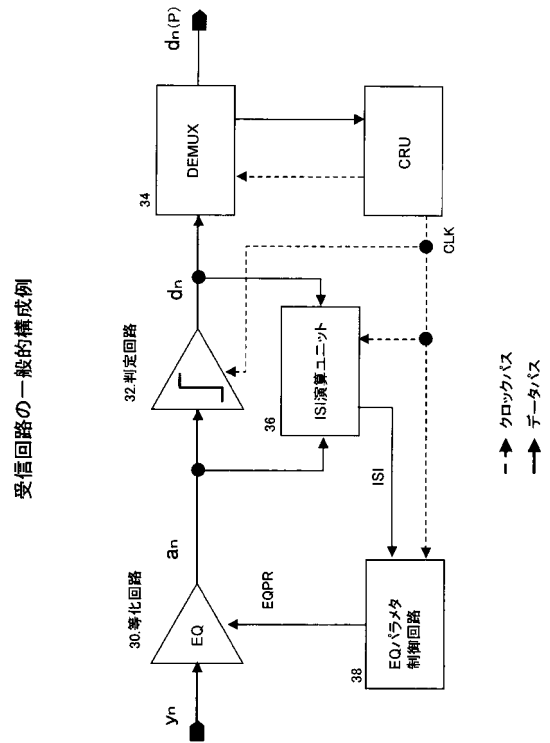
【 0 0 7 2 】

- 3 0 : 等化回路、 3 2 : データ判定回路、 3 3 : バウンダリ判定回路
- 3 8 : 等化特性制御ユニット (等化パラメータ制御ユニット)
- 5 2 : I S I モニタユニット

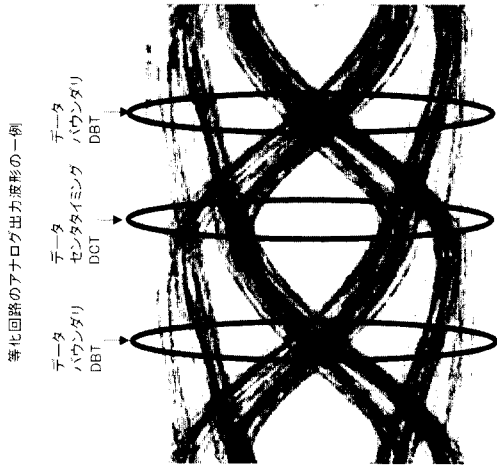
【 図 1 】



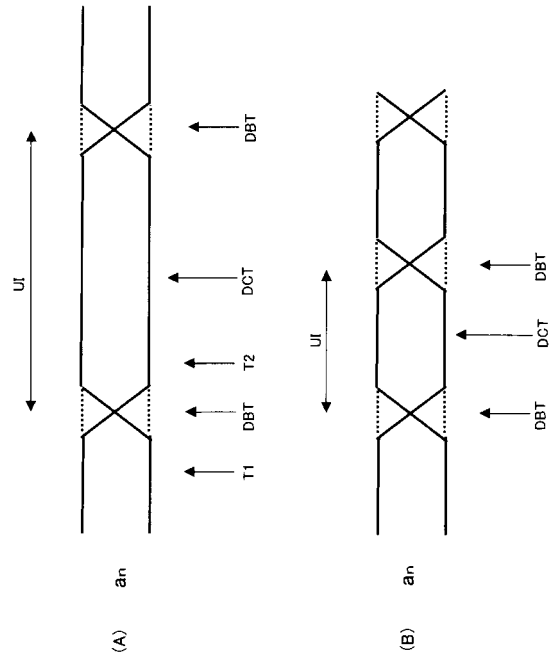
【 図 2 】



【 図 3 】

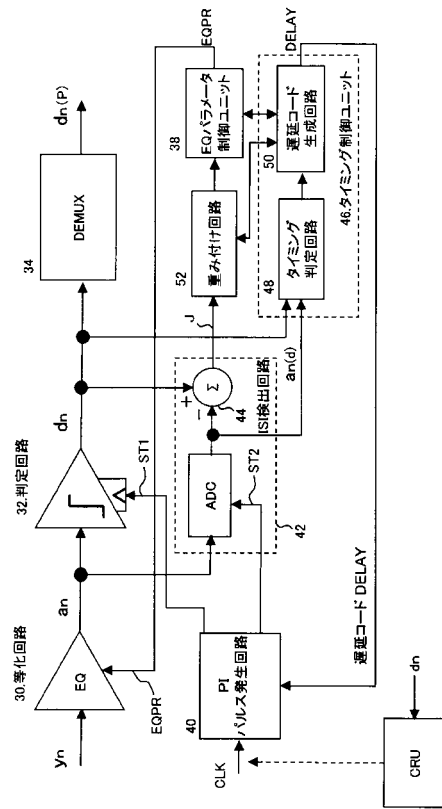


【 図 4 】

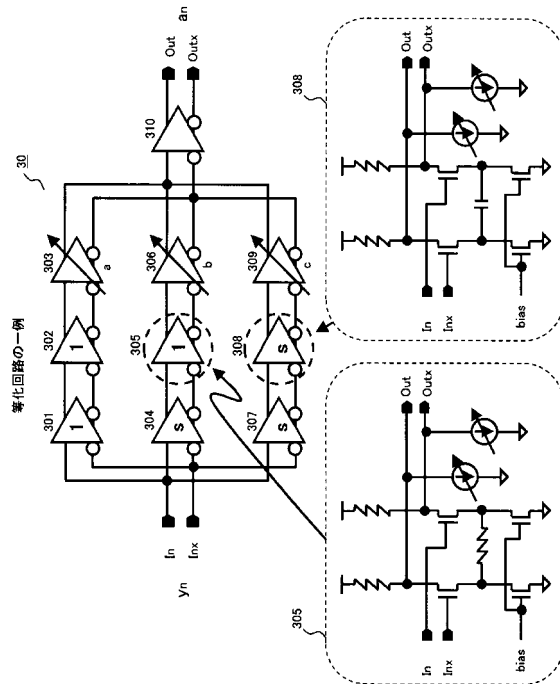


【 図 5 】

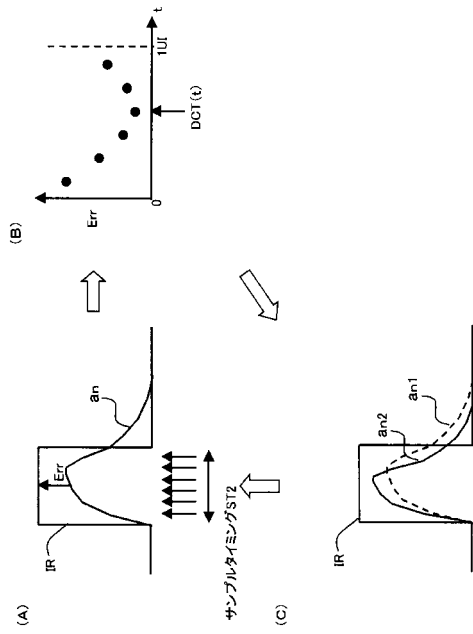
第1の実施形態



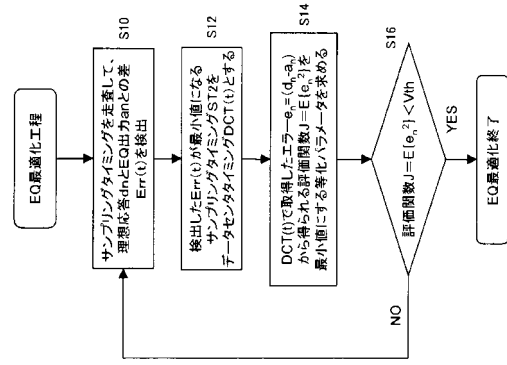
【 図 6 】



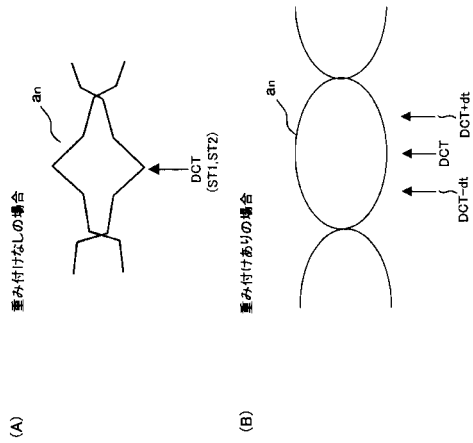
【 図 7 】



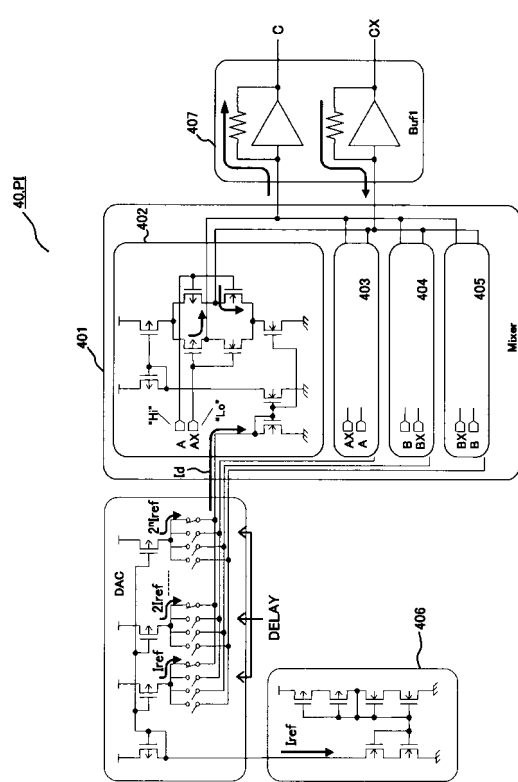
【 図 8 】



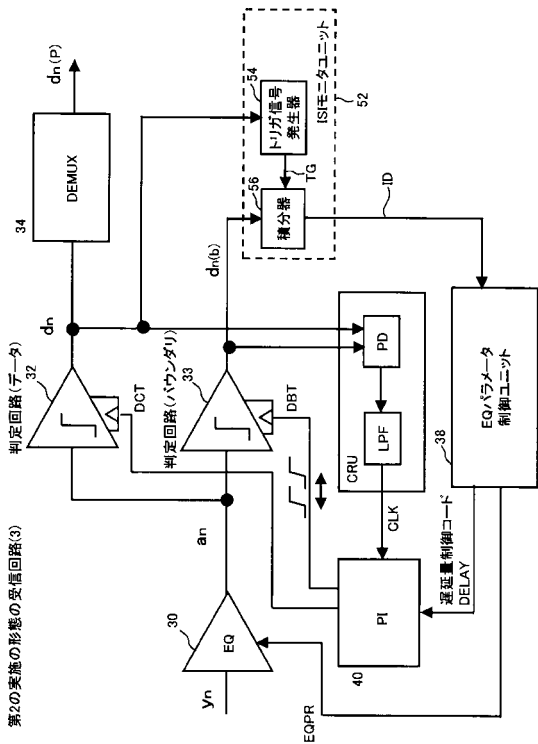
【 図 9 】



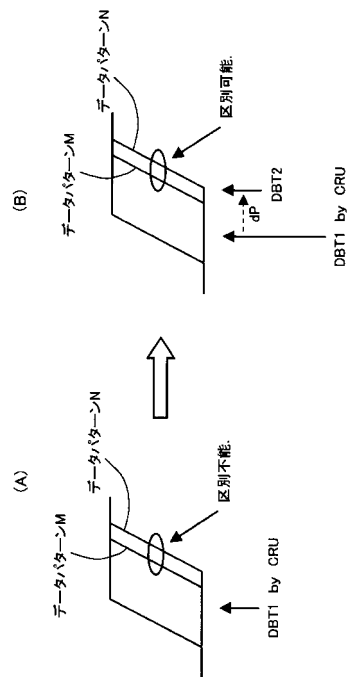
【 図 10 】



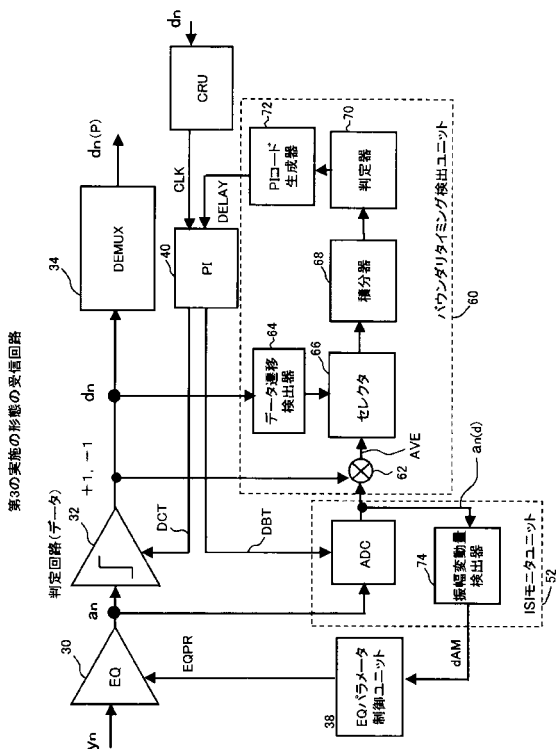
【 図 15 】



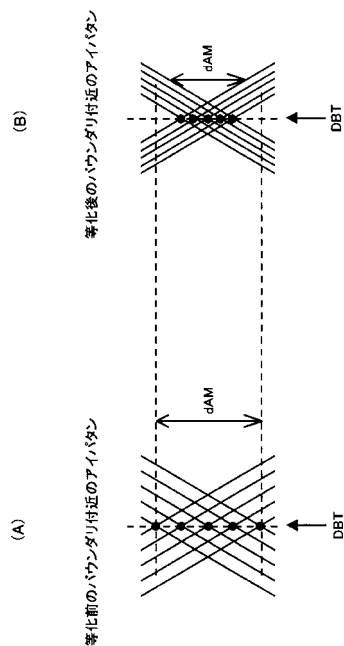
【 図 16 】



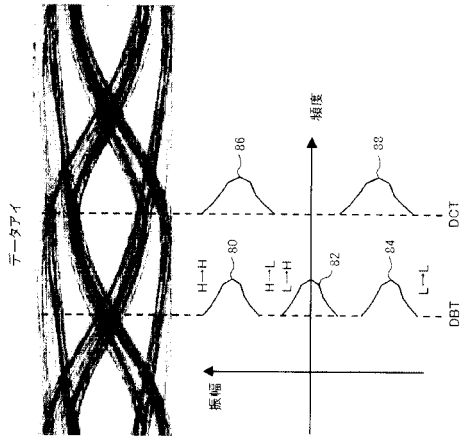
【 図 17 】



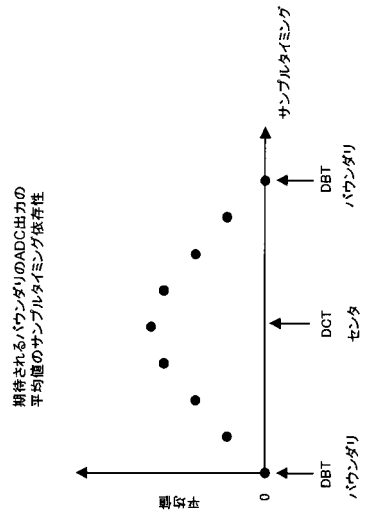
【 図 18 】



【図 19】



【図 20】



フロントページの続き

審査官 前田 典之

- (56)参考文献 特開2001-256728(JP,A)
特開2000-049665(JP,A)
特開平06-204902(JP,A)
特開2000-270038(JP,A)
特開平08-265176(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04B 3/06
H04B 3/18