



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 261 457

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 02 06 86
(21) PV 4018-86.P

(11)

(B1)

(51) Int. Cl.⁴
G 06 F 1/00,
H 02 J 9/00

(40) Zveřejněno 15 07 88
(45) Vydáno 2.1.1990

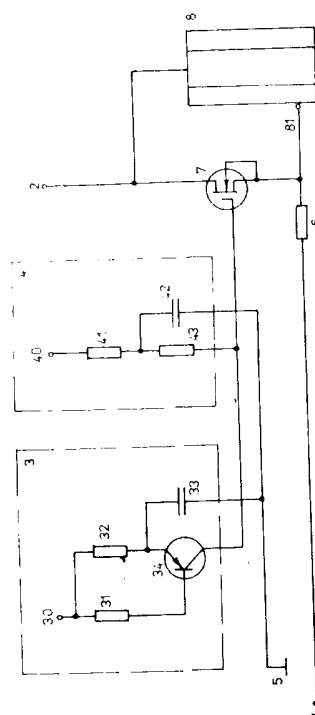
(75)
Autor vynálezu

REJLEK JAN ing., LIBEREC

(54)

Zapojení pro blokování zálohované paměti

Účelem řešení je vytvořit obvod, který by zablokoval komunikaci se zálohovanou pamětí v okamžiku zapnutí a vypnutí napájení nezálohované části systému. Účelu je dosaženo zapojením, kde uvolňovací vstup zálohované paměti je spojen s ovládacím vstupem přes oddělovací odpor a dále je spojen s emitorem unipolárního tranzistoru, jehož kolektor je spojen se zálohovanou svorkou a řídicí elektroda je spojena s blokovacím obvodem a uvolňovacím obvodem.



Předmětem vynálezu je zapojení pro blokování zálohované paměti, vhodné zejména pro menší mikropočítačové systémy.

U mikropočítačových systémů se často vyskytuje potřeba zachovat alespoň část obsahu paměti i při vypnutí napájení systému. Pro tento účel má část paměťových obvodů napájecí napětí zálohované, např. akumulátorem nebo galvanickým článkem. Při vypnutí napájení systému, stejně jako nějakou dobu po jeho zapnutí, se však systém může chovat zcela nedefinovaně a proto je třeba v této době zálohovanou paměť zablokovat, aby nedošlo k přepsání jejího obsahu. Dosud známá zapojení blokovacích obvodů jsou většinou složitá nebo nespolehlivá, některá dokonce vyžadují informaci o vypnutí napájení systému s předstihem, např. odvozenou od napětí na síťovém transformátoru.

Uvedené nevýhody nemá zapojení pro blokování zálohované paměti podle vynálezu, jehož podstatou je, že uvolňovací vstup zálohované paměti je přes oddělovací odpor spojen s ovládacím vstupem a kromě toho je také spojen s emitorem unipolárního tranzistoru, jehož kolektor je spojen se zálohovanou napájecí svorkou a jeho řídicí elektroda je spojena s blokovacím obvodem a s uvolňovacím obvodem. Blokovací obvod může být tvořen tranzistorem, jehož kolektor je spojen s řídicí elektrodou unipolárního tranzistoru, emitor je spojen přes kondenzátor se společnou svorkou a přes nabíjecí odpor s kladnou napájecí svorkou a jeho báze je spojena přes omezovací odpor s kladnou napájecí svorkou. Uvolňovací obvod může být tvořen zpoždovacím odporem a zpoždovacím kondenzátorem, zapojenými v sérii mezi zápornou napájecí svorkou a společnou svorkou, jejichž společný bod je spojen s řídicí elektrodou unipolárního tranzistoru. Podle dalšího význaku může být mezi řídicí elektrodou unipolárního tranzistoru a zpoždovacím kondenzátorem zapojen odpor.

Zapojení pro blokování zálohované paměti podle vynálezu je spolehlivé a přitom poměrně jednoduché. Pro svoji funkci vystačí s napájecími napětími a se signály, které jsou v mikroprocesorovém systému běžně k dispozici.

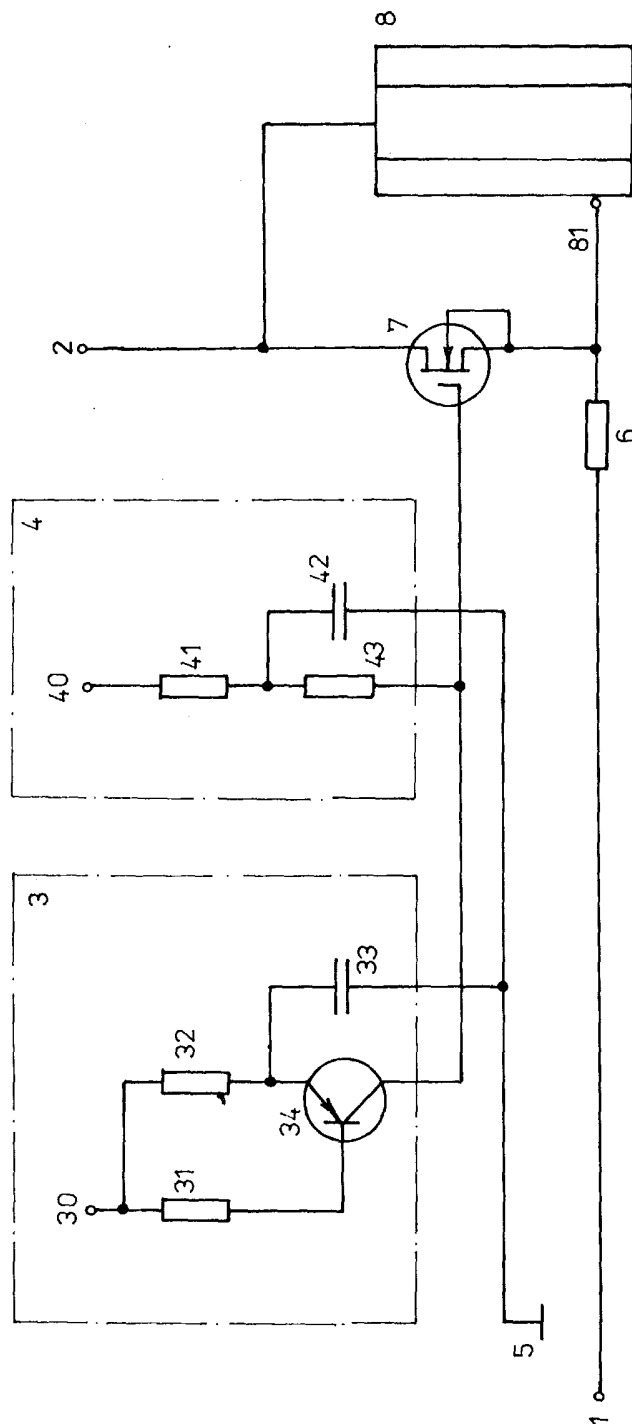
Vynález bude blíže popsán pomocí připojeného výkresu, na němž je znázorněn příklad zapojení obvodu pro blokování zálohované paměti podle vynálezu. Na obrázku je vstup 81 zálohované paměti 8, napájené ze zálohované napájecí svorky 2, spojen přes oddělovací odpor 6 s ovládacím vstupem 1. Dále je vstup 81 zálohované paměti 8 spojen s emitorem unipolárního tranzistoru 7, jehož kolektor je spojen se zálohovanou napájecí svorkou 2 a řídicí elektrodou je spojena s blokovacím obvodem 3 a s uvolňovacím obvodem 4. Blokovací obvod 3 je tvořen tranzistorem 34, jehož kolektor je spojen s řídicí elektrodou unipolárního tranzistoru 7, báze je spojena přes omezovací odpor 31 s kladnou napájecí svorkou 30 a emitor je spojen přes nabíjecí odpor 32 s kladnou napájecí svorkou 30 a přes kondenzátor 33 se společnou svorkou 5. Uvolňovací obvod 4 je tvořen odporem 43 a zpožďovacím odporem 41, zapojenými v sérii mezi řídicí elektrodou unipolárního tranzistoru 7 a zápornou napájecí svorkou 40. Společný bod odporu 43 a zpožďovacího odporu 41 je spojen se společnou svorkou 5 zpožďovacím kondenzátorem 42.

Je-li napájení systému vypnuté, je na kladné napájecí svorce 30 i na záporné napájecí svorce 40 přibližně nulové napětí vůči společné svorce 5. Nulové napětí je i na řídicí elektrodě unipolárního tranzistoru 7, který je proto sepnut a drží bez ohledu na stav ovládacího vstupu 1 uvolňovací vstup 81 zálohované paměti 8 na napěťové úrovni blízké napětí na zálohované napájecí svorce 2. Tím brání jakékoliv komunikaci se zálohovanou pamětí 8. Po zapnutí napájení systému se objeví na kladné napájecí svorce 30 kladné napětí a na záporné napájecí svorce 40 záporné napětí vůči společné svorce 5. Kondenzátor 33 se přes nabíjecí odpor 32 nabije na hodnotu kladného napájecího napětí. Zpožďovací kondenzátor 42 se přes zpožďovací odpor 41 nabíjí záporně. Po určité době, dané časovou konstantou nabíjení zpožďovacího kondenzátoru 42 a prahovým napětím řídicí elektrody unipolárního tranzistoru 7, unipolární tranzistor 7 rozepne. Tím umožní, aby byl uvolňovací vstup 81 zálohované paměti 8 ovládán ovládacím vstupem 1. Při vypnutí napájení systému začne napětí

na kladné napájecí svorce 30 i na záporné napájecí svorce 40 klesat. Pokles napětí na kladné napájecí svorce 30 se omezovacím odporem 31 přenesse na bázi tranzistoru 34. Tranzistor 34 sepne a tím přivede kladné napětí z kondenzátoru 33 na řídicí elektrodu unipolárního tranzistoru 7. Unipolární tranzistor 7 sepne a tím zabráni komunikaci se zálohovanou pamětí 8.

P R E D M Ě T V Y N Á L E Z U

1. Zapojení pro blokování zálohované paměti, vyznačené tím, že uvolňovací vstup (81) zálohované paměti (8) je spojen s ovládacím vstupem (1) přes oddělovací odpor (6) a dále je spojen s emitorem unipolárního tranzistoru (7), jehož kolektor je spojen se zálohovanou napájecí svorkou (2) a řídicí elektroda je spojena s blokovacím obvodem (3) a s uvolňovacím obvodem (4).
2. Zapojení pro blokování zálohované paměti podle bodu 1, vyznačené tím, že blokovací obvod (3) je tvořen tranzistorem (34), jehož kolektor je spojen s řídicí elektrodou unipolárního tranzistoru (7), emitor je spojen přes kondenzátor (33) se společnou svorkou (5) a přes nabíjecí odpor (32) s kladnou napájecí svorkou (30) a báze tranzistoru (34) je spojena přes omezovací odpor (31) s kladnou napájecí svorkou (30).
3. Zapojení pro blokování zálohované paměti podle bodu 1, vyznačené tím, že uvolňovací obvod (4) je tvořen zpožďovacím odporem (41) a zpožďovacím kondenzátorem (42), zapojenými v sérii mezi zápornou napájecí svorkou (40) a společnou svorkou (5), jejichž společný bod je spojen s řídicí elektrodou unipolárního tranzistoru (7).
4. Zapojení pro blokování zálohované paměti podle bodů 1 a 3, vyznačené tím, že mezi řídicí elektrodou unipolárního tranzistoru (7) a společným bodem zpožďovacího odporu (41) a zpožďovacího kondenzátoru (42) je zapojen odpor (43).



Odr.